



MAX 10 ユーザー・フラッシュメモリー・ユーザーガイド

UG-M10UFM
2017.02.21

インテル® Quartus® Prime デザインスイートのための更新 16.1





目次

1 MAX[®] 10 ユーザー・フラッシュメモリーの概要	3
2 MAX 10 UFM のアーキテクチャーと機能	4
2.1 UFM と CFM のアレイサイズ.....	4
2.2 UFM メモリー構成マップ.....	4
2.3 UFM のブロック図.....	5
2.4 UFM 動作モード.....	7
3 MAX 10 UFM デザインの考慮事項	9
3.1 ガイドライン:電源要件.....	9
3.2 ガイドライン:JTAG を用いる UFM のプログラミングおよび読み出し.....	9
3.3 ガイドライン:UFM の内容の初期化.....	10
3.4 ガイドライン:プログラミング前の消去.....	10
4 MAX 10 UFM 実装ガイド	11
4.1 アルテラ・オンチップ・フラッシュ IP コア.....	11
4.2 UFM Avalon-MM 動作モード.....	11
4.2.1 UFM 読み出しステータスおよびコントロール・レジスター.....	11
4.2.2 UFM 書き込みコントロール・レジスター.....	12
4.2.3 UFM プログラミング(書き込み)動作.....	12
4.2.4 UFM セクター消去動作.....	14
4.2.5 UFM ページ消去動作.....	15
4.2.6 UFM 読み出し動作.....	16
4.2.7 UFM パースト読み出し動作.....	17
4.3 フラッシュ初期化ファイル.....	21
5 アルテラ・オンチップ・フラッシュ IP コアの参考資料	22
5.1 アルテラ・オンチップ IP フラッシュのパラメーター.....	22
5.2 アルテラ・オンチップ IP フラッシュの信号.....	23
5.3 アルテラ・オンチップ・フラッシュ IP のレジスター.....	24
5.3.1 セクターアドレス.....	26
A MAX 10 ユーザー・フラッシュメモリー・ユーザーガイドのアーカイブ	27
B MAX 10 ユーザー・フラッシュメモリー・ユーザーガイドの改訂履歴	28



1 MAX® 10 ユーザー・フラッシュメモリの概要

インテル® の MAX® 10 FPGA は、不揮発性情報を格納する UFM(ユーザー・フラッシュメモリ)ブロックを提供します。

UFM は、Avalon-MM(Avalon Memory Mapped)スレーブ・インターフェイスを使用して UFM にアクセスできる理想的なストレージ・ソリューションです。

また、UFM ブロックには、以下に示す特性があります。

特性	能力
耐久性	10,000 回以上のプログラム/消去
データ保持期間(10,000 回のプログラム/消去後)	<ul style="list-style-type: none"> 85 °C で 20 年間 100 °C で 10 年間
最大動作周波数	<ul style="list-style-type: none"> シリアル・インターフェイス <ul style="list-style-type: none"> 10M02, 10M04, 10M08, 10M16, 10M25: 7.25 MHz 10M40, 10M50: 4.81 MHz パラレル・インターフェイス <ul style="list-style-type: none"> 10M02: 7.25 MHz 10M04, 10M08, 10M16, 10M25, 10M40, 10M50: 116 MHz
データ長	最大 32 ビット長のデータをパラレルで格納

関連情報

- [Utilizing the User Flash Memory \(UFM\) on Max 10 Devices with a Nios II Processor](#)
- [Putting MAX Series FPGAs in Hibernation Mode Using User Flash Memory](#)
- [27 ページの MAX 10 ユーザー・フラッシュメモリ・ユーザーガイドのアーカイブ](#)
 アルテラ・オンチップ・メモリー IP コアの前バージョン向けのユーザーガイドのリストを提供します。



2 MAX 10 UFM のアーキテクチャーと機能

MAX 10 デバイスの UFM アーキテクチャーは、ソフト IP とハード IP の組み合わせです。UFM へのアクセスは、Quartus® Prime ソフトウェアでアルテラ・オンチップ・フラッシュ IP コアを用いてのみ可能です。

2.1 UFM と CFM のアレイサイズ

各アレイは様々なセクターにより構成されています。

セクターは、多数のページを収容しています。ページは、フラッシュメモリで一度に消去可能な最小単位です。それぞれのセクターあるいはページを個別に消去することができます。

アルテラ・オンチップ・フラッシュ IP コアは、CFM(コンフィグレーション・フラッシュメモリ)へのパラメーター・エディターでの設定に基づくアクセスも提供します。

表 1. UFM と CFM のアレイサイズ

以下の表に、UFM と CFM のアレイサイズをリストします。

デバイス	セクターあたりのページ数					ページサイズ(Kb)	ユーザー・フラッシュメモリ・サイズ合計(Kb) ⁽¹⁾	コンフィグレーション・メモリ・サイズ合計(Kb) ⁽¹⁾
	UFM1	UFM0	CFM2 (イメージ 2)	CFM1 (イメージ 2)	CFM0 (イメージ 1)			
10M02	3	3	0	0	34	16	96	544
10M04	0	8	41	29	70	16	1,248	2,240
10M08	8	8	41	29	70	16	1,376	2,240
10M16	4	4	38	28	66	32	2,368	4,224
10M25	4	4	52	40	92	32	3,200	5,888
10M40	4	4	48	36	84	64	5,888	10,752
10M50	4	4	48	36	84	64	5,888	10,752

2.2 UFM メモリー構成マップ

アドレスの割り当て手法はアルテラ・オンチップ・フラッシュのパラメーター・エディターで指定したコンフィグレーション・モードによって異なります。

以下の表に、さまざまなコンフィグレーション・モードと MAX 10 のタイプに基づく、動的な UFM サポートを示します。

(1) 選択したモードに依存する、指定可能な最大値です。

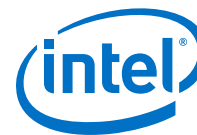


表 2. ダイナミック・フラッシュ・サイズ・サポート:フラッシュおよびアナログタイプ

コンフィグレーション	UFM1	UFM0	CFM2 (イメージ 2)	CFM1 (イメージ 2)	CFM0 (イメージ 1)
デュアル圧縮イメージ	UFM 空間	UFM 空間	—	—	—
シングル非圧縮イメージ	UFM 空間	UFM 空間	UFM 空間	—	—
シングル圧縮イメージ	UFM 空間	UFM 空間	UFM 空間	UFM 空間	—
メモリー初期化を伴うシングル非圧縮イメージ	UFM 空間	UFM 空間	—	—	—
メモリー初期化を伴うシングル圧縮イメージ	UFM 空間	UFM 空間	—	—	—

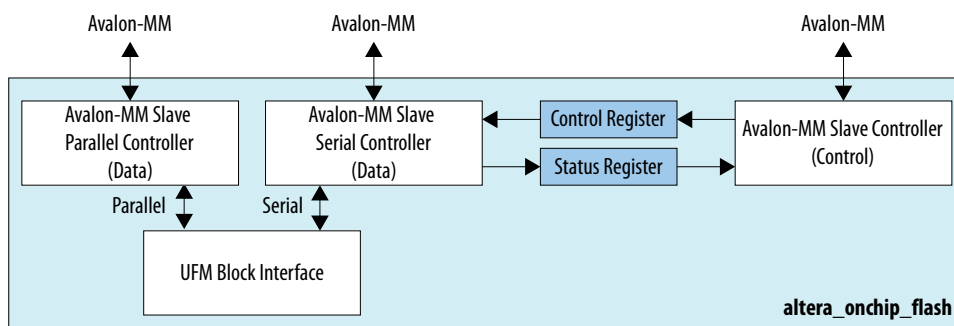
表 3. ダイナミック・フラッシュ・サイズ・サポート:コンパクトタイプ

コンフィグレーション	UFM1	UFM0	CFM2 (イメージ 2)	CFM1 (イメージ 2)	CFM0 (イメージ 1)
デュアル圧縮イメージ	使用できません				
シングル非圧縮イメージ	UFM 空間	UFM 空間	—	—	—
シングル圧縮イメージ	UFM 空間	UFM 空間	—	—	—
メモリー初期化を伴うシングル非圧縮イメージ	使用できません				
メモリー初期化を伴うシングル圧縮イメージ	使用できません				

2.3 UFM のブロック図

以下に、アルテラ・オンチップ・フラッシュ IP コア・ブロック図のトップレベル・ビューを示します。アルテラ・オンチップ・フラッシュ IP コアは、MAX 10 FPGA 向けにパラレル・インターフェイスとシリアル・インターフェイスのどちらもサポートしています。

図 -1: アルテラ・オンチップ・フラッシュ IP コアのブロック図



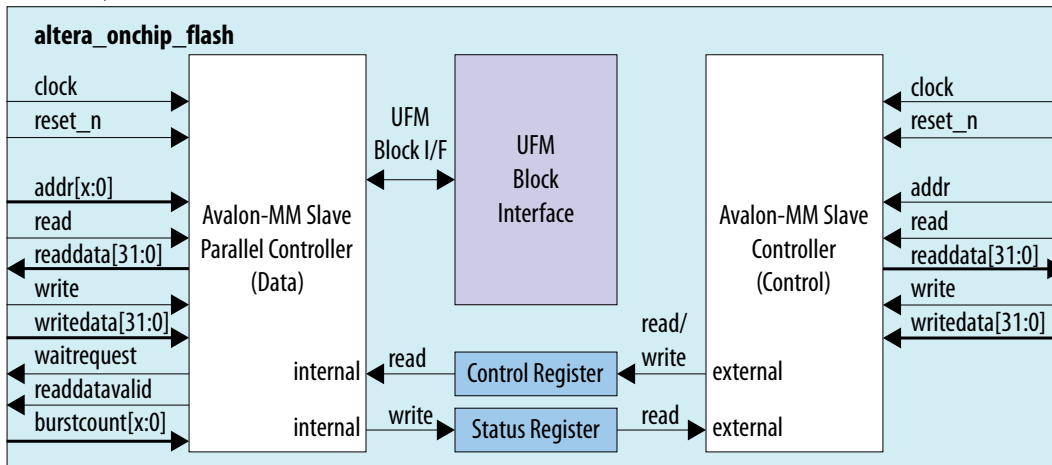
この IP ブロックは、2 つの Avalon-MM スレーブ・コントローラーを有します。

- データ: フラッシュへの読み出しとプログラミングのアクセスを提供する UFM ブロックのラッパー
- コントロール: フラッシュ向けの CSR およびステータスレジスターであり、プログラミングと消去動作にのみ必要とされる

以下の図に、読み出しおよびプログラミング(書き込み)動作時の Avalon-MM インターフェイスの詳細な概要を示します。

図 -2: パラレルモードでのアルテラ・オンチップ・フラッシュ IP コアでの Avalon-MM スレーブの読み出しおよびプログラミング(書き込み)動作

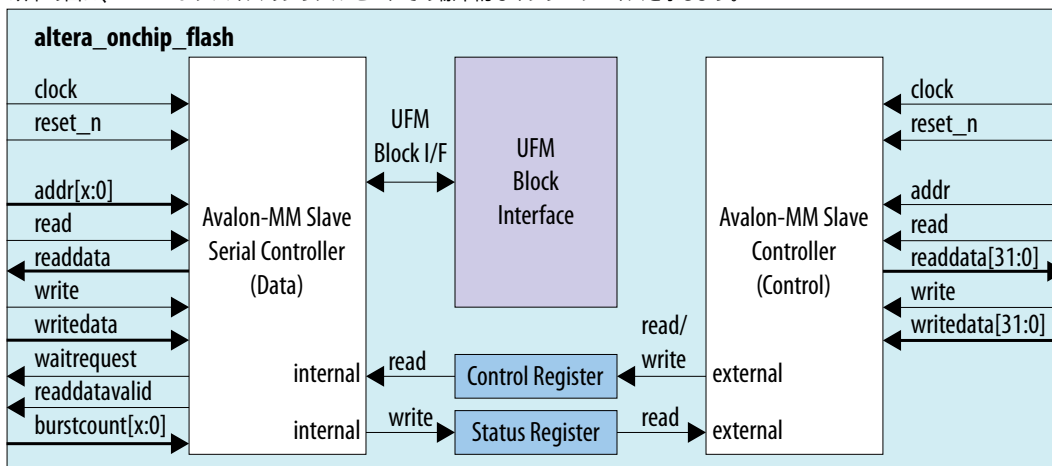
以下の図に、MAX 10 デバイスのパラレルモードでの標準的なインターフェイスを示します。



注意: 10M02 を除く全てのデバイスのパラレルモードでの最大周波数は 116 MHz です。10M02 デバイスの最大周波数は 7.25 MHz です。

図 -3: シリアルモードでのアルテラ・オンチップ・フラッシュ IP コアでの Avalon-MM スレーブの読み出しおよびプログラミング(書き込み)動作

以下の図に、MAX 10 デバイスのシリアルモードでの標準的なインターフェイスを示します。



以下の図に、読み出し専用動作時の Avalon-MM インターフェイスの詳細な概要を示します。

図 -4: パラレルモードでのアルテラ・オンチップ・フラッシュ IP コアでの Avalon-MM スレーブの読み出し専用動作

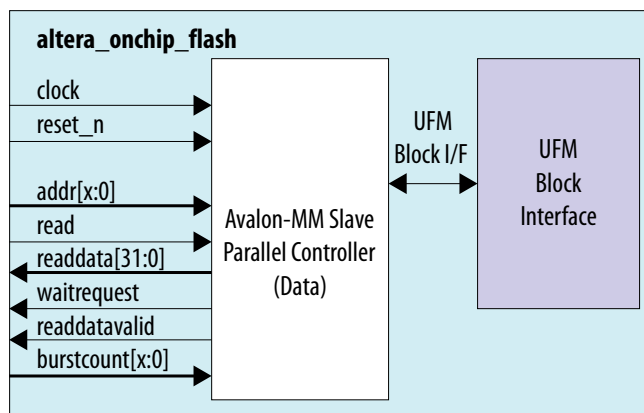
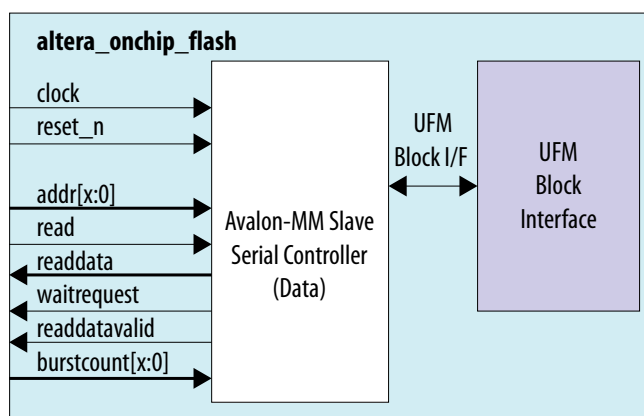


図 -5: シリアルモードでのアルテラ・オンチップ・フラッシュ IP コアでの Avalon-MM スレーブの読み出し専用動作



2.4 UFM 動作モード

UFM ブロックには以下の動作モードがあります。

- 読み出し
- バースト読み出し
- プログラミング(書き込み)
- セクター消去
- ページ消去
- セクター書き込み保護

動作の読み出しと制御のために、アルテラ・オンチップ・フラッシュのパラメーター・エディターで、以下のアクセスモードのいずれかを選択します。



- Read and write(プログラミング)モード:このモードでは、データとコントロール両方のスレーブが有効。このモードは UFM セクターと CFM セクターのどちらにも適用できる。
- Read only モード:このモードでは、データ・スレーブ・インターフェイスのみが有効であり、読み出し動作だけに制限される。このモードは UFM セクターと CFM セクターのどちらにも適用できる。
- Hidden モード:このモードでは、読み出しあるいはプログラミング(書き込み)動作はできない。このモードは CFM セクターにのみ適用できる。

以下の表にパラレルモードとシリアルモードの比較を示します。

表 4. パラレルモードとシリアルモードの比較

機能	パラレルモード	シリアルモード
Avalon-MM データ・インターフェイス	32 ビット・データバスのパラレルモード	32 ビット・ベースのバーストカウントのシリアルモード
アクセスモード	<ul style="list-style-type: none">• Read and write(プログラミング)• Read only• Hidden	<ul style="list-style-type: none">• Read and write(プログラミング)• Read only• Hidden
読み出しモード	<ul style="list-style-type: none">• インクリメント・バースト読み出し• ラッピングバースト読み出し	インクリメント・バースト読み出しのみ
プログラミング(書き込み)動作	シングル 32 ビット・パラレル・プログラミング動作	シングル 32 ビット・シリアル・プログラミング動作



3 MAX 10 UFM デザインの考慮事項

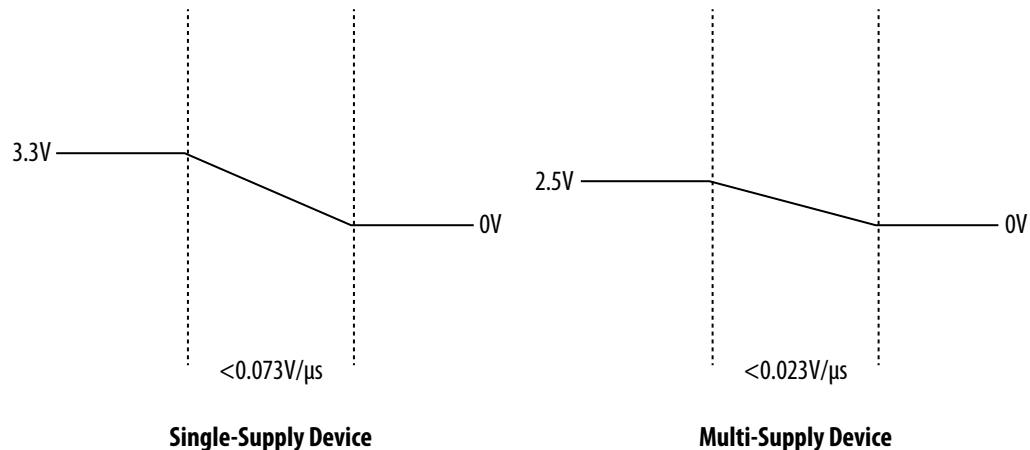
デザインを成功に導くには、何点かの考慮すべき事項があります。特に注記のない限り、これらのデザイン・ガイドラインはこのデバイス・ファミリのすべてのバリエーションに適用されます。

3.1 ガイドライン:電源要件

UFM および CFM 動作時には、電源下降の最大スルーレート要件を必ず守ってください。この設定は、万が一電源が喪失した場合にデバイスが損傷することを防止します。

表 5. 最大スルーレート要件

デバイス	最大スルーレート
シングル電源デバイス	0.073 V/ μ s
マルチ電源デバイス	0.023 V/ μ s



3.2 ガイドライン:JTAG を用いる UFM のプログラミングおよび読み出し

IEEE 規格 1149.1 バージョンの JTAG インターフェイスを使用して UFM をプログラミングできます。

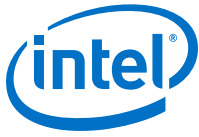
JTAG インターフェイスは、.jam(Jam™ STAPL(Standard Test and Programming Language) Format File)、.pof(Programmer Object File)、および.jbc(JAM Byte Code File)をサポートしています。

Quartus Prime Programmer を使用して、JTAG インターフェイスを介して .pof をプログラミングすることができます。フラッシュに .pof をプログラミングするには、以下の手順を実行します。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



1. **Programmer** ウィンドウで **Hardware Setup** をクリックし、**USB Blaster** を選択します。
2. **Mode** リストで **JTAG** を選択します。
3. 左側のペインで **Auto Detect** をクリックします。
4. プログラミングするデバイスを選択し、**Add File** をクリックします。
5. 選択したデバイスにプログラミングする .pof を選択します。
6. **Program/Configure** カラムで **UFM** を選択します。
7. **Start** をクリックしてプログラミングを開始します。

.jam または .jbc によるプログラミングについては、アプリケーション・ノート *Using the Command-Line Jam STAPL Solution for Device Programming* を参照してください。

関連情報

[AN 425: Using the Command-Line Jam STAPL Solution for Device Programming](#)

3.3 ガイドライン:UFM の内容の初期化

ソフトウェアを使用して UFM の内容を初期化できます。

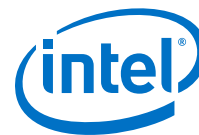
初期メモリ内容は、.mif (Memory Initialization File) および .hex (Hexadecimal (Intel-Format) File) をサポートしています。

以下のいずれか 1 つの方法を用いて UFM の内容を初期化できます。

- アルテラ・オンチップ・フラッシュ IP コアにより初期メモリ内容をセットする
- .sof を .pof に変換する際に、Quartus Prime ソフトウェアの **Convert Programming File** ツールにより初期メモリ内容をセットする

3.4 ガイドライン:プログラミング前の消去

プログラミング(書き込み)動作を行う前にはフラッシュ内の保存位置を消去してください。



4 MAX 10 UFM 実装ガイド

関連情報

- [Utilizing the User Flash Memory \(UFM\) on Max 10 Devices with a Nios II Processor](#)
- [Putting MAX Series FPGAs in Hibernation Mode Using User Flash Memory](#)

4.1 アルテラ・オンチップ・フラッシュ IP コア

IP コアのデザインフローは、あらゆる IP コアの使用開始に役立ちます。

アルテラ・オンチップ・フラッシュ IP コアのインストールは、Quartus Prime のインストール・プロセスに含まれています。ユーザーは任意の IP コアをインテル FPGA IP ライブラリーから選択し、パラメーター化できます。インテルが提供する統合されたパラメーター・エディターにより、多様なアプリケーションをサポートするためにアルテラ・オンチップ・フラッシュ IP コアをカスタマイズすることが可能です。パラメーター・エディターの案内に従うと、一通りのパラメーター値の設定およびオプション・ポートの選択ができます。

関連情報

[Introduction to Intel FPGA IP Cores](#)

インテル FPGA IP コアについて詳しい情報を提供します。

4.2 UFM Avalon-MM 動作モード

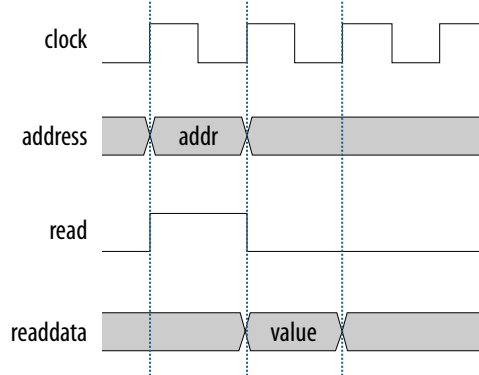
UFM 動作モードは、Avalon-MM インターフェイスを使用します。

4.2.1 UFM 読み出しステータスおよびコントロール・レジスター

Avalon-MM コントロール・スレーブ・インターフェイスを介して、コントロール・レジスターの値にアクセスすることができます。

図 -6: 読み出しステータスおよびコントロール・レジスター

以下に、読み出しステータスおよびコントロール・レジスターのタイミング図を示します。



コントロール・レジスターを使用するには、read 信号をアサートし、コントロール・スレーブ・アドレスにコントロール・レジスターのアドレスを送信します。

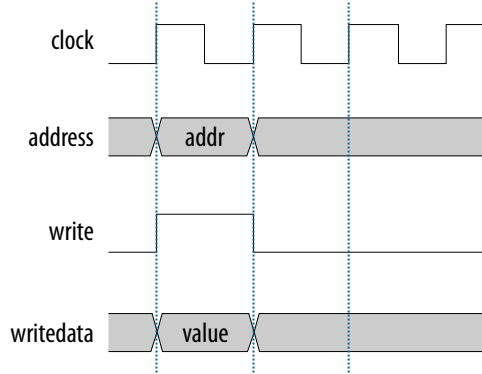
フラッシュ IP コアは、その後に readdata バスを介してレジスターの値を送信します。

4.2.2 UFM 書き込みコントロール・レジスター

Avalon-MM コントロール・スレーブ・インターフェイスを介して、コントロール・レジスターの値をプログラミングする(書き込む)ことができます。

図 -7: コントロール・レジスター・プログラミング(書き込み)

以下に、コントロール・レジスター・プログラミングのタイミング図を示します。

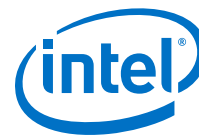


コントロール・レジスターのプログラミングをするには、write 信号をアサートします。

フラッシュ IP コアは、その後にアドレス 0x01(コントロール・レジスター)と writedata(レジスター値)を送信し、スレーブ・インターフェイスをコントロールします。

4.2.3 UFM プログラミング(書き込み)動作

UFM は、シングル 32 ビットのプログラミング(書き込み)動作を提供します。



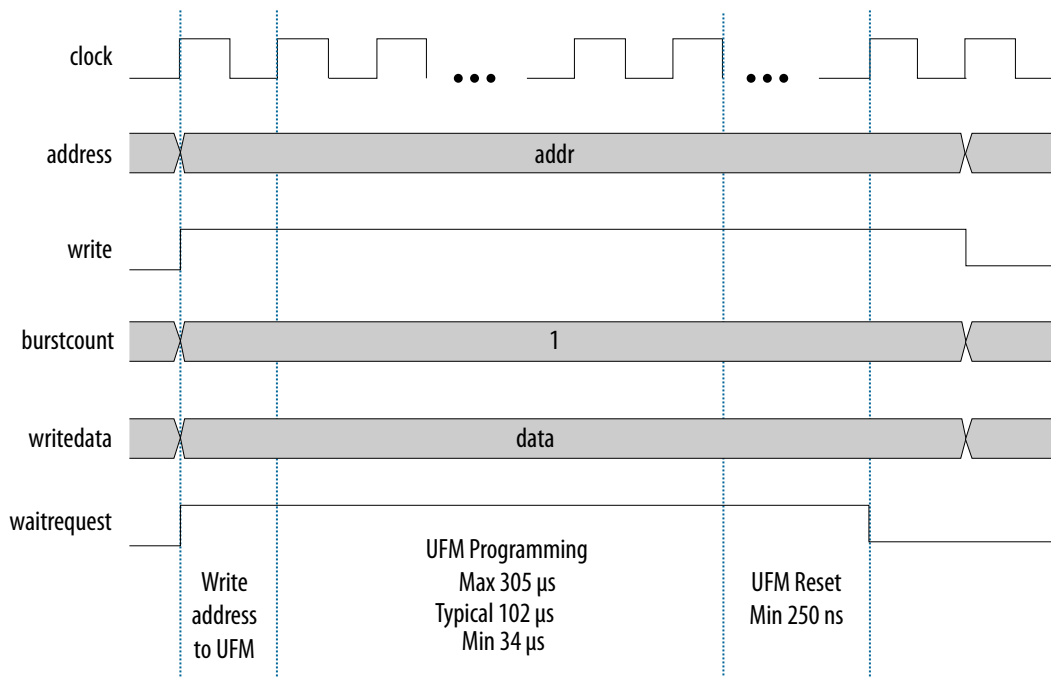
UFM プログラミング動作を行うには、以下のステップを実行します。

1. 書き込み保護モードを無効にします。Avalon-MM コントロール・インターフェイスを介して、データのセクター内の書き込み保護レジスターに 0 を書き込みます。
2. Avalon-MM データ・インターフェイスを介して以下のデータをフラッシュにプログラミングします。
 - アドレス: 適正なアドレス (Avalon-MM アドレスマップより)
 - データ: ユーザーデータバーストカウントを 1 (パラレルモード) または 32 (シリアルモード) にセットします。
3. フラッシュ IP コアは、プログラミング動作の進行中はステータスレジスターの busy フィールドを 2'b10 にセットします。
4. 動作が順調であれば、フラッシュ IP コアは、ステータスレジスターの書き込み成功フィールドを 1'b1、すなわち書き込み成功にセットします。フラッシュ IP コアは、以下のいずれかの状態が生じると、ステータスレジスターの書き込み成功フィールドを 1'b0 (失敗) にセットします。
 - バーストカウントが 1 (パラレルモード) または 32 (シリアルモード) に等しくない
 - 与えられたアドレスが範囲から外れている
 - 対応するセクターのセクター保護モードまたは書き込み保護モードがクリアされていない (値が 1'b0 ではない)
5. プログラミング動作を続けて実行する必要がある場合は、前のステップを繰り返します。
6. プログラミング動作が完了した時点で、書き込み保護モードを有効に戻す必要があります。Avalon-MM コントロール・インターフェイスを介して、対応するセクターの書き込み保護レジスターに 1 を書き込みます。

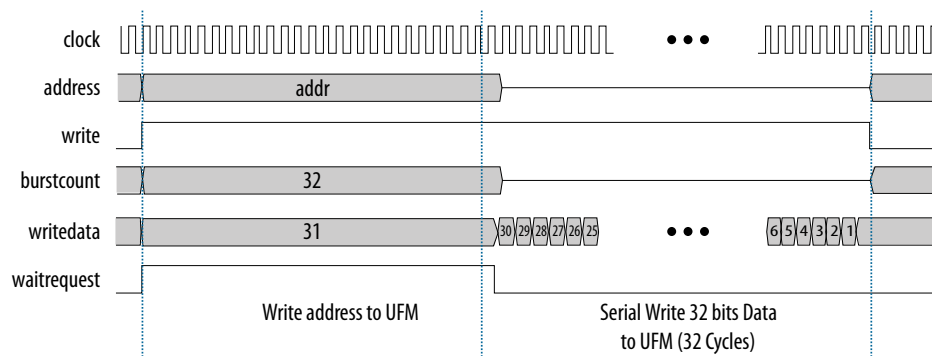
注意: 各書き込みの後にはステータスレジスターを確認し、プログラミング動作が成功したこと (書き込み成功) を確認します。

図 -8: パラレルモードでのプログラミング動作

以下に、パラレルモードでのデータ書き込みのタイミング図を示します。


図 -9: シリアルモードでのプログラミング動作

以下に、シリアルモードでのデータ書き込みのタイミング図を示します。



4.2.4 UFM セクター消去動作

セクター消去動作により、UFM をセクターごとに消去できます。

UFM セクター消去動作を行うには、以下のステップを実行します。

- 書き込み保護モードを無効にします。Avalon-MM コントロール・インターフェイスを介して、セクター内の書き込み保護レジスターに 0 を書き込みます。
- セクター消去の位置を選択するために、適切なビットをコントロール・レジスターに書き込みます。フラッシュ IP コアがセクター消去アドレスを格納し、セクター消去動作を開始します。



注 IP コアは、IDLE 状態のとき、つまりステータスレジスターの busy フィールドが 2'b00 であるときのみセクター消去アドレスを受け入れます。IP コアがビジー状態であれば、セクター消去アドレスを無視します。

3. 消去動作の進行中は、フラッシュ IP コアはステータスレジスターの busy フィールドを 2'b01 にセットします。
4. データ・インターフェイスから読み出したり書き込みコマンドを新たに受信すると、フラッシュ IP コアは、waitrequest 信号をアサートします。
5. フラッシュ IP コアがセクターを消去します。セクター消去動作が完了すると、フラッシュ消去の物理的な結果をステータスレジスターの消去成功フィールドに格納します。
注意: 最大消去時間は 350 ms です。
6. フラッシュ IP コアは、以下のいずれかの状態が生じると、ステータスレジスターの消去成功フィールドを 1'b0 (失敗) にセットします。
 - 不正なセクター番号が送信された
 - 対応するセクターのセクター保護モードまたは書き込み保護モードがクリアされていない (値が 1'b0 ではない)
7. セクター消去動作を続けて実行する必要がある場合は、前のステップを繰り返します。
8. セクター消去動作が完了した時点で、書き込み保護モードを有効に戻す必要があります。Avalon-MM コントロール・インターフェイスを介して、対応するセクターの書き込み保護レジスターに 1 を書き込みます。
注意: 各消去の後にはステータスレジスターを確認し、消去動作が成功したこと (消去成功) を確認します。

4.2.5 UFM ページ消去動作

ページ消去動作により、UFM をページごとに消去できます。

UFM ページ消去動作を行うには、以下のステップを実行します。

1. 書き込み保護モードを無効にします。Avalon-MM コントロール・インターフェイスを介して、セクター内の書き込み保護レジスターに 0 を書き込みます。
2. ページ消去の位置を選択するために、適切なビットをコントロール・レジスターに書き込みます。フラッシュ IP コアは、ページ消去アドレスを格納し、ページ消去動作を開始します。
注 IP コアは、IDLE 状態のとき、つまりステータスレジスターの busy フィールドが 2'b00 であるときのみページ消去アドレスを受け入れます。IP コアがビジー状態であれば、セクター消去アドレスを無視します。
3. 消去動作の進行中は、フラッシュ IP コアはステータスレジスターの busy フィールドを 2'b01 にセットします。
4. データ・インターフェイスから読み出したり書き込みコマンドを新たに受信すると、フラッシュ IP コアは、
注意: waitrequest 信号をアサートします。
5. フラッシュ IP コアがページを消去します。ページ消去動作が完了すると、フラッシュ消去の物理的な結果をステータスレジスターの消去成功フィールドに格納します。
注意: 最大消去時間は 350 ms です。

6. フラッシュ IP コアは、不正なセクター番号が送信されると、ステータスレジスタの消去成功フィールドを 1'b0 (失敗) にセットします。
7. ページ消去動作を続けて実行する必要がある場合は、前のステップを繰り返します。
8. ページ消去動作が完了した時点で、書き込み保護モードを有効に戻す必要があります。Avalon-MM コントロール・インターフェイスを介して、対応するページの書き込み保護レジスタに 1 を書き込みます。各消去の後にはステータスレジスタを確認し、消去動作が成功したこと (消去成功) を確認します。

4.2.6 UFM 読み出し動作

UFM は、単独で 32 ビットの読み出し動作を提供します。

読み出し操作を実行するには、UFM 内でデータが配置されている、またはこれから配置される参照アドレスを、アドレスレジスタにロードする必要があります。

UFM 読み出し動作を実行するには、以下のステップに従います。

1. データ・スレーブ・インターフェイスに適正なデータアドレスを送信するために、read 信号をアサートします。
2. パーストカウントを 1 (パラレルモード) または 32 (シリアルモード) にセットします。
3. フラッシュ IP コアがビジー状態であれば、フラッシュ IP コアは waitrequest 信号をアサートします。
4. フラッシュ IP コアは readdatavalid 信号をアサートし、readdata バスを介してデータを送信します。
5. フラッシュ IP コアは、読み出し動作の進行中はステータスレジスタの busy フィールドを 2'b11 にセットします。
6. 動作が順調であれば、フラッシュ IP コアは、ステータスレジスタの読み出し成功フィールドを 1'b1、すなわち読み出し成功にセットします。不正なアドレスや保護されたセクターからの読み出しを試みた場合には、フラッシュ IP コアは、ステータスレジスタの読み出し成功フィールドを 1'b0 (失敗) にセットして空のフラッシュを返します。

以下に、読み出し動作のタイミング図を MAX 10 デバイスごとにパラレルモードとシリアルモードでそれぞれ示します。

図 -10: パラレルモードでの 10M04、10M08、10M16 および 10M25 デバイスの読み出し動作

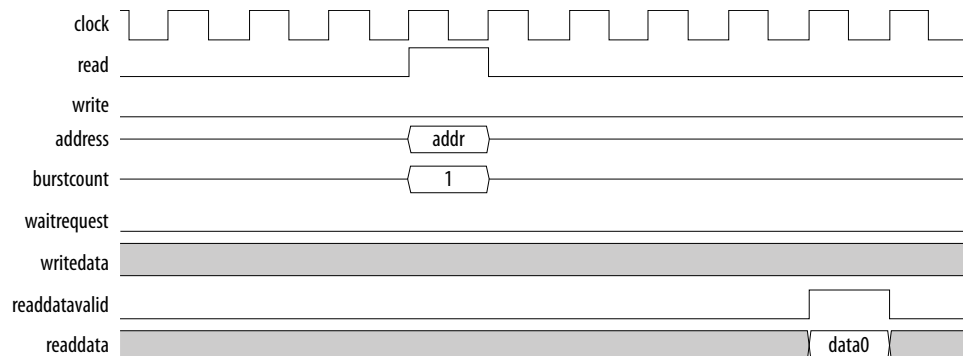




図 -11: パラレルモードでの 10M40 および 10M50 デバイスの読み出し動作

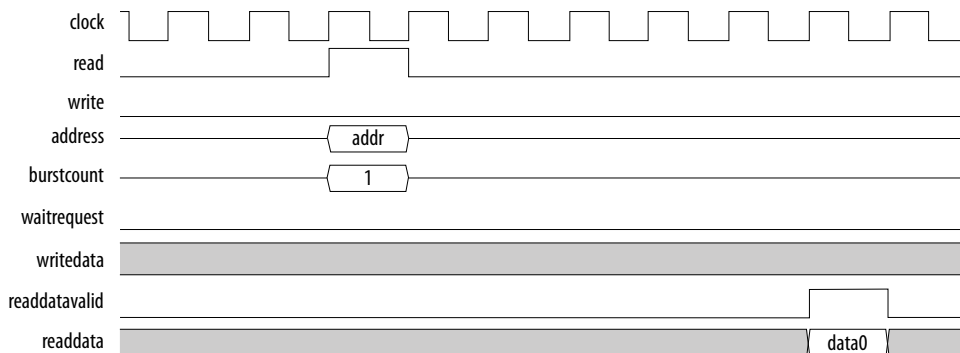
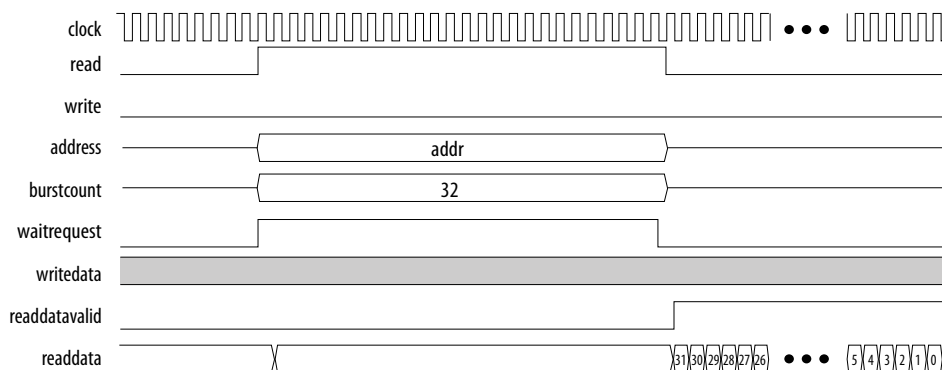


図 -12: シリアルモードでの MAX 10 デバイスの読み出し動作



4.2.7 UFM バースト読み出し動作

バースト読み出し動作は、ストリーミングで 32 ビットの読み出し動作です。

バースト読み出し動作には以下のモードがあります。

- データ・インクリメント・バースト読み出し: 最大で 128 のバーストカウントが可能
- データ・ラッピング・バースト読み出し: 10M04 または 08 では 2 の、10M16、25、40 または 50 では 4 の固定バーストカウントを有する

UFM バースト読み出し動作を行うには、以下のステップを実行します。

1. read 信号をアサートし、データ・インターフェイスに適正なバーストカウントと適正なデータアドレスを送信します。
2. フラッシュ IP コアがビジー状態であれば、フラッシュ IP コアは waitrequest 信号をアサートします。
3. フラッシュ IP コアは readdatavalid 信号をアサートし、readdata バスを介してデータを送信します。

注意: データ・ラッピング・バースト読み出し動作では、アドレスがフラッシュの末尾に達すると、フラッシュの先頭に戻ってラッピングし、読み出しを続けます。

4. フラッシュ IP コアは、読み出し動作の進行中はステータスレジスタの busy フィールドを 2' b11、あるいは busy_read にセットします。
5. 動作が順調であれば、フラッシュ IP コアは、ステータスレジスタの読み出し成功フィールドを 1' b1、すなわち読み出し成功にセットします。不正なアドレスや保護されたセクターからの読み出しを試みた場合には、フラッシュ IP コアは、ステータスレジスタの読み出し成功フィールドを 1' b0 (失敗) にセットして、空のフラッシュを 1 に変えます。

4.2.7.1 UFM データ・インクリメント・バースト読み出し

以下に、データ・インクリメント・バースト読み出し動作のタイミング図を MAX 10 デバイスごとに示します。

図 -13: パラレルモードでの 10M04 および 10M08 デバイスのインクリメント・バースト読み出し動作

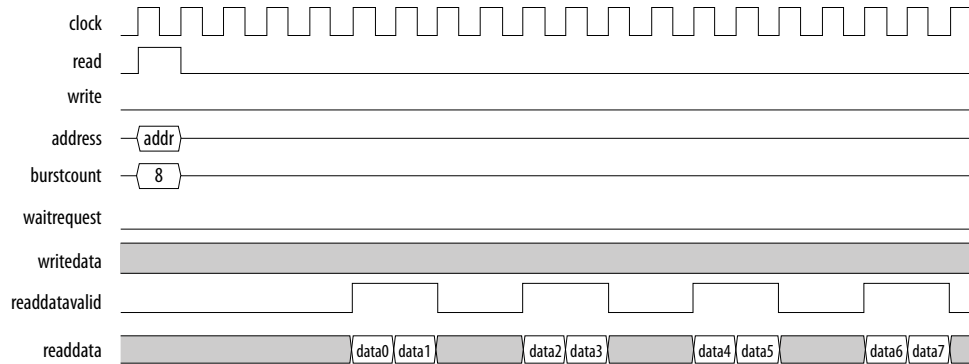
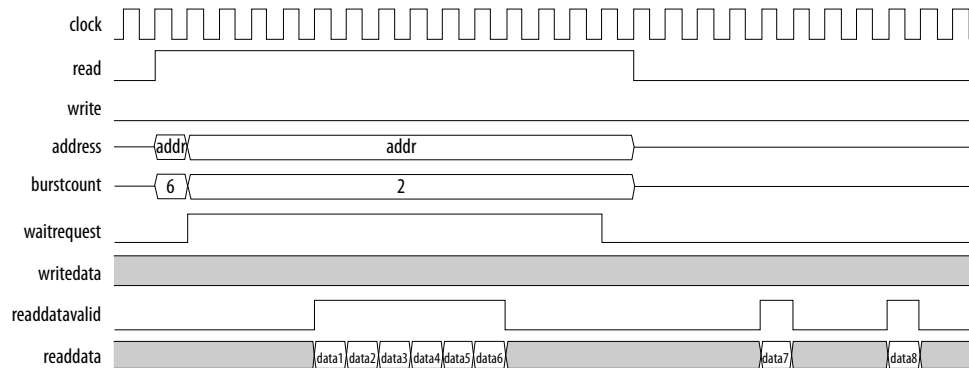


図 -14: パラレルモードでの 10M16 および 10M25 デバイスのインクリメント・バースト読み出し動作



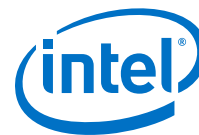


図 -15: パラレルモードでの 10M50 デバイスのインクリメント・バースト読み出し動作

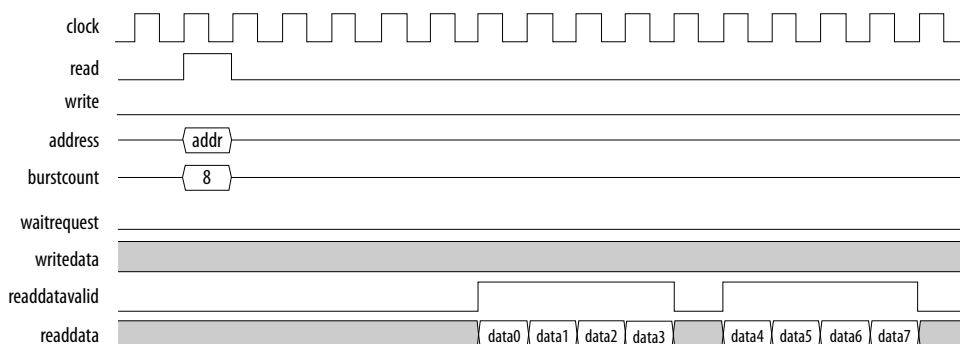


図 -16: パラレルモードでの 10M50 デバイスのアライメントされていないアドレスのインクリメント・バースト読み出し動作

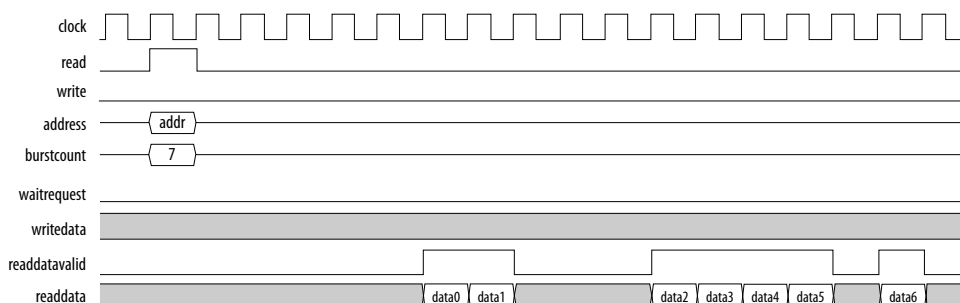
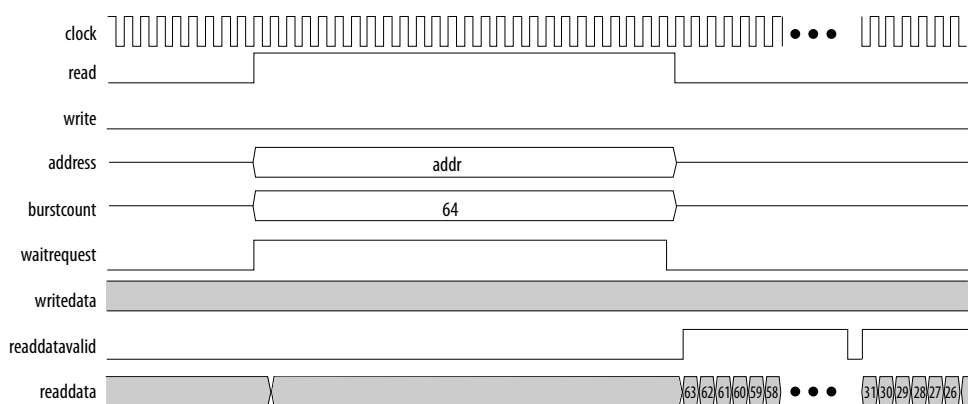


図 -17: シリアルモードでの MAX 10 デバイスのインクリメント・バースト読み出し動作



4.2.7.2 UFM データ・ラッピング・バースト読み出し

アライメントされていないアドレスを受信する際に、UFM はデータラッピングをサポートします。

注意: ラッピングバースト読み出しは、パラレル・インターフェイスでのみ使用できます。

表 6. MAX 10 デバイスでのデータ・ラッピング・サポート

デバイス	データレジスタ長	フラッシュ IP データバス幅	サポートされる固定バーストカウント	データラッピング
10M04, または 10M08	32	64	2	アドレスは、64 ビット、つまり 2 サイクル後に手前の境界に戻ってラッピングする。たとえば、32 ビットのデータ・インターフェイスでのラッピングでは: 1. スタートアドレスは 0x01 2. アドレスシーケンスは 0x01 になり、アドレス 0x00 まで戻る
10M16, 10M25, 10M40, または 10M50	32	128	4	アドレスは、128 ビット、つまり 4 サイクル後に手前の境界に戻ってラッピングします。たとえば、32 ビットのデータ・インターフェイスでのラッピングでは: 1. スタートアドレスは 0x02 2. アドレスシーケンスは 0x02 と 0x03 になり、アドレス 0x00 と 0x01 まで戻ります。

以下に、データ・ラッピング・バースト読み出し動作のタイミング図を MAX 10 デバイスごとに示します。

図 -18: 10M04 および 10M08 デバイスのラッピングバースト読み出し動作

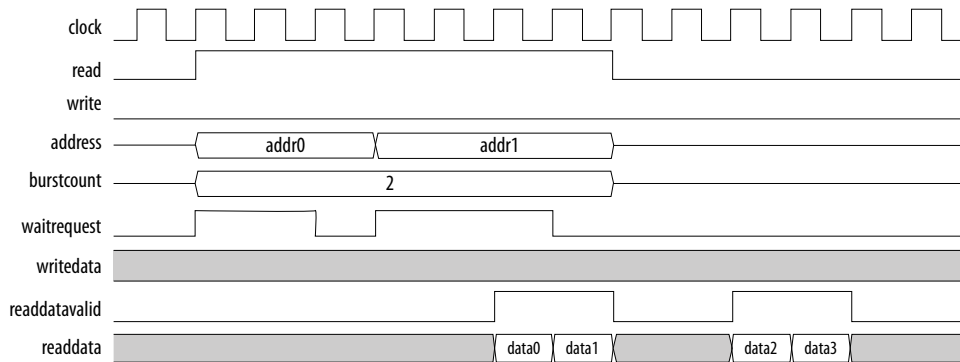


図 -19: 10M16 および 10M25 デバイスのラッピングバースト読み出し動作

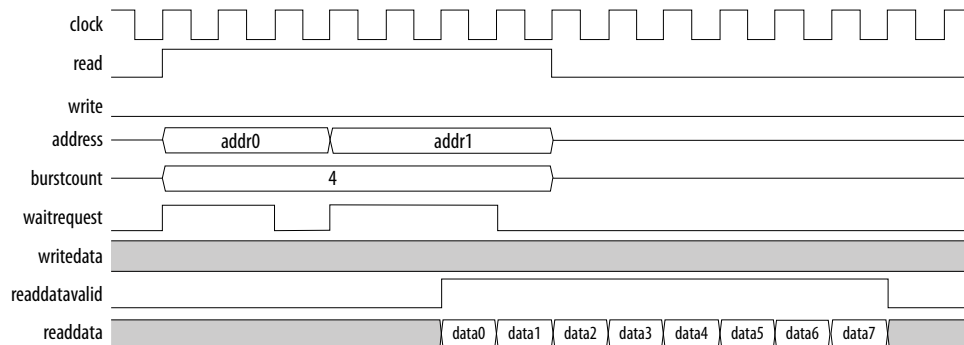
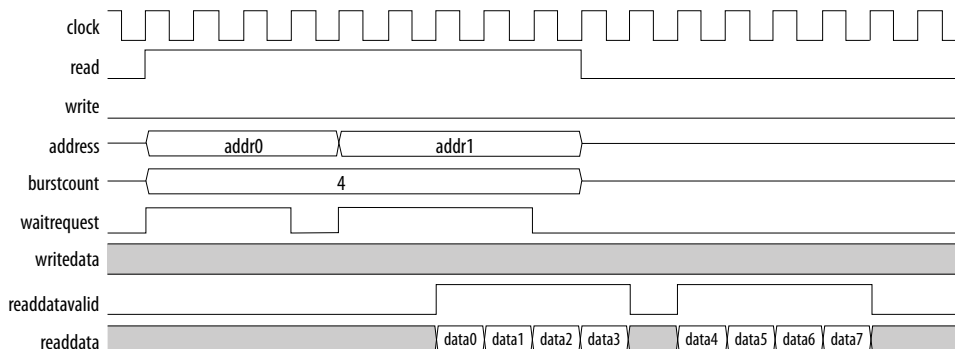




図 -20: 10M40 および 10M50 デバイスのラッピングバースト読み出し動作



4.3 フラッシュ初期化ファイル

オンチップ・フラッシュ IP コアは、.hex、.mif、.dat ファイルをサポートしています。

初期化ファイルの合計データサイズが最大 UFM サイズよりも小さい場合には、IP コアは空白のデータをそのままの状態に残します(全て 1)。

初期化ファイルの合計データサイズが最大 UFM サイズよりも大きい場合には、IP コアは、超過した部分のデータを無視します。

表 7. サポートされるフラッシュ初期化ファイルのタイプ

ファイルタイプ	フォーマット	概要
.hex	インテル規格の 16 進数ファイル: バイトアドレスを使用	実際のハードウェアでのフラッシュ初期化向け
.mif	標準のインテル FPGA メモリ初期化ファイル: ワードアドレスを使用	実際のハードウェアでのフラッシュ初期化向け
.dat	32 ビット・データ幅ファイル: ワードアドレスを使用	シミュレーション・モデルでのフラッシュ初期化向け



5 アルテラ・オンチップ・フラッシュ IP コアの参考資料

この項では、アルテラ・オンチップ・フラッシュ IP コアのパラメーター、信号、およびレジスターに関する情報を提供します。

5.1 アルテラ・オンチップ IP フラッシュのパラメーター

以下の表に、アルテラ・オンチップ・フラッシュ IP コアのパラメーターを示します。

表 8. アルテラ・オンチップ・フラッシュ IP コアのパラメーター

パラメーター	デフォルト値	説明	
Data interface	Parallel	インターフェイスの種類を選択できます。パラレルまたはシリアルを選択できます。	
Read burst mode	Incrementing	読み出しバーストモードのタイプを選択できます。インクリメントまたはラッピングが選択可能です。	
		Incrementing モード	読み出しバーストカウントは 1、2、4、8... 128
		Wrapping モード	バーストカウントは 2 または 4 に固定されている
注 シリアル・インターフェイスは Incrementing モードのみを意: サポートしています。10M02 デバイスでは、パラレル・インターフェイスは Wrapping モードをサポートしていません。			
Read burst count	2	最大バーストカウント・バス幅を調整する柔軟性を提供します。 <ul style="list-style-type: none"> パラレルモード: この設定は最大バーストカウント数を示す シリアルモード: この設定はストリーム読み出しをサポートし、各読み出し動作で読み出されるワードを示す。Avalon-MM インターフェイス・バーストカウント・バス幅は読み出しバーストカウントの 32 倍と等しくなる 	
Configuration mode	Single uncompressed image	コンフィグレーション・モードを選択できます。以下のオプションのいずれか 1 つを選択できます。 <ul style="list-style-type: none"> Dual Compressed Images Single Uncompressed Image: CFM2 セクターを UFM として使用できる Single Compressed Image: CFM2 と CFM1 セクターを UFM として使用できる Single Uncompressed Image with Memory Initialization Single Compressed Image with Memory Initialization 	
Flash Memory	—	セクター ID、アドレス範囲の値、およびフラッシュタイプは、デバイスと選択したコンフィグレーション・モードに応じてハードウェア .tcl により直接的に生成されます。各セクターのアドレスマッピングを示し、各セクターの Access Mode をそれぞれ調整します。	

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



パラメーター	デフォルト値	説明
		注意: CFM セクターのみが Hidden アクセスモードをサポートしています。
Clock frequency	116.0 MHz	適切なクロック周波数を MHz で入力します。最大周波数は、パラレル・インターフェイスでは 116.0 MHz であり、シリアル・インターフェイスでは 7.25 MHz です。 注意: 10M02 デバイスを使用する場合には、パラレル・インターフェイスの最大周波数は 7.25 MHz です。
Initialize flash content	Off	フラッシュの内容を初期化するには、このオプションをオンにします。
Enable non-default initialization file	Off	選択した初期化ファイルを有効にするには、このオプションをオンにします。デフォルト以外のファイルを選択する場合、ファイル名を入力するか、参照ボタンを使用して .hex または .mif ファイルを選択します。
User created hex or mif file	—	このオプションは、 Enable non-default initialization file をオンにした場合のみ使用可能です。ユーザー設計の .hex または .mif のファイル名を指定します。
User created dat file for simulation	—	このオプションは、 Enable non-default initialization file をオンにした場合のみ使用可能です。ユーザー設計のシミュレーション・ファイル名を指定します。

5.2 アルテラ・オンチップ IP フラッシュの信号

以下の表に、アルテラ・オンチップ・フラッシュ IP コアの信号を示します。

表 9. パラレルおよびシリアルモードでの Avalon-MM スレーブ入出力信号

信号	幅	入/出力	説明
クロックとリセット			
clock	1	入力	ペリフェラル全体を駆動するシステムクロック信号です。
reset_n	1	入力	ペリフェラル全体をリセットするシステム同期リセット信号です。IP コアは、この信号を非同期的にアサートします。この信号は、クロックの立ち上がりエッジ後に IP コア内で同期になります。
コントロール			
avmm_csr_addr	1	入力	レジスターをデコードする Avalon-MM アドレスバスです。
avmm_csr_read	1	入力	Avalon-MM 読み出しコントロール信号です。IP コアはこの信号をアサートして読み出し転送を示します。存在する場合には readdata 信号が必要です。
avmm_csr_readdata	32	出力	Avalon-MM リードバック・データ信号です。IP コアは読み出しサイクル中にこの信号をアサートします。
avmm_csr_write	1	入力	Avalon-MM 書き込みコントロール信号です。IP コアはこの信号をアサートして書き込み転送を示します。存在する場合には writedata 信号が必要です。
avmm_csr_writedata	32	入力	Avalon-MM 書き込みデータバスです。バスマスターは書き込みサイクル中にこのバスをアサートします。
データ			
avmm_data_addr	ユーザー定義	入力	フラッシュ・データアドレスを示す Avalon-MM アドレスバスです。このアドレスの幅は、デバイスとコンフィグレーション・モードの選択によって異なります。
<i>continued...</i>			



信号	幅	入力/出力	説明	
avmm_data_read	1	入力	Avalon-MM 読み出しコントロール信号です。IP コアはこの信号をアサートして読み出し転送を示します。存在する場合には readdata 信号が必要です。	
avmm_data_readdata	<ul style="list-style-type: none"> パラレルモード:32 シリアルモード:1 	出力	Avalon-MM リードバック・データ信号です。IP コアは読み出しサイクル中にこの信号をアサートします。	
avmm_data_write	1	入力	Avalon-MM 書き込みコントロール信号です。IP コアはこの信号をアサートして書き込み転送を示します。存在する場合には writedata 信号が必要です。	
avmm_data_writedata	<ul style="list-style-type: none"> パラレルモード:32 シリアルモード:1 	入力	Avalon-MM 書き込みデータバスです。バスマスターは書き込みサイクル中にこのバスをアサートします。	
avmm_data_waitrequest	1	出力	IP コアは、読み出しまたは書き込み動作中に IP コアがビジー状態である際に、このバスをアサートしてマスターを一時的に停止させます。	
avmm_data_readdatavalid	1	出力	読み出しサイクル中に readdata が有効であれば、IP コアはこの信号をアサートします。	
avmm_data_burstcount	ユーザー定義	入力	バスマスターは、バースト読み出し動作を示すためにこの信号をアサートします。 <ul style="list-style-type: none"> 書き込み動作では、バーストカウントは常に、パラレルモードでは 1 に、シリアルモードでは 32 に固定されています。 インクリメント・バースト読み出しモードでは、サポートされる読み出しバーストカウント範囲は、 	
			パラレルモード	1-2(バーストカウント幅-1)
			シリアルモード	1-128*32
			<ul style="list-style-type: none"> ラッピングバースト読み出しモード(パラレルモードのみ)では、サポートされる読み出しバーストカウントは 2 と 4 に固定されています。 	
			10M04, 10M08	1-2
10M16, 10M25, 10M40, 10M50	1-4			

5.3 アルテラ・オンチップ・フラッシュ IP のレジスター

以下の表に、アルテラ・オンチップ・フラッシュ IP コアのアドレスマッピングとレジスターを示します。

表 10. アルテラ・オンチップ・フラッシュ IP のコントロール・アドレス・マッピング

レジスター	アドレス	アクセス	説明
ステータスレジスター	0x00	読み出し専用	直近の動作のステータスと結果ならびにセクタ保護モードを格納する
コントロールレジスタ	0x01	読み出し/プログラミング	以下の情報を格納します。 <ul style="list-style-type: none"> ページ消去アドレス セクター消去アドレス セクター書き込み保護モード



表 11. アルテラ・オンチップ・フラッシュ IP のステータスレジスター

ビットオフセット	フィールド	デフォルト値	説明
1~0	busy	2'b00	2'b00 IDLE 2'b01 BUSY_ERASE 2'b10 BUSY_WRITE 2'b11 BUSY_READ
2	rs (読み出し成功)	1'b0	1'b0 読み出し失敗 1'b1 読み出し成功
3	ws (書き込み成功)	1'b0	1'b0 書き込み失敗 1'b1 書き込み成功
4	es (消去成功)	1'b0	1'b0 消去失敗 1'b1 消去成功
5	sp (セクター ID 1 保護ビット)	—	IP コアは、デバイスだけでなく、インスタンス化時に指定されたコンフィグレーションとアクセスモード設定に基づき、これらのビットをセットします。これらの設定は固定されています。これらのビットのいずれかを IP コアがセットすると、対応するセクターで読み出しまたは書き込みができません。
6	sp (セクター ID 2 保護ビット)	—	
7	sp (セクター ID 3 保護ビット)	—	
8	sp (セクター ID 4 保護ビット)	—	
9	sp (セクター ID 5 保護ビット)	—	
31~10	ダミー(パディング)	—	すべてのビットを 1 にセットします。

表 12. アルテラ・オンチップ・フラッシュ IP のコントロールレジスター

ビットオフセット	フィールド	デフォルト値	説明	
19~0	pe(ページ消去アドレス)	すべて 1	ページ消去アドレスをセットし、ページ消去動作を開始します。IP コアは、IDLE 状態のときのみページ消去アドレスを受け入れます。それ以外の場合には、ページアドレスは無視されます。有効な値は使用可能なあらゆるアドレスです。IP コアは、指定されたアドレスに対応するページを消去します。	
22~20	se(セクター消去アドレス)	3'b111	セクター消去アドレスをセットし、セクター消去動作を開始します。IP コアは、IDLE 状態のときのみセクター消去アドレスを受け入れます。それ以外の場合には、ページアドレスは無視されます。	
			3'b001	セクター ID 1
			3'b010	セクター ID 2
			3'b011	セクター ID 3
			3'b100	セクター ID 4
			3'b101	セクター ID 5
			その他の値	不正なアドレス
			選択したデバイスには 3 つのセクターしかない場合、セクター ID 4 と 5 にマッピングされた値は不正なアドレスになります。	

continued...

ビットオフセット	フィールド	デフォルト値	説明				
			<p>注 セクターアドレスとページアドレスの両方を同時にセットした場合、セクター消去アドレスが優先されます。IP コアはセクター消去アドレスを受け入れて実行し、ページ消去アドレスを無視します。</p> <p>詳細は、セクターアドレス 26 ページの を参照してください。</p>				
23	wp (セクター ID 1 書き込み保護)	1	<p>IP コアはこれらのビットを使用して、セクターを読み出し動作と消去動作から保護します。セクター書き込みまたは消去の前に、対応するセクター書き込み保護ビットをクリアする必要があります。</p> <table border="1" style="width: 100%;"> <tr> <td>1'b0</td> <td>書き込み保護モードを無効にする</td> </tr> <tr> <td>1'b1</td> <td>書き込み保護モードを有効にする</td> </tr> </table>	1'b0	書き込み保護モードを無効にする	1'b1	書き込み保護モードを有効にする
1'b0	書き込み保護モードを無効にする						
1'b1	書き込み保護モードを有効にする						
24	wp (セクター ID 2 書き込み保護)	1					
25	wp (セクター ID 3 書き込み保護)	1					
26	wp (セクター ID 4 書き込み保護)	1					
27	wp (セクター ID 5 書き込み保護)	1					
31~28	ダミー(パディング)	—	すべてのビットを 1 にセットします。				

5.3.1 セクターアドレス

パラメーター・エディターでのセクターアドレスを 32 ビット・アドレスに変換する必要があります。

パラメーター・エディターのアドレスマッピングはバイトアドレスを使用します。アルテラ・オンチップ・IP コアの Avalon-MM インターフェイスは 32 ビット・アドレスを使用します。

表 13. アドレスマッピングの例

セクター	パラメーター・エディター・アドレス	Avalon-MM アドレス
セクター ID 1	0x0000-0x17ff	0x000-0x5ff
セクター ID 2	0x1800-0x2fff	0x600-0xBff
セクター ID 3	0x3000-0x13fff	0x0C00-0x4fff



A MAX 10 ユーザー・フラッシュメモリー・ユーザーガイドのアーカイブ

IP コアのバージョンが記載されていない場合には、以前の IP コアバージョン向けのユーザーガイドが当てはまります。

IP コアバージョン	ユーザーガイド
16.0	MAX 10 User Flash Memory User Guide
15.1	MAX 10 User Flash Memory User Guide
15.0	MAX 10 User Flash Memory User Guide
14.1	MAX 10 User Flash Memory User Guide

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



B MAX 10 ユーザー・フラッシュメモリー・ユーザーガイドの改訂履歴

日付	バージョン	変更内容
2017年2月	2017.02.21	ブランド名を「インテル」に変更
2016年12月	2016.12.20	<ul style="list-style-type: none"> アルテラ・オンチップ・フラッシュ・ビットオフセット 5-9 の概要を、「IP コアは、デバイスだけでなく、インスタンス化時に指定されたコンフィグレーションとアクセスモード設定に基づき、これらのビットをセットします。これらの設定は固定されています。」という説明に更新 セクターアドレスに関するより明確な情報を含むために、アルテラ・オンチップ・フラッシュ・ビットオフセット 22-27 の概要を更新 セクターアドレスをバイトアドレスからビットアドレスに変換するための詳細を提供するセクターアドレスのトピックを追加
2016年5月	2016.05.02	<ul style="list-style-type: none"> パラレルモードでの標準的および最小の UFM のプログラミング時間を追加 パラレルモードでの最小 UFM リセット時間を 250 ns に修正 MAX 10 User Flash Memory User Guide のアーカイブしたバージョンへのリンクを追加
2015年11月	2015.11.02	<ul style="list-style-type: none"> サポートされるフラッシュ初期化ファイルについての情報を追加 10M40、10M50 デバイス向けシリアル・インターフェイス・サポートを追加。MAX 10 デバイスの最大周波数は 7.25 MHz、例外的に 10M40、10M50 デバイスでは 4.81 MHz 10M02 デバイス向けパラレル・インターフェイス・サポートを追加。MAX 10 デバイスの最大周波数は 116 MHz、例外的に 10M02 デバイスでは 7.25 MHz 表記を Quartus II から Quartus Prime へ変更
2015年5月	2015.05.04	<ul style="list-style-type: none"> 書き込みを、業界標準の用語であるプログラミングに変更 UFM と CFM のアレイサイズの項で、UFM サイズ合計に、選択したモードに依存する指定可能な最大値であることを示す注を追加 デザインの考慮事項に、電源下降の最大スループット要件に関する情報を追加 デザインの考慮事項に、プログラミング動作を行う前にフラッシュ内の保存位置を消去するガイドラインを追加
2014年12月	2014.12.15	<ul style="list-style-type: none"> シリアル・インターフェイスのサポートを追加 シリアル・インターフェイス向けに 7.25 MHz の最大動作周波数を追加 UFM のブロック図を更新し、図にシリアル・インターフェイスを追加 デザインの考慮事項に、IP コアを用いる初期メモリー内容の作成および IEEE 規格 1149.1 バージョンの JTAG インターフェイスを使用する UFM プログラミングについての情報を追加 シリアルモードでの読み出しおよび書き込み動作のタイミング図を追加 新しいシリアル・インターフェイスに関連する GUI パラメーター、信号、レジスターに関する情報を追加 シリアルモード向けに以下の新しい Avalon-MM スレーブ・インターフェイス信号の情報を追加: addr, read, readdata, write, writedata, waitrequest, readdatavalid, burstcount 以下の新しいパラメーター情報を追加: <ul style="list-style-type: none"> — Data Interface では Parallel および Serial インターフェイスを選択可能 — Dual Images を Configuration Scheme および Configuration Mode に置き換え。新しいパラメーターにはサポートされる全てのコンフィグレーション・モードが含まれる — Read Burst Count ではバーストカウント幅が自動調整される
2014年9月	2014.09.22	初版

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済