

## はじめに

ポータブル・システムの設計者は、バッテリー電源システム内のすべてのコンポーネントにおいて、いかにスタティックおよびダイナミック電流量を少なくするかに関心を持っています。このアプリケーション・ノートでは、MAX<sup>®</sup> II CPLD の非常に低いスタティックおよびダイナミック消費電力特性について説明します。また、MAX II デバイスでスタンバイ時のゼロ消費電流を達成可能な回路デザイン手法についても紹介します。さらに、MAX II デバイスをスマート・パワー・コントロール・マネージャとして使用し、他のシステム・コンポーネントをパワーアップおよびパワーダウンしてゼロ消費電力を達成できます。

## バッテリー駆動 ポータブル・ アプリケー ション

消費電力の管理は、あらゆる電子機器で重要ですが、特にポータブル・バッテリー駆動アプリケーションではきわめて重要です。ポータブル電気製品の始まりは、計算機やラジオでしたが、ここ 10 年で範囲が拡大し、今日では携帯電話や PDA (Personal Digital Assistant)、MP3 プレーヤなどの人気製品も含まれるようになりました。コンシューマ機器のポータブル化は止まることはないでしょう。以下のような多くのビジネス必需品が、ますますポータブル化しています。

- バー・コード・スキャナ
- POS 端末
- 収税端末
- 電子料金リーダー
- PIN 識別システム
- RFID (Radio Frequency Identification Device) リーダ / スキャナ

BlueTooth、WiFi (Wireless Fidelity)、802.11e などのワイヤレス規格の登場により、多くの工業用アプリケーションはもはや、配線や電源のインフラストラクチャに制限されなくなりました。ワイヤレス技術革新の恩恵を受けたポータブル工業用アプリケーションには、以下のようなものがあります。

- ガスおよび有害物質センサ
- GPS (世界測位衛星システム) ベースの在庫モニタ
- 生産ラインおよび監視カメラ
- 歪みゲージおよび圧力計測器
- リモート・オペレータ端末
- 仮想プライベート・ネットワーク (VPN)
- テストおよび計測機器
- 換気空調設備 (HVAC) のモニタおよび制御システム

これらのアプリケーションの多くはバッテリー駆動です。理想的なバッテリーは、アルカリ、ニッカド、またはリチウム・ポリマです。これらのバッテリー・タイプはすべて、3.2 V（完全充電時）～2.2 V（放電時）の動作電圧範囲をサポートしています。プリント基板（PCB）上の動作範囲が最も広いデバイスに最も有効です。このアプリケーション・ノートでは、バッテリー駆動ポータブル・アプリケーションにおけるMAX II CPLDの消費電力面での優位性について概説します。また、MAX II CPLD ベースのシステムにおいて、最適な消費電力の管理を行うためのリファレンス回路とデザイン手法も紹介します。

## ポータブル・システムにおける消費電力の管理

消費電力の管理では、単にスタンバイ時電力消費を可能な限り低くするだけではありません。電力デザインには、消費電力、簡素化、および移行性の3つの側面があります。

**消費電力**は、システム設計者の電源の管理における最も明確な低減目標です。電力損失には、基本的にスタティック消費電力とダイナミック消費電力の2つの要素があります。ほとんどのアプリケーションで、バッテリー寿命を延長するにはダイナミック消費電力が重要ですが、アプリケーションによってはスタティック消費電力の方が重要な場合もあります。バッテリーの供給が不便で、ダイナミックな動作をあまり行わないアプリケーションでは、スタティック消費電力が最も重要です。一例として、リモート HVAC コントロール・パネルがあります。HVAC コントロール・パネルは頻繁に使用されることはなく、ほとんどは待機状態です。ダイナミック消費電力が最も重要になる例として、工業用 PDA があります。PDA プロセッサ、ディスプレイ、およびバックライト光源は不可欠であり、電力損失の主要な発生源です。デザインでその他の大部分は、全電力損失とバッテリー寿命にとっては付随的なものです。さらに PDA アプリケーションでは、バッテリー寿命は製品が充電してから次に充電するまでの間に機能するように設計されており、バッテリーの待機時寿命は通常問題になりません。

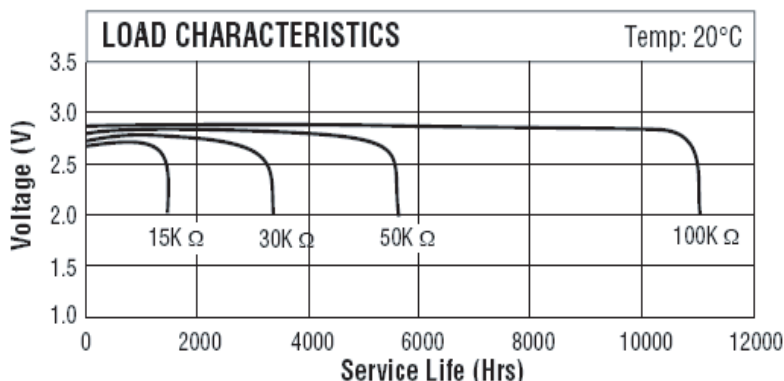
**簡素化**も、消費電力の管理では重要な考慮事項です。低いダイナミックまたはスタティック消費電力が望ましいですが、常にそうであるとは限りません。電源システムは、可能な限りシンプルにする必要があります。バッテリー駆動システムの場合、複数の電源電圧を使用できない場合があります。幅広い動作電圧範囲に対応できるデバイス・コンポーネントが特に求められています。システムを多くのパワー・ドメインに分割し、システムがその機能を必要とする場合にのみ各ドメインをイネーブルにすることが、この問題に対する1つのアプローチです。ただし、複数のドメインを持つシステムには柔軟なコントロール・メカニズムが必要で、各ドメインは容易にパワーアップおよびパワーダウンできる必要があります。MAX II デバイスは、非常に複雑な一連のパワー・ドメインを柔軟に制御することができます。MAX II デバイスは、単純な電力要件とダイナミックにパワー・ドメインを制御する一環として管理を容易にするホット・ソケット特性も備えています。

**移行性**も消費電力の管理において重要な考慮事項です。標準的な消費電力管理システムは、ある電力モードから別の電力モードに絶えず遷移します。システム内のコンポーネントがオンからオフ、オフからオンに遷移するときのコンポーネントの特性や、コンポーネントのオフ時の動作を理解することが重要です。デバイスのホット・ソケット特性に依存し、ホット・ソケットの対応が不十分な場合、電源オフ状態の寄生消費電力はオン状態より多くなることがあります。MAX II デバイスのすべての状態および遷移における動作は検証済みであり、設計者はアプリケーションに合わせて最適なモードを選択することができます。

## MAX II CPLD の消費電力で の優位性

MAX II デバイスには、ポータブル・アプリケーションにとって有益な、多くの電源システム特性があります。MAX II デバイスには、2つのコア電力オプションがあります。最も有用なものは、コア電圧レギュレータを内蔵した標準デバイスです。180-nm コアの内部 VCC には 1.8 V 電源が必要です。MultiVolt™ コアを持つ MAX II デバイスは、CoolRunner II デバイスよりも容易に使用できます。V<sub>CCINT</sub> は 2.35 ~ 3.6 V の範囲で使用でき、内蔵レギュレータはコアに 1.8 V を供給します。アプリケーションにとって 1.8 V コア電圧の供給が最適な場合、MAX IIG デバイスは 1.65 ~ 1.95 V の電源範囲に対応できます。バッテリー駆動システムの標準電圧は 3.0 V で、2 個のアルカリ・セルまたは 1 個のリチウム・ポリマ・バッテリーより電源供給できます。このようなシステムでは、バッテリー電源は 3.2 ~ 2.3 V の範囲で変動することがありますが、MAX II デバイスは継続して動作します。また、MAX II デバイスは MultiVolt I/O も備えており、これにより V<sub>CCIO</sub> 電圧はコア電圧レギュレータと同じ範囲で動作できます。これにより、バッテリー電圧が有効寿命を下回ると V<sub>CCIO</sub> と V<sub>CCINT</sub> が連結されて監視される非常にシンプルな電源システムが実現します。図 1 は、標準的なリチウム・ポリマ・バッテリーのバッテリー寿命曲線を示しています。

図 1. 標準的なリチウム・ポリマ・バッテリーの寿命曲線



MAX II の MultiVolt コア機能は、コストと消費電力重視のポータブル・システムではきわめて有効です。MultiVolt コア・レギュレータは、標準 10 mA の公称バイアス電流を必要とします。MultiVolt コア・レギュレータを使用する利点は、レギュレータ・バイアス電流の不便さを大きく上回ります。広い動作範囲の  $V_{CCINT}$  には、以下の利点があります。

- バッテリ電源に直接接続可能
- システム電源コストの削減
- 電源電圧数が少ないシンプルな PCB デザイン
- パワーアップ・シーケンス制約のない単一電源
- シンプルなパワーアップおよびパワーダウン・コントロール

表 1 は、さまざまなプログラマブル・ロジック・デバイス (PLD) の消費電力特性を示します。表の 2 列目は、バッテリー駆動 3.3 V I/O ポータブル・システムに必要な最小電源レール数を示しています。このようなシステムでは、少なくとも 1 つまたは複数の 3.3 V の I/O バンクが必要です。3.3 V 以外のコア電源やそれぞれの PLD の各種補助電源用に他の電源レールが必要です。電源数が少ない方が明らかに有利です。MAX II デバイスに必要な最小電源数は 1 つです。さらに、MAX II デバイスは 2.5 V システムにおいても同じ単一電源動作が可能であり、バッテリー駆動ポータブル・システムで要求される 2.3 V ~ 3.6 V の範囲での動作も可能です。2 電源を必要とする Cyclone デバイスは、低コスト FPGA においてクラス最高であり、電源数が少ないことが低コスト・ソリューションにとって重要です。

表 1 の 3 列目は、独立した I/O バンク数を示しています。3.3 V は最も一般的なシステム電圧ですが、PLD を使用して電圧レベルをシフトするアプリケーションがあります。他の CPLD デバイスと比較して、MAX II デバイスは I/O バンク数が最も多くなっています。2 つの  $V_{CCIO}$  レベルしか必要ない場合でも、I/O バンクが 4 つあれば異なる電源レールにピンをより柔軟に配置できるため有利です。 $V_{CCIO}$  バンクが 2 つあると、各電源レールに使用可能なすべてのユーザ I/O の半分が割り当てられます。二次バンクにわずかな信号しか必要ない場合、 $2V_{CCIO}$  バンク構成の使用率が低い場合多くの I/O が無駄になってしまいます。4 つの  $V_{CCIO}$  バンクでは、使用可能な I/O の 1/4 を二次  $V_{CCIO}$  レベルに割り当てるだけでよく、I/O の残り 3/4 は一次  $V_{CCIO}$  レベルで動作します。

表 1 の 4 列目は、パワーアップ時に VCC 電源レールのシーケンスに対する制限の有無を示しています。 $V_{CCIO}$ 、 $V_{CCINT}$ 、または  $V_{CCAUX}$  を特定の順序でパワーアップまたはパワーダウンする制約が「なし」が最も望ましいといえます。MAX II の場合、パワーアップの順序に制約はありません。 $V_{CCIO}$  と  $V_{CCINT}$  が同じ電源を使用する場合でも問題ありません。4 列目が「あり」の場合は、規定のシーケンス結果に従う必要があります。そうしないと、不要な電流サージや I/O グリッチ、場合によってはスタック状態が発生することがあります。特定のパワーアップ・シーケンスが必要な場合、システムの複雑さと全体的な電源コストが増加します。また、PLD を使用してボード上の他のデバイスのパワーアップ・シーケンスを制御することができなくなる可能性もあります。

表 1 の 5 列目は、デバイスが完全にホット・ソケット保護されているかどうかを示します。ホット・ソケットに関する大きな不安は、PLD に電源が印加されていないときの I/O ピンのリークです。ホット・ソケット時に生じるリーク電流は、デバイスの  $V_{CCIO}$  または  $V_{CCINT}$  が印加されていないときの VCC または GND での I/O ピンの電流リークです。ホット・ソケット時に生じるリーク電流により、デバイスがパワーダウンされている場合でも、I/O ピンを通してシステムの電力損失が発生します。MAX II デバイスは、ホット・ソケット時に生じるスタティック・リーク電流が非常に低いホット・ソケット・サポートを提供します。ホット・ソケット機能により、さまざまなモードでパワーダウンされる 3.3 V、2.5 V、および 1.5 V デバイスが混在して実装された PCB 上のコンポーネントを使用するときに、設計者が直面するいくつかの課題が解消されます。ポータブル・システムでは、ホット・ソケットのサポートにより、CPLD の I/O ピンを経由する不要な寄生リーク・パスを生じることなく、システムの各部を簡単にパワーダウンできます。

MAX II デバイスのホット・ソケット機能の特長は、以下のとおりです。

- システムをパワーダウンすることなく、ボードまたはデバイスの挿抜が可能
- 任意のパワーアップ・シーケンスのサポート
- ホット・インサート中のシステム・バスへの影響がない I/O バッファ

ホット・ソケットにはいくつかの利点があります。消費電力の観点から最も重要な利点は、 $V_{CCINT}$  または  $V_{CCIO}$  がパワーアップされていないときに I/O を流れるリーク電流です。MAX II デバイスは、外部コンポーネントや特別なデザイン制約なしで上記の 3 つの特長をすべて満たすホット・ソケット機能を提供します。ホット・ソケットの一般的な特性を次に示します。

- パワーアップまたはパワーダウン前およびパワーアップまたはパワーダウン中に、損傷されることなく、I/O ピンをドライブできます。
- I/O ピンはパワーアップ時にトライ・ステートを維持し、デバイスはパワーアップ前またはパワーアップ中にドライブ・アウトしません。それによって、動作中の他のバスに影響を与えません。
- 信号ピンは  $V_{CCIO}$  または  $V_{CCINT}$  電源をドライブしません。
- $V_{CCIO}$  または  $V_{CCINT}$  を印加する前に入力ピンが High にドライブされた場合は、入力ピンにスタティック・リークは発生しません（ホット・ソケット時に生じるリーク電流）。

最後の特性は、バッテリー寿命を延長するために、選択されたシステムのセクションをパワーダウンするポータブル・アプリケーションでは重要です。一部の CPLD では、 $V_{CCINT}$  または  $V_{CCIO}$  がオフのときに入力ピンが VCC レベルにドライブされると、リークが大きくなります（ホット・ソケット時に生じるリーク電流が約 1 mA 以上）。デバイスがパワーダウンされるが、システムの別の部分はまだ動作中で、I/O ピンを High にドライブされた場合、I/O ピンのリークは通常の待機時電流よりもはるかに大きくなります。一部の競合デバイスとは異なり、MAX II デバイスは I/O を通してパワーアップしません。したがって、MAX II デバイスは、システムの動作中の部分にドライブされた状態であっても複雑な制約なしでパワーダウンできます。

表 1. 消費電力仕様の比較

製品ファミリ	最低限必要な電源数 (1)	最大 I/O バンク数	パワーアップ・ シーケンスの制約	ホット・ソケットの リーク電流
MAX II	1	4	なし	なし
MAX IIG	2	4	なし	なし
MachXO	2 (2)	4	なし	あり
MACH4000Z	2	2	なし	あり
CoolRunner II	2	2	あり	あり
Cyclone	2	4	なし	なし
Cyclone II	2	8	なし	なし
Spartan III	3	8	あり	あり

表 1 の注：

(1) 3.3 V I/O バッテリ電源システムに必要な電源電圧の数。

(2) MachXO VCC & V<sub>CCIO</sub> は、1.71–3.465 V の広い範囲で動作しますが、V<sub>CCAUX</sub> の動作範囲は 3.135–3.465 V に制限されています。

## ダイナミック 消費電力の 優位性

MAX II は、従来の CPLD デバイスよりも FPGA に近いアーキテクチャを備えています。このアーキテクチャには、ダイナミック消費電力の点でいくつかの優位性があり、短所はありません。また、CMOS (Complementary Metal-Oxide Semiconductor) CPLD アーキテクチャよりも有利です。MAX II の CMOS FPGA アーキテクチャと CMOS CPLD アーキテクチャ間には、DC 消費電力の違いはありません。

MAX II デバイスが持っている第 1 の AC 消費電力の優位性はロジックの実装によるものです。MAX II デバイスは、4 入力ルックアップ・テーブル (LUT) を使用してロジックを実装します。5 入力以上を必要とする回路は、LUT をカスケード接続して形成されます。CMOS プロダクト・タームは、カスケード接続された一連の CMOS ゲートによって実装されます。したがって、2 入力ファンクションでも 80 入力 CMOS 全体およびゲートまたはプロダクト・タームを通してカスケードします。MAX II デバイスのアーキテクチャは、ユーザ・ファンクションで要求されるロジックのみを実装します。2 入力ファンクションは、2 入力ファンクションに対しても 40 入力ファンクションと同じ高い電力を消費する 80 入力 CMOS プロダクト・タームとは異なり、2 入力のみがアクティブな 6 入力ファンクションよりも消費電力が少なくなります。統計的解析は標準的なアプリケーションの平均ファンインは 2.5 であることを示しているため、MAX II デバイスのアーキテクチャはダイナミック消費電力において優位性は明らかです。図 2 は、MAX II アーキテクチャが 50 MHz において、競合の CPLD アーキテクチャに対してどのように 65% の優位性を持っているかを示しています。すべてのデバイスには、スイッチングしている出力はなく 1 本のクロック入力のみトグルしている同じコア回路が実装されています。

図 2. MAX II コア・ロジックおよび配線構造のダイナミック消費電力の優位性 (1)

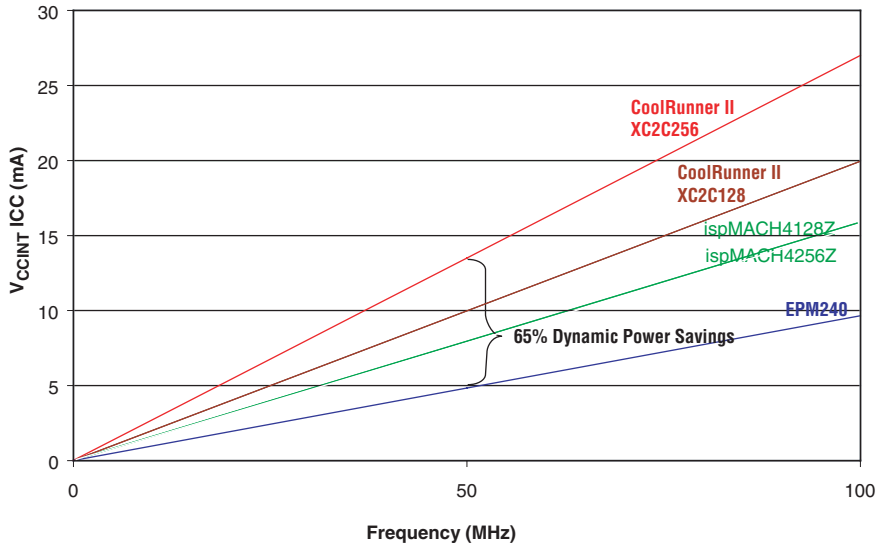


図 2 の注 :

(1) 8 個の 16 ビット・カウンタのダイナミック消費電力。

MAX II デバイス・アーキテクチャにおける信号の配線は、従来の CPLD とはまったく異なります。従来の CPLD には、事実上どのマクロセル出力ピンまたは入力ピンでも任意のマクロセル入力に配線できるセントラル配線システムがあります。これには、消費電力の点でいくつかの欠点があります。すべてのマクロセル出力ピンまたは入力ピンはどこにでも配線できるため、(配線)容量が非常に高くなっています。大部分の信号には 2 ~ 4 のファンアウトが必要ですが、それでも文字通り数百のロケーションに配線されます。これによって、配線プールを通してフィードバックされるすべての I/O ピンおよびすべてのマクロセル出力で、高い容量および高ダイナミック消費電力が生じます。MAX II の配線アーキテクチャはセグメント化されています。各マクロセル出力は配線ネットワークに接続されず。ソフトウェアは目標のネットを完成するには必要な最小限のセグメントをアセンブルします。必要以上にスパンがない最小ルートを使用することによって、MAX II の正味容量は従来の CPLD よりもはるかに低くなります。

図 3 に、MAX II デバイスおよび競合デバイスにおける 16 入力のダイナミック消費電力の構成要素を示します。

図 3. MAX II 配線アーキテクチャ入力のダイナミック消費電力の優位性 (1)

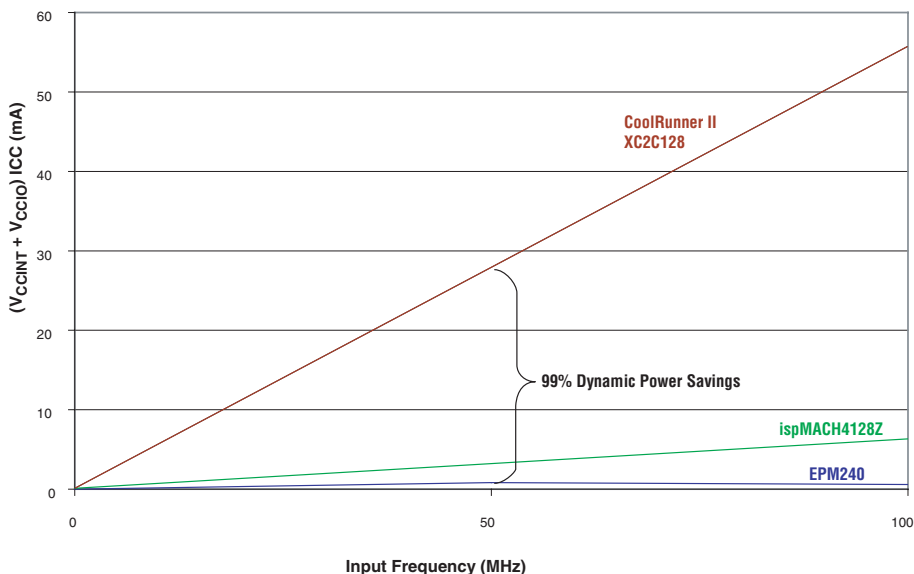


図 3 の注：

- (1) 16 入力がスイッチングする場合のダイナミック消費電力。

MAX II デバイスは、特別な入力ゲーティング回路のない従来の CPLD アーキテクチャよりもダイナミック消費電力が 99% 少なくなっています。MAX II は、機能、ファンアウト、または配置に関係なく、すべての入力でのダイナミック消費電力を低減します。

CPLD アーキテクチャにはマクロセルの配置および接続方法は 1 つしかありません。MAX II アーキテクチャでは、さらに多くのバリエーションが可能です。Quartus® II ソフトウェアにより、ユーザはパフォーマンス、消費電力、または集積度に基づいて、最良のインタコネクトおよび配置手法を選択できます。これは従来の CPLD 配線アーキテクチャでは不可能です。



MAX II デバイスには、1.8 V コアの優位性もあります。外部  $V_{CCINT}$  は 3.3 V ですが、コアは 1.8 V で動作します。信号スイッチング容量があるため、ダイナミック消費電流は  $CV^2$  です。したがって、VCC を低下させると、消費電力に大きな影響があります。これにより MAX II デバイスは、3.3 V コア電圧の優位性を提供していた旧プロセスの CPLD よりもはるかに有利になります。同じ容量であっても、MAX II はコア動作電圧が低いため、70% の電力削減を実現します。

## 真のシステム消費電力

ほとんどのポータブル・アプリケーションでは、ユーザの要求に応じて動作中の状態であるか、オフ状態でオンになるのを待っているかのいずれかです。したがって、ほとんどのポータブル・アプリケーションでは、電源オフで待機時電流を低減し、バッテリー寿命延長の鍵を握るのはダイナミック消費電力の削減です。低コア電圧の PLD は、アプリケーションの真の消費電力を隠すことがあります。

PLD で消費される電力は、 $V_{CCINT} \cdot ICC$  です。ここで、ICC は PLD のダイナミック電流およびスタティック電流です。 $V_{CCINT}$  電圧は、ほとんどの場合、低ドロップアウト (LDO) レギュレータから得られます。LDO は一次側システム電圧を取り込んで、コア電圧レベルを生成します。したがって、PLD で消費される全電力は  $V_{CCINT} \cdot ICC$  に LDO での消費電力を加えたものになります。バッテリー駆動システムでは、LDO の両端の電力は  $(V_{BAT} - V_{CCINT}) \cdot (ICC + ILDO)$  となります。ここで、ILDO は LDO レギュレータの DC バイアス電流と AC レギュレーション損失です。ポータブル・システムでのトータルの消費電力は、以下のとおり計算できます。

$$V_{CCINT} \times (ICC + ILDO) + (V_{BAT} - V_{CCINT}) \times (ICC + ILDO) = V_{BAT} \times (ICC + ILDO)$$

PLD 単独の消費電力だけでなく、全システムの消費電力を検討する必要があります。図 4 に、MAX II デバイス (EPM240) および CoolRunner II デバイス (XC2C128) の同様の電源要求を示します。CoolRunner II デバイスにはもう 1 つの LDO レギュレータが必要です。この図は 3.0 V リチウム・ポリマ・バッテリーを使用した等価システム電力曲線を示し、またバッテリーの全電力消費を示します。この図は CoolRunner II のスタティック消費電力の優位性も示していますが、これは 5 MHz における MAX II の低ダイナミック消費電力によって覆されます。MAX II デバイスは、50 MHz では 85% の電力削減を達成します。デザイン例では同等の変化するコア・ロジックと I/O ピンが使用されています。 $V_{CCINT}$  および  $V_{CCIO}$  消費電力の合計を示します。ispMACH4128Z の  $V_{CCIO}$  の電力は規定されてないため、実際の ispMACH4128Z の消費電力は図に示すよりも悪くなります。基板容量をドライブするのに必要な出力電力は、すべての製品で等しいため考慮されていません。

図 4. ポータブル機器の例、各種 CPLD の消費電力レベル (1)

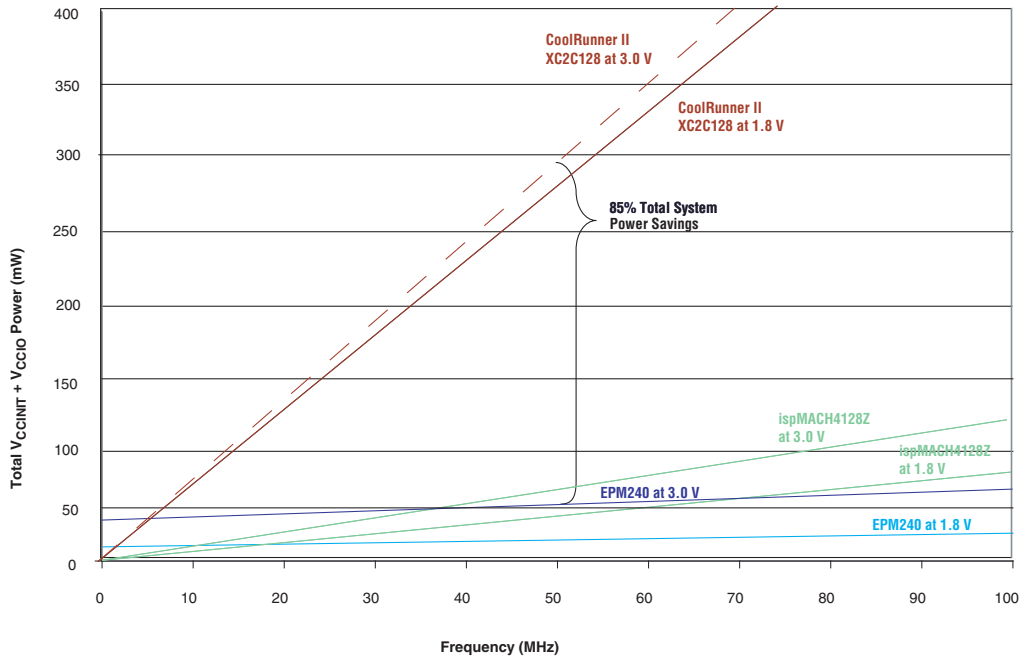


図 4 の注：

- (1) コア・ロジックとスイッチング I/O を持つポータブル・アプリケーション例。

図 5 に、前述のホット・ソケット、パワー・シーケンスの柔軟性、単一電源の簡潔性を備えた MAX II デバイスの完全なパワーダウン能力を示します。この例では、システムは動作中か停止中の状態です。競合デバイスには、 $V_{CCIO}$  と  $V_{CCINT}$  がパワーダウンされたときに VCC レベルになる 8 本の I/O ピンがあります。これにより、リーク電流が I/O を流れ、MAX II のオフ状態のときよりも多くの電力が消費されます。8 本以上の I/O ピンが VCC レベルになると、CoolRunner II デバイスの待機時消費電力がさらに大きくなります。複数の I/O が VCC または GND になっても、MAX II のオフ時消費電力にはほとんど影響がありません。

図 5. ポータブル・アプリケーション例、各種 CPLD に対するパワーダウン・オプション使用時の消費電力レベル (1)

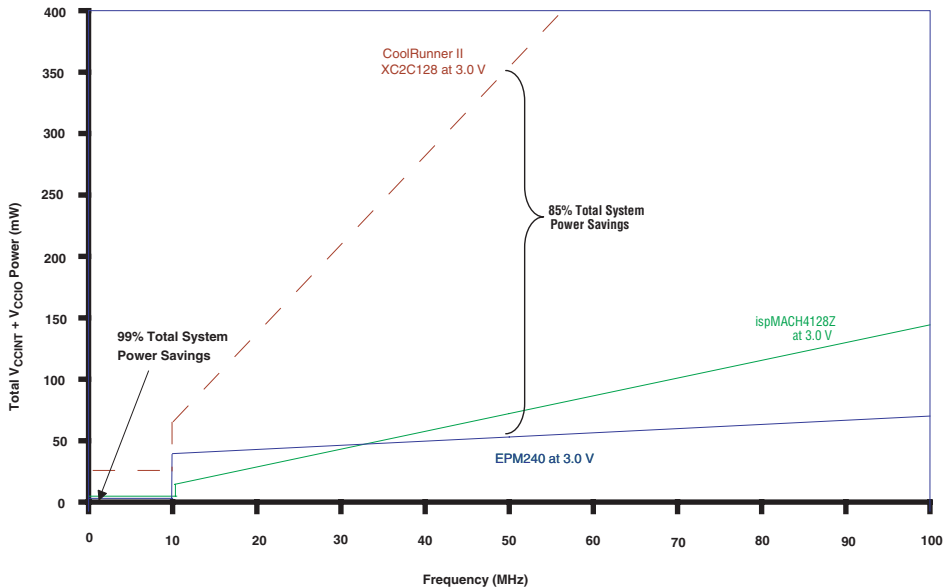


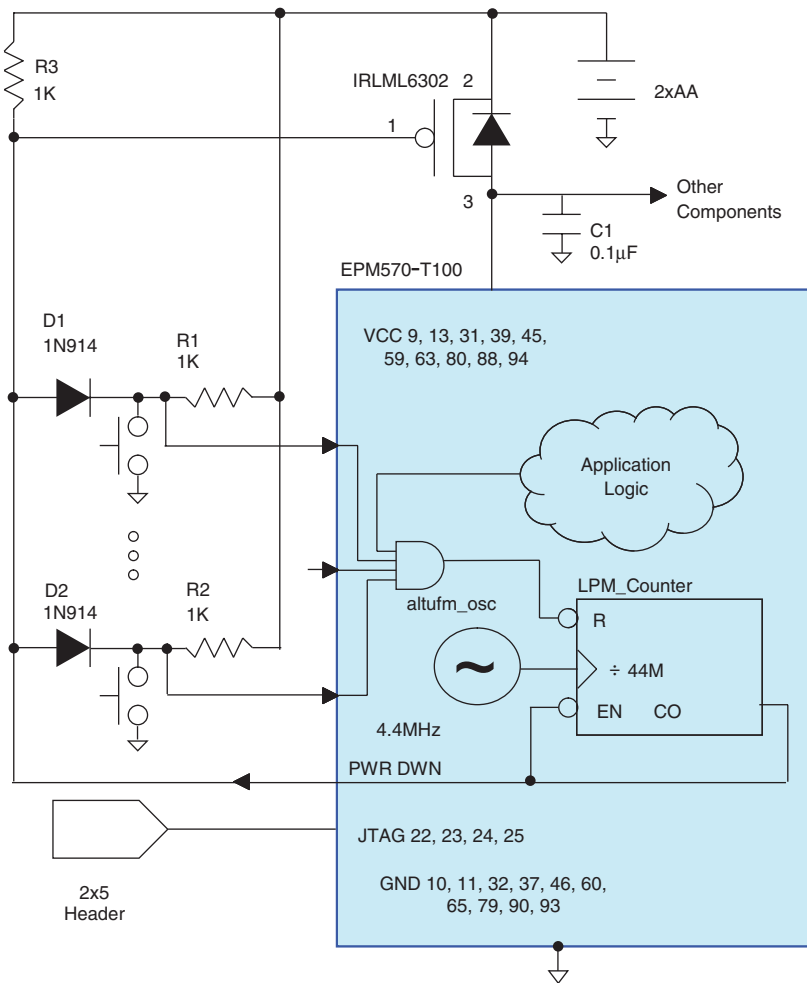
図 5 の注 :

- (1)  $V_{CCINT}$  および  $V_{CCIO}$  パワーダウン時のポータブル・アプリケーション例。

## パワーダウン・モードを使用した MAX II のスタンバイ時消費電力の低減

図 6 の回路は、アルテラの EPM570-T100 CPLD と外部 P チャネル MOSFET (Metal Oxide Semiconductor Field-Effect Transistor)、ダイオード、および抵抗を使用してパワーダウン・システムを構築する方法を示しています。P チャネル MOSFET または FET (Field-Effect Transistor) は、バッテリーから CPLD およびシステム内のその他の選択コンポーネントに送られる電源を制御します。MOSFET デバイスのコストは、大量注文時の単価は \$0.10 以下になり、常に 1.8 V コア CPLD デバイスに必要な低スタティック電流 LDO レギュレータよりも低コストです。FET ゲートは CPLD とアプリケーションのスイッチで制御されます。スイッチを押すと、FET ゲートがイネーブルされます。CPLD にはスイッチング動作とシステム動作を監視する小さな内蔵タイマがあります。指定された非活動期間が検出されると、FET がディセーブルされ、CPLD および同じ電源ノード上の他のコンポーネントをパワーダウンします。

図 6. EPM570T100 セルフ・パワーダウン回路



この FET は IRLML6302 または同等品を使用します。ソースは + バッテリー・ノードに、ドレインは CPLD の VCC ピンおよびシステム内の他のパワーダウンさせないコンポーネントと接続されます。CPLD の VCC ピンは、 $V_{CCINT}$ 、 $V_{CCIO1}$ 、および  $V_{CCIO2}$  タイプのピンで構成されています。FET のゲートには 1 K のプルアップ抵抗 R3 があります。電源がオフのとき、R3 はゲートを VCC にプルアップし、FET を  $V_{GS}=0\text{ V}$  にしてシャット・オフします。オフのときには、CPLD PWR\_DWN ピンを経由するグラウンドへのリーク・パスがあります。EPM570-T100 は、 $I_{OPIN} < 300\ \mu\text{A}$  のダイナミック電流と  $< 10\ \mu\text{A}$  のスタティック電流に制限するホット・ソケット保護回路を備えています。したがって、最小スレッシュホルドがワー

スト・ケースでも  $V_{GS}=0.7\text{ V}$  のため、FET はターンオンしません。

スイッチを押すと FET が通電し、ダイオード D1、1N914 ダイオード、または 1N5818 ショットキ・ダイオード同等品を経由する FET のゲートまでのパスをイネーブルにします。D1 の両端での電圧降下が  $0.7\text{ V}$  であっても、FET は  $V_{GS}=-2.3\text{ V}$  で容易に通電します。バッテリーが MAX II MultiVolt コア電源システムの最小推奨動作電圧の  $2.35\text{ V}$  まで放電されても  $V_{GS}=-1.65\text{ V}$  であるため、FET はオン状態のままです。この構成は、CPLD は  $100\text{ }\mu\text{S}$  以内にパワーアップします。

この回路の動作方法を知るには、標準的なプッシュ・スイッチの動作を理解することが重要です。最速のスイッチでも最小オンタイムは約  $3\text{ ms}$  です。一般的なユーザの場合、最小リリース時間は  $>30\text{ ms}$  です。ほとんどのスイッチの仕様では、 $3\text{ ms}$  が可能な最小スイッチ・サイクル時間として規定されています。ユーザの応答時間が比較的低速なので、CPLD デバイスは内部回路をパワーアップでき、PWR\_DWN ピンと FET ゲートをスイッチがリリースされるかなり前に安定した  $0\text{ V}$  にリセットし、ドライブすることができます。

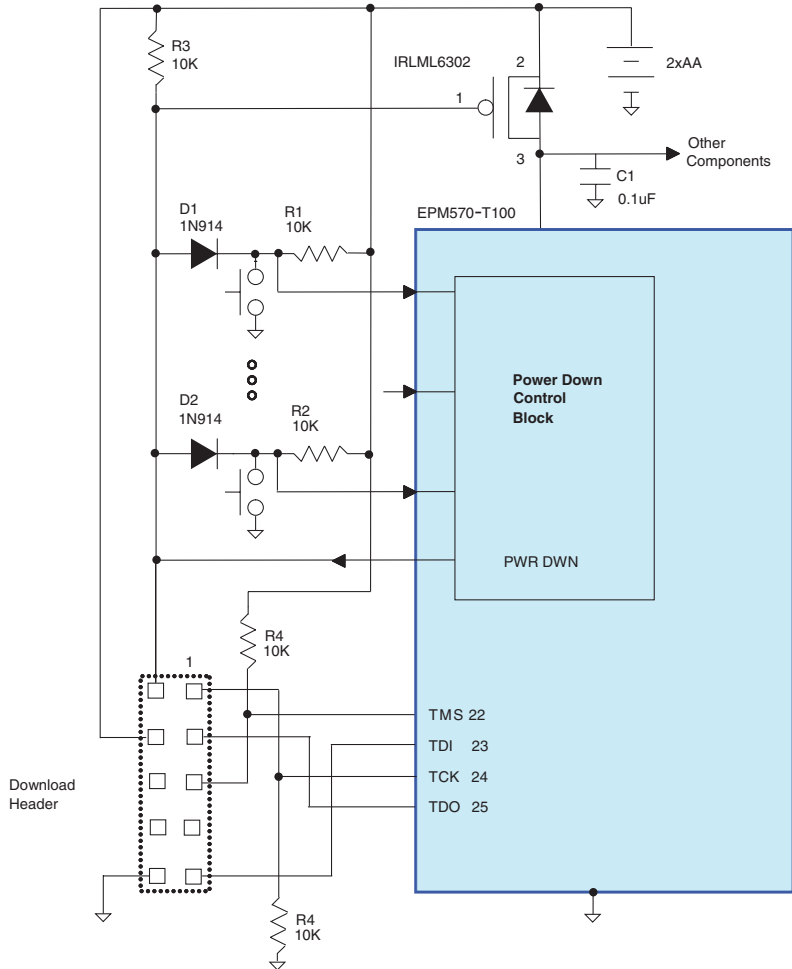
CPLD デバイスの回路は非常にシンプルです。まず、内部  $4.4\text{ MHz} \pm 25\%$  発振器、ALTUFM\_OSC を使用して、LPM\_counter を係数  $44,000,000$  でドライブします。LPM\_counter と ALTUFM\_OSC は、Quartus II ソフトウェアで生成された標準パラメータ化ライブラリ・マクロです。カウンタは、任意のオン状態のスイッチまたはアプリケーション・ロジックからの Low 信号でリセットされます。LPM\_counter がリセットされると、Carry Out (CO) 信号が Low になり、PWR\_DWN ピンをドライブします。CO 信号が反転し、リセットが取り除かれると、LPM\_counter をイネーブルにします。

押されているスイッチがなくなり、アプリケーション・ロジックが動作なくなると、LPM\_counter は  $44,000,000$  まで、すなわち CO 信号が High になる約  $10$  秒前までカウントしてから、カウンタをディセーブルにして CO ピンを High に保持します。これにより、PWR\_DWN ピンを VCC にドライブします。PWR\_DWN ピンが約  $2.3\text{ V}$  に達すると、FET がターンオフし、CPLD をパワーダウンして、PWR\_DWN ピンをトライステートにします。抵抗 R3 は継続的に FET ゲートを VCC にプルします。非活動タイムアウトは、 $4.4\text{ MHz} \pm 25\%$  の内部オシレータに基づいて、カウンタの係数を変更することによって任意の値に設定できます。電源、グラウンド、および JTAG ピンは指定されていますが、スイッチ入力と PWR\_DWN 出力には、任意の汎用 CPLD I/O ピンを使用できます。

メーカー指定の  $2 \times 5$  ヘッドを通して JTAG ピンに接続されるダウンロード・ケーブルにより EPM570-T100 をプログラムする手順では、コンフィギュレーション・プロセスを通してデバイスに電源が供給されるよう、コンフィギュレーション・プロセスの前、プロセス中、およびプロセスの直後にスイッチを押す必要があります。

このような煩雑さは、図 7 に示すダウンロード・ケーブルのピン配置を利用すれば回避できます。ダウンロード・ケーブルのピン 2 と 10 は両方とも GND です。ピン 10 だけが PCB GND に接続され、ピン 2 は PWR\_DWN ノードに接続されている場合、ダウンロード・ケーブルが FET ゲートに接続されると、ピン 2 は GND に短絡され、ダウンロード・ケーブルがインストールされている間、デバイスをパワーアップ状態に維持します。

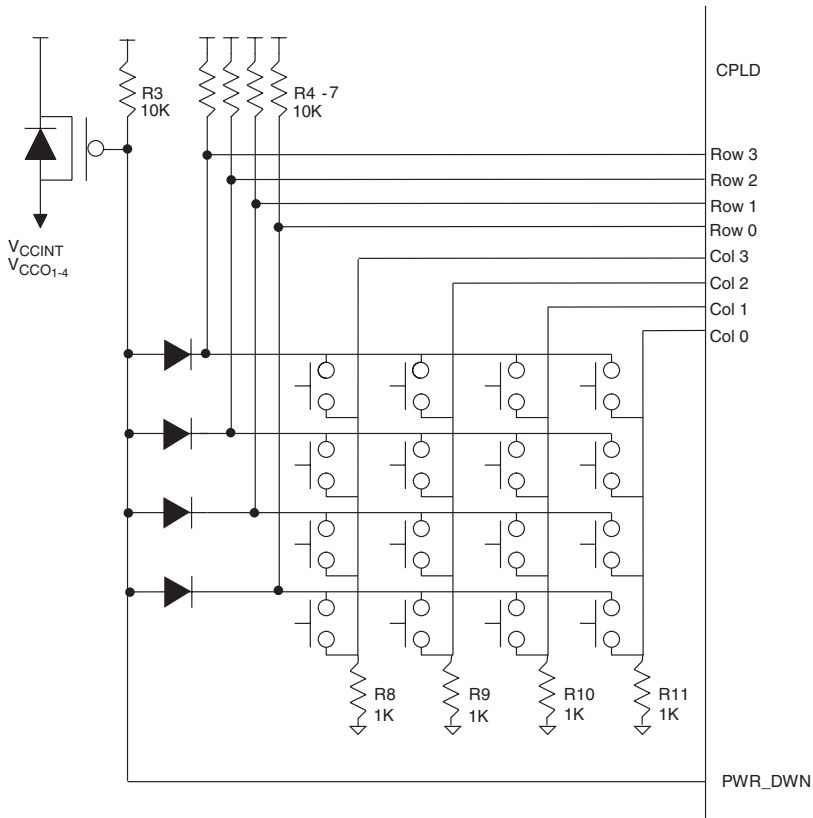
図 7. コンフィギュレーション用のパワーアップ・イネーブルとして使用するダウンロード・ケーブルの実装



システム内のすべてのスイッチにダイオードを持たせる必要はありません。図 8 に、 $N \times M$  スイッチ・マトリックスを効果的に使用して、 $N$  個のダイオードのみでパワーアップ検出を行う方法を示します。

この例では、ロウのみダイオードで FET のゲートに接続されます。スイッチの各カラムにグラウンドへのパスを設けるために、抵抗 R8 から R11 が追加されました。どれかのスイッチを押すと、FET のゲートが Low にプルされ、CPLD をターンオンします。CPLD のパワーアップは高速に行われるため、スイッチ・マトリックスのロウとカラムをスキャンして、スイッチがリリースされるかなり前にどのスイッチが押されたかを判定できます。抵抗 R8 から R11 を電流が流れる時間は、スキャンング・プロセス中は非常に短く、カラム信号は待機状態では Low になって供給電流を最小限に抑えます。ロウ 0-3 信号のみ、LPM\_counter 非活動タイマをリセットするのに使用されます。

図 8. スイッチ・マトリックスからパワーダウン回路への効率的な配線





## MAX II の優位性

ポータブル・バッテリー駆動アプリケーションで MAX II デバイスを使用する主な利点は、使いやすさ、低コスト、および低消費電力です。MAX II デバイスは、集積化されたコア電圧レギュレータ、制約のないパワーアップ・シーケンス、および卓越したホット・ソケット特性を備えているため、容易に使用できます。MAX II は、コア電圧レギュレータ、パワーアップオシレータ、外部パワー・シーケンス・コントロール回路が不要で、ポータブル・システム設計者に最低コストのソリューションを提供します。真のパワーダウン回路を実装する際にも、MOSFET スイッチのほうが消費電力ゼロのデジタル回路でイネーブルする LDO レギュレータよりはるかに安価なので、MAX II が最も低コストになります。MAX II はまた、PCB 面積  $\text{mm}^2$  あたりの I/O 数およびプログラマブル・ロジック・ゲート数が他の CPLD よりも多くなっています。最後に、MAX II は他の CPLD や FPGA と比較して、ダイナミック消費電力が最も低いです。

## まとめ

MAX II は他の CPLD や FPGA よりも消費電力の点で有利です。多くの場合、ある製品の他の製品に対する消費電力の優位性を判断するのに、スタティック消費電力が使用されます。スタティック消費電力は重要ですが、同様に重要な要素が他にも多数あります。ここで述べた他の消費電力についての検討事項の多くが、ポータブル機器のコストにはるかに大きな影響を与えます。ほとんどの場合、抽象的なスタンバイ時消費電力仕様よりもコストの方が重要です。スタンバイ時消費電力が要求される場合、MAX II デバイスは自身をオフにすることによって、簡単かつコスト効率よく、真の消費電力ゼロ・モードを実装できます。

## 関連情報

詳しくは、<http://www.altera.com/support/examples/max/exm-power-down.html> の MAX II パワーダウン・デザインを参照してください。

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
[www.altera.com](http://www.altera.com)  
Applications Hotline:  
(800) 800-EPLD  
Literature Services:  
[lit\\_req@altera.com](mailto:lit_req@altera.com)

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



Printed on recycled paper



I.S. EN ISO 9001