

Joe DeLaere, Senior Product Marketing Manager, Low-Cost Products, Altera
Stefano Zammattio, Senior Product Marketing Manager, Embedded Products, Altera

このホワイトペーパーでは、マイコン・ベースのソリューションの代わりに、MAX[®] 10 FPGA および Nios[®] II エンベデッド・プロセッサを使用するメリットについて解説します。従来の低コスト FPGA を凌ぐ MAX 10 FPGA は、以下の実現によりマイコンからの置き換えを可能にしています。

- フラッシュ・メモリを集積したシングル・チップ、インスタント・オン機能による、リモート・アップグレードおよびシステム管理機能
- アナログ・デジタル・コンバータ (ADC) による、システム・コストとボード・スペースの低減
- 小型パッケージおよび機能集積化デバイスによる、実装面積の縮小
- カスタマイズ可能なプロセッサ・ペリフェラル・セットによる、最大限の機能効率化
- 最適化されたリアルタイム処理による、性能向上
- 製品寿命の延長と陳腐化するリスクの排除による、製品ライフ・サイクル向上
- 業界トップの開発ツールのサポートによる、時間と労力の節約

はじめに

マイクロプロセッサかマイクロコントローラ (マイコン) にかかわらず、プロセッサはデジタル電子システムで最も汎用なコンポーネントの 1 つです。最近の IoT (Internet of Things) ソリューションの急速な成長により、プロセッサの普及は拡大を続けています。IoT 革命または全く新しいソリューションを必要とする最先端製品のいずれを目的として設計する場合でも、既製商用プロセッサでは、競争力のある差別化や早期市場投入の実現を可能にする、性能、ペリフェラル、寸法、拡張性、またはライフ・サイクルの最適な組み合わせを提供することはできません。既製商用プロセッサを使用する場合は、設計者は、機能が決まっているマイコンについて、余分な費用を払って不要な機能までも購入するのか、既製で備わっていない機能を追加する余分な設計をするのかという妥協案を選択する必要があります。FPGA ベースのソリューションでは、完全にカスタマイズ可能なソフト処理機能が実装されており、真の柔軟性と拡張性を実現しています。つまり、シングル・チップに搭載されたプログラム可能なハードウェアおよびソフトウェアの両方を使用してカスタム・ニーズに対応できます。

アルテラの Nios II プロセッサは、FPGA に最適化された 32 ビット RISC ハーバード・アーキテクチャ・プロセッサ (ソフト) コアです。FPGA デバイスはハードウェアがプログラム可能なため、Nios II プロセッサも構成 (コンフィギュレーション) 可能です。つまり、どのようなアプリケーション要件にも正確に対応できます。さらに、プロセッサ・ペリフェラル・セットも、アプリケーション固有の要件に合わせて容易にコンフィギュレーションできます。Nios II ソフトコア・プロセッサ搭載の MAX 10 FPGA

ベースのソリューションでは、製品の差別化と最適化をするカスタマイズ可能な独自のシングル・チップ・エンベデッド・システムを提供することにより、既製商用品の限界を克服しています。MAX 10 FPGA の革新的なアーキテクチャおよび Nios II プロセッサの柔軟性は、今日の組み込み設計者に対して比類のない代替ソリューションをもたらします。

シングル・チップ、インスタント・オン機能

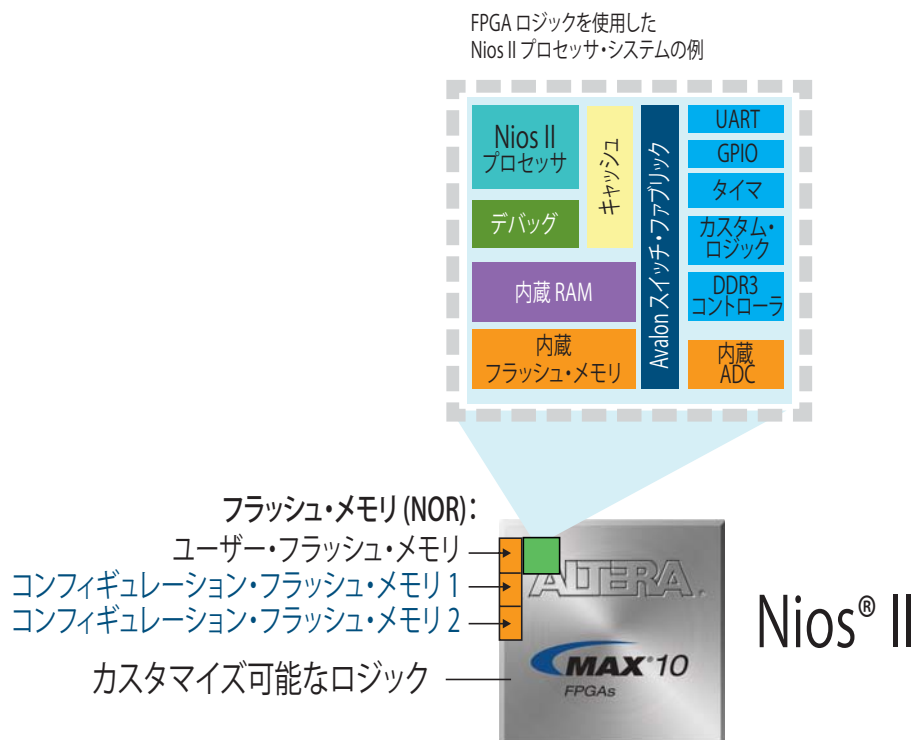
55nm エンベデッド・フラッシュ・メモリを MAX 10 FPGA ダイに集積することにより、ハードウェアとソフトウェアの両方をカスタマイズできる真のシングル・チップ・エンベデッド・システム機能を完全実現しました。サービス品質 (QoS) やエンド・ユーザーにライセンスされている機能パッケージに合わせて、現場でリアルタイムに変更できるカスタマイズ可能ハードウェア機能を搭載した CPU を想像してみてください。さらには、新しい規格、市場投入までの時間が限られていたために初期リリースでは搭載できなかった機能、または初回インストール後に購入した製品のアップグレード変更に対応するために、システムのマイコン・ハードウェアをアップグレードする機能を想像してみてください。これらのシナリオは、既製商用プロセッサでは物理的に不可能ですが、Nios II プロセッサと MAX 10 FPGA のエンベデッド・フラッシュ・メモリおよびリモート・アップデート機能を利用することにより可能となります。

MAX 10 エンベデッド・フラッシュには、[図 1](#) に示すように、2 つの FPGA コンフィギュレーション・イメージ・パーティションが含まれています。そのうちの 1 つは FPGA ハードウェア・イメージのフェイルセーフなリモート・アップデートを保証するために使用できます。リモート・アップデートまたはデュアル・コンフィギュレーション機能が不要な場合は、汎用ユーザー・フラッシュ・メモリ (UFM) として最大 700 キロバイトまで拡張し、ソフトウェア・コード格納スペースを追加確保できます。

システムの起動および管理もまた、その内蔵オン・ダイ・フラッシュ・メモリによる恩恵を受けられます。ハードまたはソフトにかかわらず従来のエンベデッド・プロセッサ・テクノロジーを採用した FPGA システムでは、FPGA がパワーアップとコンフィギュレーションを瞬時に実行することはできません。MAX 10 FPGA のオン・ダイ・フラッシュ・メモリを使用すると、FPGA は、システムの最初のコンポーネントとして瞬時にパワーアップし (数ミリ秒以内)、そのカスタム FPGA ロジックがシステムの起動を完全に管理するだけでなく、システム・パワーオン時に Nios II システムがソフトウェア診断や予測が行えるようになります。

このシングル・チップ集積化およびハードウェア・アップグレード機能により、組み込み設計者は、製品の設計上の欠陥や製品の返品をなくしてトータル・コストを削減し、さらにカスタマイズしたハードウェアに競争優位性を付加することを実現できます。

図 1：デュアル・コンフィギュレーション・パーティションを備えた、シングル・チップ Nios II プロセッサの実装



アナログ・デジタル・コンバータ (ADC)

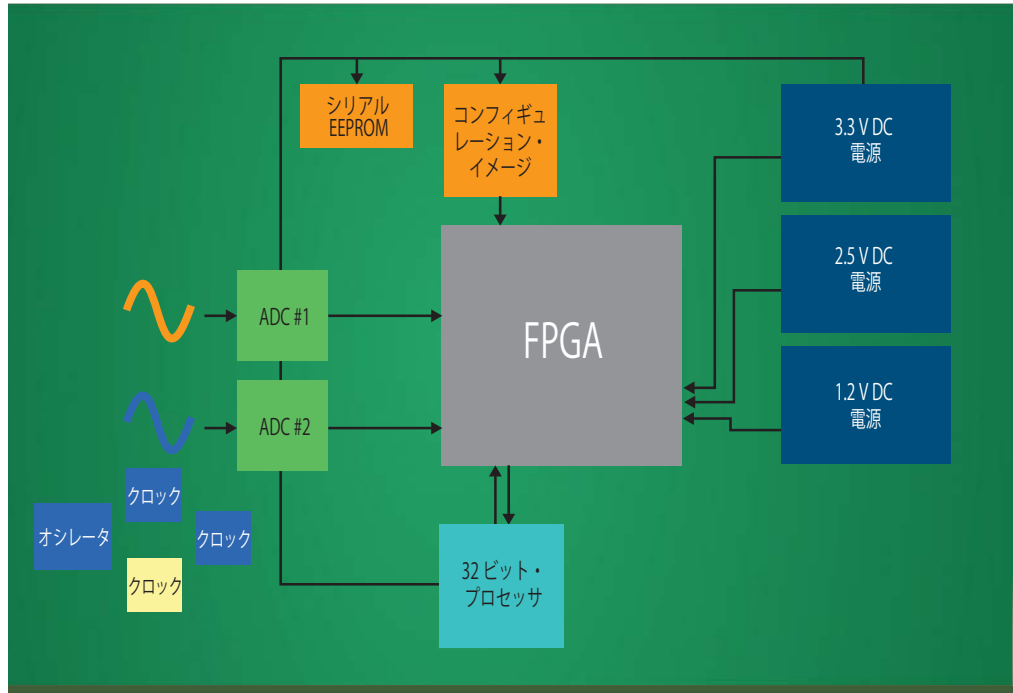
MAX 10 FPGA は、最大 2 個の 12 ビット ADC ブロックと最大 17 個の入力チャンネルを集積しています。これらは環境状態の測定、パワーアップおよびパワーダウン・シーケンスの管理、モータ・トルクの制御等々に使用できます。12 ビット ADC には、プログラム可能なデジタル・インタフェース、サンプル・シーケンス制御、ハードウェア平均化機能、および電圧とデバイス温度のしきい値割り込み機能が含まれています。これらの ADC を Nios II プロセッサ・デザインに使用することにより、マイコンや外部 ADC を置き換え、システム・コストやシステムの複雑性を低減することができます。

デバイスの小型化および機能の集積化

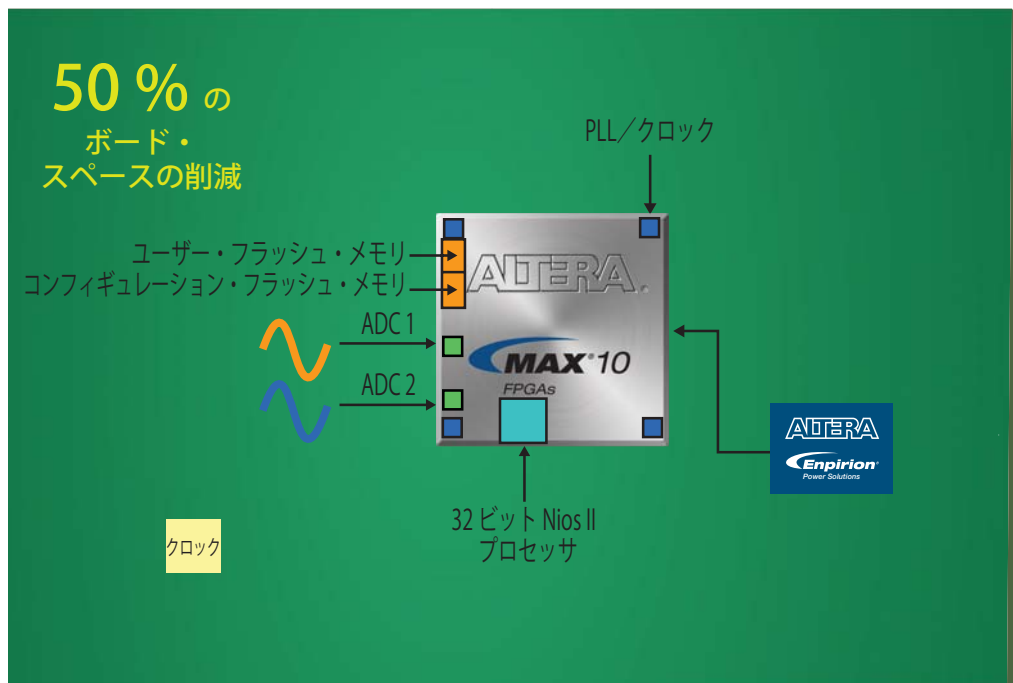
最小 $3 \times 3 \text{ mm}^2$ の小型サイズにパッケージングすることにより、MAX 10 FPGA のシングル・チップ・ソリューションは業界最小のコンフィギュレーション可能な FPGA 実装面積を実現しました。この小型のパッケージ・サイズにより、ポータブル・アプリケーションやスペース制約が厳しいアプリケーションで ASIC、ASSP、およびマイコンを MAX 10 FPGA を用いてそのまま置き換えまたは追加することができるようになりました。図 2 に示すように、アルテラの高度集積化された Enpirion® PowerSoC、MAX 10 FPGA のオン・ダイ・フラッシュ・メモリ、ADC、PLL (Phase-Locked Loop)、およびコンフィギュレーション可能な Nios II プロセッサを組み合わせることにより、同等性能のディスクリット電源を用いた競合 FPGA ソリューションと比べ、ボード・スペースを最大 50% 節減します。MAX 10 FPGA の単一電源供給デバイス・オプション (オン・ダイ・レギュレータにより実現) では、デバイスに複数の電源レールを使用する必要をなくし、ボード・スペースをさらに最小化して、複雑性を最小限に抑えることができます。このチップ数および PCB サイズの削減により、システム・コストを低減しながら、システムの信頼性を向上して最適なエンベデッド・システムを実現できます。

図 2 : ボード・スペースを節減した MAX 10 FPGA ソリューション vs. 従来の FPGA ソリューション

ディスクリート・ソリューションによる従来のFPGAソリューション



MAX 10 FPGA を用いた簡素化された FPGA システム



カスタマイズ可能なペリフェラル・セット

Nios II プロセッサは、新設計ごとに異なる要求に完璧にフィットする CPU、メモリ・インタフェース、およびカスタム・ペリフェラルを持ち、設計者の必要に応じる驚異的な柔軟性を提供します。設計者は数種の Nios II CPU から選択してプロセッサの性能やサイズを最適化したり、さらにニーズに合わせたカスタム CPU コンフィギュレーションを作成することもできます。FPGA のカスタマイズされたペリフェラルはエンベデッド・システムの「重要な機能機密ソース」となり、汎用 I/O (GPIO)、イーサネット MAC、シリアル・インタフェース、マルチ CPU など、いくつでも実現できます。エンベデッド・ペリフェラルの豊富なライブラリがカスタム・システムにプラグ・インできるように用意されています。また、設計者が Verilog や VHDL を使用して、完全に独自のカスタム・ハードウェア・ペリフェラル・ブロックを作成することもできます。最終製品に必要な適切なペリフェラル・セットを組み立てて (他の既製商用製品では不可能)、機能を最大限に効率化しながら、エンジニアリング・コストを最小限に抑えることにより、組み込み設計者は競合製品に対する差別化による優位性を保つことができます。

リアルタイム処理の最適化

これまで、組み込み開発者がデザイン・サイクルの最終段階近くで性能を向上させようとした場合、より高速なプロセッサを購入するか、アセンブリ・サブルーチンの手作業による最終直前調整など、限られた方法しかありませんでした。これらの手段は効果的であるとしても、それに伴うトレードオフは見過ごせないほど大きなものでした。MAX 10 FPGA および Nios II プロセッサでは、性能を向上させる全く新しい機能を提供しています。

カスタムのハードウェア・アクセラレータを使用することにより、設計者は従来の既製プロセッサでは不可能な方法でシステム性能を最適化できます。Nios II プロセッサ・システムが持つコンフィギュレーション可能な特長により、設計者は、複雑なアルゴリズムに対応するコプロセッサ・ユニットとして実行可能なカスタム・コンポーネントを FPGA ロジック内に作成できます。これらのアクセラレータやコプロセッシング・ユニットは、Nios II プロセッサと並列に実行でき、ソフトウェアのみによる実行に比べて桁違いに高速にその機能を実行できます。図 3 は、カスタム・アクセラレータの例、およびソフトウェアのみの実装と比較した場合の相対的な性能を示しています。

図 3 : カスタム・アクセラレータによる性能向上

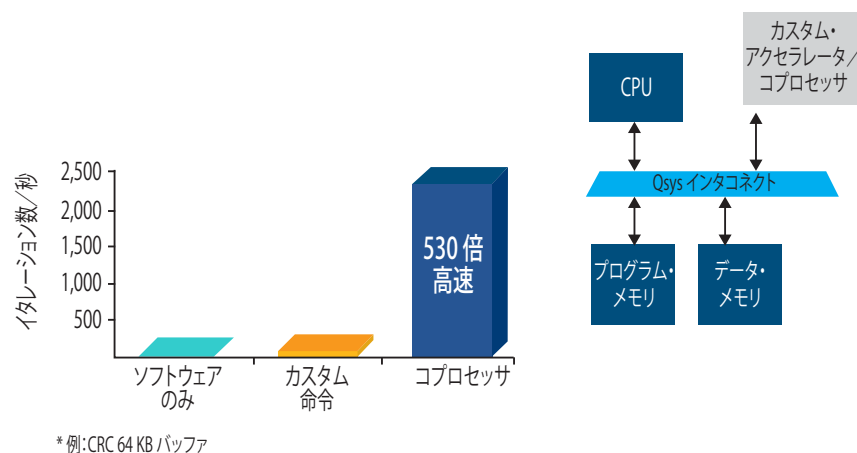


表 1 に示すように、Nios II プロセッサには、組み込み設計のリスクを低減するためのオプションが数多く用意されています。

表 1. Nios II プロセッサ搭載の MAX 10 FPGA による性能向上

機能	説明
高性能プロセッサ・コア	Nios II/f 「高速」 コアは、特に性能に配慮して最適化されており、6 段パイプライン、ダイナミック分岐予測、インストラクション・キャッシュとデータ・キャッシュを持ち、MAX 10 FPGA にて 130 MHz 超の性能を提供します。
マルチプロセッサ・システム	システム内で複数の Nios II プロセッサを使用し、性能を拡張したり、ソフトウェア・アプリケーションをより単純な並列タスクに分割します。アルテラのハードウェアおよびソフトウェアの開発ツール・パッケージでは、カスタム・マルチコア・システムの作成をサポートしています。より高集積度の MAX 10 FPGA と組み合わせた Nios II プロセッサは、高性能マルチプロセッサ・アプリケーションの作成に最適なプラットフォームとなります。
カスタム命令	ソフトウェア・ルーチンよりも処理を迅速に実行できるカスタム・ハードウェアによるカスタム命令を Nios II 命令セットに追加して、実行時間の間に合わないソフトウェア処理の動作速度を加速させます。
ハードウェア・アクセラレータ	性能向上が必要な処理やアルゴリズムが、カスタム命令として実装するには複雑すぎたりデータパスに依存しすぎている場合は、カスタム高性能コプロセッサ・ユニットとして Nios II プロセッサと並列に実行できるように実装できます。
リアルタイム制御	Nios II プロセッサには、より迅速で確実な割り込み応答を提供するために、標準の割り込みユニットをより低遅延のベクトル割り込みユニットと交換できるオプションがあります。究極のリアルタイム応答および確実性を実現するために、重要な機能をソフトウェアの制御性と柔軟性を失うことなく、FPGA ロジックに実装し、ハードウェア性能の恩恵を受けることもできます。
コンフィギュレーション可能な高速内蔵メモリ	性能重視のアプリケーション用に、低遅延の固定内蔵メモリ・バッファを作成します。

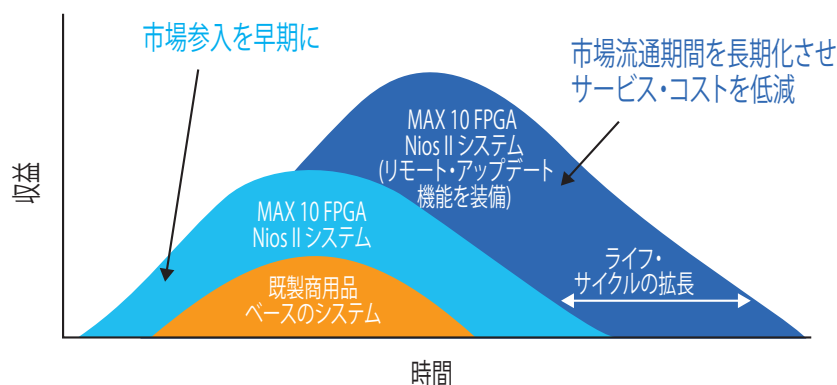
製品ライフ・サイクル上の優位性

Nios II プロセッサ搭載の MAX 10 FPGA では、製品ライフ・サイクルの各段階で開発者にその優位性を提供します。市場投入までの時間に対するニーズに対し、MAX 10 FPGA のハードウェア・プログラマビリティを活用すると、FPGA デザインに簡単な変更を加えるだけでデザイン・エラーをすばやく修正することができます。市場で最初の製品は、期待される製品仕様よりも劣る場合が少なくありません。Nios II プロセッサ搭載の MAX 10 FPGA ベースのシステムでは、フィールドに展開済みの製品に対して、ソフトウェアをアップグレードするのと同じ方法によりハードウェア機能をアップグレードできるという独特のメリットを提供します。これにより、以下の問題を解決できます。

- ハードウェア機能を順次充実させ、製品寿命を延長
- 新規の改定され得る標準規格に基づくハードウェア使用によるリスクを低減
- ハードウェアのバグ修正を容易にし、製品の返品および再作業の必要性を不要に

組み込み用プロセッサ・ベンダーは、さまざまな顧客に対応するために、1つのプロセッサ・ファミリで幅広い構成の選択品種を用意していますが、必然的にそのプロセッサ製品数のうちの多くが同じファミリの他のプロセッサ品種よりも早く製造中止または入手困難になることも少なくありません。経験豊富な設計者は、ソフト Nios II プロセッサが、ハード・プロセッサと同じ市場苦悩を受けないことを理解しています。Nios II プロセッサの設計者には、MAX 10 FPGA でカスタマイズされた Nios II プロセッサ・ベースのデザインを作成展開し続けるための無期限ライセンスが提供されています。そのため、ベースとなる FPGA ハードウェアに変更が生じた場合でも、アプリケーション・ソフトウェアへの投資は継承できます。図 4 は、製品ライフ・サイクルに対する販売量を示しています。

図 4 : Nios II プロセッサ搭載の MAX 10 FPGA の使用による最終製品の収益拡張



Nios II プロセッサ・システムに装備されている機能のアップグレードとカスタマイズ機能により、生産中止に対するリスクがなくなり、最終製品の市場流通期間が延長され、製品の投資利益率を最大化できます。その結果、機能が固定され生産中止リスクがある従来の既製商用プロセッサに比べ、トータル設計資産保有管理コストが大幅に低減されます。

業界トップの開発ツール

Nios II エンベデッド・プロセッサを用いた設計では、設計者は、アルテラおよび Nios II エコシステム・パートナーによって提供されている成熟した堅牢なソフトウェア開発ツール、およびソフトウェア・コンポーネント・ツールのポートフォリオを利用できます。

アルテラの無償の Qsys システム統合ツールは、Soft IP を自動的にコンフィギュレーションし、インタコネクト・ロジックを生成して IP 機能とサブシステムに接続することにより、FPGA 設計プロセスの時間と労力を大幅に削減します。使いやすい GUI は、ペリフェラルの設定および FPGA システム・デザインへの統合を行うための簡単で迅速な方法を提供します。

Nios II エンベデッド・デザイン・スイート (EDS) は、Nios II ソフトウェア・デザイン用の無償の包括開発パッケージです。このパッケージは、ハードウェア・コンフィギュレーションをインポートして、独自のプロセッサ・コンフィギュレーションとシステム・デザインに合わせたカスタムのボード・サポート・パッケージを生成するため、ソフトウェアの記述を即座に開始することができます。Nios II EDS には Eclipse ベースの開発ツールだけでなく、デバイス・ドライバ、ベア・メタル・ハードウェア・アブ

ストラクショナル・レイヤ (HAL) ライブラリ、商用グレード・ネットワーク・スタック、リアルタイム・オペレーティング・システム (RTOS) の評価版、およびサンプル・ソフトウェアも含まれています。その人気の高さにより、主要な RTOS ベンダーすべてが Nios II プロセッサをサポートしていることに加え、www.rocketboards.org には Linux ディストリビューションと活発な開発者コミュニティがあります。

結論

組み込み設計者は、製品の差別化、市場投入スケジュールの短縮、およびプロセッサ・コンポーネントの供給停止リスクや障害への対応を求められる圧力の増大にさらされています。アルテラのシングル・チップ MAX 10 FPGA に搭載されている Nios II プロセッサは、供給中止に対するリスクを取り除き、カスタム・ハードウェアと性能の最適化を通じて製品の差別化を推進し、集積された機能と小型化によりシステム・コストの削減を実現します。Nios II プロセッサと MAX 10 FPGA のプログラマビリティの相乗効果を利用するシステム・アーキテクトには、製品開発の成功に向けた歩みの中でさまざまな利点が提供されます。

詳細情報について

- MAX 10 FPGA:
www.altera.co.jp/max10
- Nios II プロセッサ：世界で最も汎用性に優れたエンベデッド・プロセッサ：
www.altera.co.jp/nios
- Terasic 社 MAX 10 Nios II エンベデッド評価キット (NEEK)：
www.altera.co.jp/neek
- Qsys システム統合ツール：
www.altera.co.jp/qsys
- アルテラ・トレーニング：
www.altera.co.jp/support/training/curricula.html#embedded%20hardware

文書改訂履歴

表 2 に、本資料の改訂履歴を示します。

表 2. 文書改訂履歴

日付	版	変更内容
2015 年 7 月	1.0	初版