

65 nm 半導体プロセスの利点を提供するためのアルテラの方針

はじめに

65 nm 半導体製造プロセスの利点を提供するためのアルテラの方針は、高度なテクノロジーおよび方法を利用して最高の機能と性能のデバイスを最も低いコストで提供しながら、お客様のリスクを最小限にして「time-to-market」の短縮を実現することです。アルテラが130 nm および 90 nm デバイスで獲得している市場シェアは、高度な半導体テクノロジーのリスクを抑えることでFPGA アーキテクチャの市場での魅力が高まることを示しています。そのため、アルテラは2003年の初期から着実に65 nm テクノロジーの開発と検証を行ってきました。ここでは、お客様に対する生産およびスケジュールのリスクを最小化し、しかも65 nm プロセスで可能な集積度、性能、コスト、および消費電力の大幅な改善を実現するために、アルテラが採用するエンジニアリング戦略について検討します。

65 nm プロセスは、新しい限界に突き当たった半導体製造技術における製品の定義 (definition)、デザイン (design)、供給 (delivery) での課題を提示しています。消費電力の増加、プロセスのバラツキ、パラメータ不具合など、望ましくないディープ・サブミクロンの影響は、130 nm および 90 nm チャネル長では管理可能でしたが、65 nm プロセスでは複雑な製造課題となります。65 nm プロセスによる IC 開発では、物理的実在性によって、FPGA の能力または製造性を損なう重大なリスクが伴います。多くのお客様がリスク軽減戦略としてプログラマブル・ロジックを選択することから、アルテラは業界で最も積極的かつ包括的な手法を採用して、このリスクを管理します。

65 nm プロセスの消費電力

65 nm プロセスへの移行は、集積度と性能の向上というムーアの法則で期待される利点を実現します。例えば、65 nm プロセスをベースにした次世代 Stratix® FPGA ファミリは、集積度におけるアルテラのリーダーシップをさらに強化し、90 nm ベースの Stratix II デバイスと比較して性能を大幅に引き上げることによってアルテラ・デバイスの優位性を拡大します。また、65 nm プロセスはアルテラ Cyclone® デバイス・シリーズのコストを低減し、競合製品を超える価格/性能の利点を提供します。

一方、65 nm プロセスで実現される性能の向上によって消費電力が大幅に上昇し、デバイスの消費電力が許容範囲を超えることが懸念されます。何らかの電力削減戦略が採られない場合、65 nm プロセスではスタティック消費電力が大幅に増加する可能性があるため、消費電力が重大な問題になります。スタティック消費電力が増加する原因は、65 nm プロセスで使用される薄いゲート酸化膜を流れるトンネル電流、そしてサブスレッショルド・リーク (チャネル-およびドレイン-ソース電流) などのリーク電流の増加にあります。図1は、ゲート長 (緑で示されています) が短くなるにつれて、これらのリーク電流 (青で示されています) が増加する様子を示しています。また、電力最適化の努力なしでは、高集積度スイッチング・トランジスタと達成可能な高スイッチング周波数によってダイナミック消費電力が増加します。

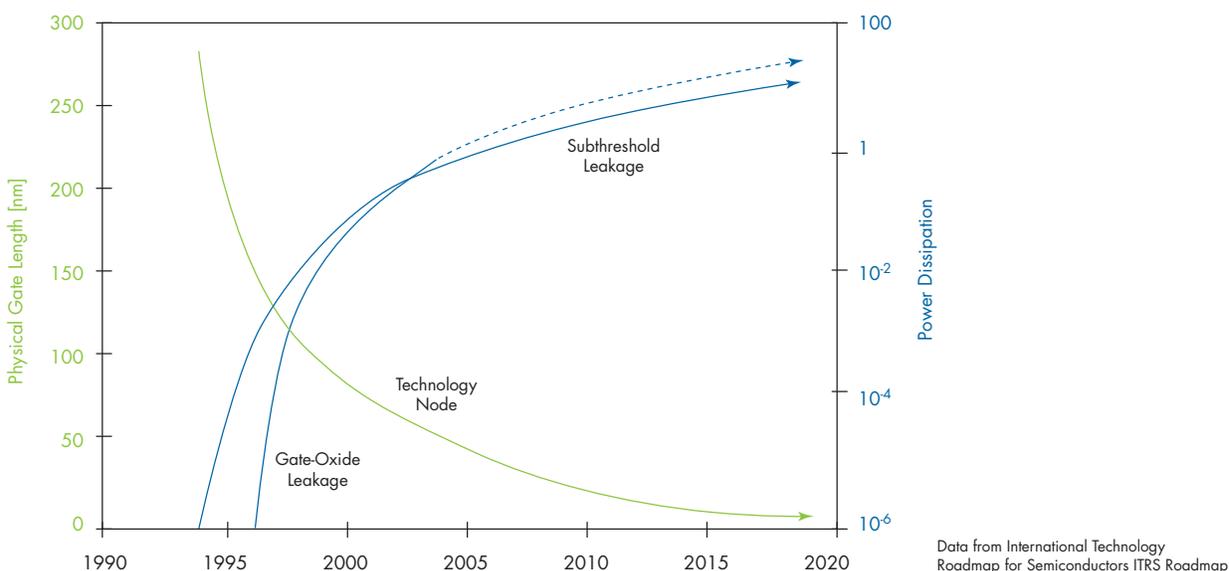


図 1. プロセスの微細化に伴うスタティック消費電力の大幅な増加

電力要件はアプリケーションごとに異なりますが、低消費電力はコスト、複雑性、信頼性の点で有利なので、どのハードウェア・プラットフォームでも望ましいものです。65 nm プロセスの電力特性に加えて、システム・フォーム・ファクタのコンパクトさや携帯性を追求する今日のデザイン傾向によって、PLD の消費電力に対する関心が高まっています。壁電源が主なソースである「有線」アプリケーションでは、システム・エンクロージャが薄く小型になり、空気流、ヒート・シンク、サイズ、およびその他の熱管理ソリューションが制限されます。FPGA にとって比較的新しい分野であるポータブル・アプリケーションでは、電池寿命の目標がスタティック消費電力とダイナミック消費電力の両方に新しい制約を課しています。これらのデザイン目標の変化により、消費電力が PLD 選択の第一の基準になっています。

「必要な場所に高性能を」 — アルテラの消費電力削減戦略

お客様がデザインに使用するアルテラ・デバイスと Quartus® II ソフトウェアは、アルテラの IC 設計者とソフトウェア・エンジニア間で緊密に調整および結集された努力の下で管理されています。例えば、アルテラの IC 設計者とソフトウェア・エンジニアは、一般的な共有モデル・セットを使用して消費電力と性能のトレードオフを解析し、最良のソリューションがシリコンとソフトウェア機能のいずれであるかを特定します。アルテラは 65 nm プロセスの消費電力削減戦略として、高度なプロセス技術、強化されたアーキテクチャ、強力なソフトウェア・ツールを組み合わせ、お客様が消費電力と性能の要件のバランスを最大限に制御できるようにします。また、プログラマブル・ロジックに対して今日最も正確な消費電力見積りツールを提供します。

アルテラの消費電力削減戦略は、お客様が消費電力と性能のバランスを最大限に制御できるようにすることです。アルテラの 65 nm プロセス消費電力最小化戦略の要素は、以下のとおりです。

- 消費電力最適化シリコン・プロセス
 - トリプル・オキシド
 - ストレインド・シリコン
 - Low-k 誘電体
- ユーザ選択可能コア電圧
- プログラマブル消費電力テクノロジー
 - 高性能モード
 - ロー・パワー・モード
- Quartus II ソフトウェアに組み込まれた PowerPlay 電力解析および最適化ツール

消費電力最適化シリコン・プロセス

アルテラは 65 nm プロセスにおいて、トリプル・オキサイド・プロセス・テクノロジーを採用してリーク電流を低減しています。トリプル・オキサイドは、トランジスタの電圧スレッシュホールドを上昇させて性能を低下させます。アルテラはこの技術を適切にトランジスタに応用して、ユーザ・デザインに対して最高性能を提供しながら、消費電力を最小限に抑えます。また、トランジスタのキャリア移動性を向上させるストレインド・シリコンを使用して、リーク電流を抑えながらドライブ電流を増加させます。さらに、Low-k 誘電体を使用してメタル層を絶縁します。これはキャパシタンスを低減し、ダイナミック消費電力の低減に直接関係します。

ユーザ選択可能コア電圧

ユーザ選択可能コア電圧により、お客様はさまざまな電力レベルと性能を選択することができます。サポートされている最低のコア電圧を選択すれば、ダイナミック消費電力が平均 30% 減少します。性能要件が満たされない場合は、図 2 に示すように、より高い電圧に変更し別の技術を使用して、タイミング要件に違反することなく消費電力を低減できます。

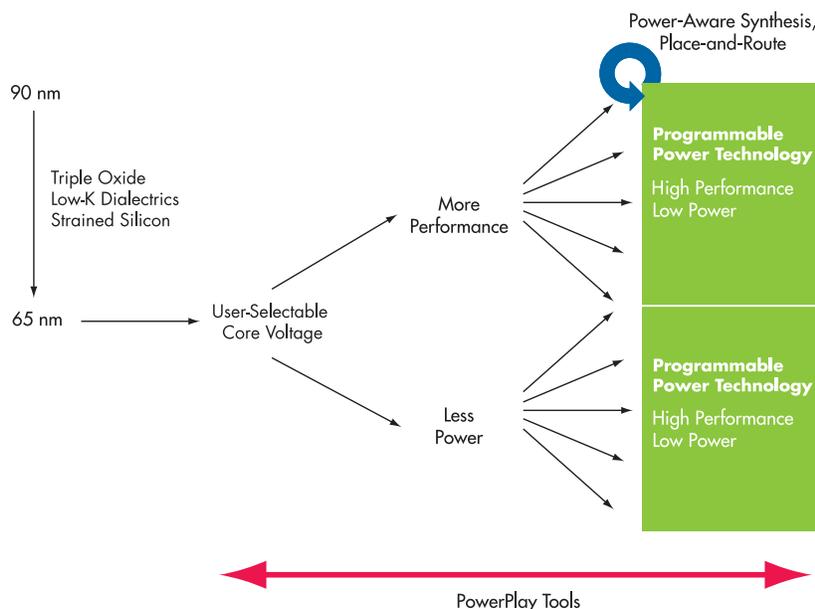


図 2. 65 nm プロセスでの消費電力削減のために、アルテラのプロセス最適化とユーザ制御電力最適化ツールが有効

プログラマブル消費電力テクノロジー

アルテラでの代表的な FPGA デザインの解析は、クリティカル・パスの数、およびエンドユーザの性能要件を満たすためにクリティカル・パスに必要な速度は、FPGA ごとに大きく異なることを示しています。この解析により、高集積度 FPGA のロジックの平均で約 10% が、デザインの実際のクリティカル・パスに含まれていることが判明しました。アルテラのプログラマブル消費電力テクノロジーを活用すれば、デバイス内の個々のロジック回路を高性能モードまたはロー・パワー・モードで動作するように設定できます。この固有のテクノロジーを使用して、クリティカル・パスが高性能モードで動作するようにプログラムすると、デザインの残りの部分はロー・パワー・モードで動作して消費電力を最小化します。この強力な FPGA アーキテクチャ機能により、デザインの特定のニーズを満たす性能を得ると同時に、デバイスの残りの部分の消費電力を最小化することができます。

ユーザはアルテラの Quartus II ソフトウェアによって、これらの消費電力機能を利用できます。Quartus II ソフトウェアは PLD 業界で最も正確なパワー・ツールを備えており、これには電力 Optimization Advisor、消費電力見積もり、および以下の 3 段階の電力最適化が含まれます。

- “消費電力を考慮した” ロジック・シンセシス：Quartus II ソフトウェアはデザインを合成し、高周波数でトグルするロジックを削減または除去したり、各クロック・サイクルでアクセスされる RAM ブロック数を最小化します。

- 消費電力を考慮した配置配線：Quartus II ソフトウェアはキャパシタンスを最小化するための信号を配置したり、より電力効率が高い DSP ブロック・コンフィギュレーションを作成します。
- 消費電力を考慮したモード・アセンブラ：Quartus II ソフトウェアは、デバイスの未使用部分がロー・パワー・モードで動作するようにプログラムし、全体的な消費電力を最小化します。

PowerPlay 電力解析および最適化ツール

Quartus II ソフトウェアには、タイミング制約に基づいて自動的に電力最適化を行う PowerPlay 電力解析および最適化ツールが含まれています。デザイン・エンジニアは、デザイン入力プロセスの一環としてタイミング制約を設定し、デザインを合成するだけです。PowerPlay 電力解析ツールは各ロジックに必要な性能を自動的に選択し、消費電力を考慮した配置配線を行って消費電力を最小化します。結果として生成されたデザインは、最小の消費電力でお客様のタイミング要件を満たします。

アルテラの消費電力 / 性能上の利点

アルテラの 65 nm プロセスの消費電力戦略は、65 nm デバイスにおけるリーク電流を大幅に削減します。65 nm デバイスにおける高いリーク電流が原因でスタティック消費電力が許容範囲を超え、それによってユーザに多大な減損をもたらすという業界の懸念とは対照的に、アルテラの 65 nm FPGA は同社の 90 nm FPGA や他社の 65 nm FPGA よりも低いスタティック消費電力を提供します。積極的かつ革新的な電力低減技術を駆使したアルテラの 65 nm FPGA は、ダイナミック消費電力の点でも同社の 90 nm FPGA や競合他社の 65 nm FPGA を上回り、しかも高い性能を達成します。

アルテラは、低消費電力に加えて、競合他社の 65 nm FPGA を超える性能アドバンテージを達成します。90 nm ベースの Stratix II デバイスから 65 nm Stratix III デバイスに移行するデザインでは、同じ動作周波数で合計消費電力が 50% 削減されると予想されます (表 1 参照)。性能を最大限に高めるために、Stratix II FPGA を Stratix III FPGA に移行する場合、30% の消費電力削減と 20% の性能向上を期待できます。

表 1. 65 nm プロセスにおける消費電力削減のための努力の結果、90 nm デバイスよりも低い消費電力と高い性能を実現

デザイン・クロック周波数	Stratix II デバイスから Stratix III デバイスへの合計消費電力の変化
+20%	-30%
バリエティ	-50%

プロセス革新からインテリジェント電力管理まで、電力管理の全段階を FPGA デザイン・ソフトウェアを通して活用することにより、アルテラのユーザは 65 nm プロセスの利益を最大限に享受し、必要な性能を可能な最低の消費電力で得ることができます。

65 nm プロセスの製造課題

前述のとおり複雑な電力の問題は解消されましたが、より高度なプロセスに移行する際につきものの製造リスクも存在しています。より微細な形状では、製造プロセスにおけるバラツキがデバイス動作に大きな影響を与えます。半導体製造プロセスにおけるバラツキの要因は、リソグラフィの影響、CMP (Chemical-Mechanical Polishing) による配線の厚さの変化、ドーパントの変動、ゲート長とゲート酸化膜厚のバラツキ、WPE (Well Proximity Effect) など、さまざまです。

特に、リソグラフィは 65 nm プロセスで深刻な問題を生じます。デバイス機能の寸法およびそれらの間隔は、それらを作成する際に使用される光の波長の半分以下です。つまり、歪みによって、意図された形状とは異なるシリコン機能が生成されます。このため、ダイ上のシリコン機能を作成する場合には、それらの形状とサイズに一致するフォトマスクを使用して簡単に作成することはできません。この問題に対処するために、OPC (Optical Proximity Correction) や PSM (Phase-Shift Mask) などの RET (Resolution Enhancement Technologies) を含む、多くの方法が開発されました。しかし、いずれの方法でも、リソグラフィによる歪みを完全に除去することはできませんでした。方法によっては歪みが逆に拡大され、バラツキが助長された例もありました。

原因が何であれ、バラツキはサブミクロン・レベルの半導体製造にとって大きな課題です。WPE は 90 nm デザインでスレッショルド電圧を 60 mV も変化させることがあります。これは回路を予想どおりデザインする能力に重大な影響を及ぼします (1)。これらの影響はトランジスタの間隔が狭くなるほど深刻になります。また、レイアウトから生

じる寄生抵抗および容量はタイミングやシグナル・インテグリティに影響するため、サブミクロン・レベルの製造の障害となり、そのモデリングおよび解析はますます困難になっています。

65 nm プロセスでの製造リスクの最小化戦略

アルテラは、65 nm 製造におけるバラツキの負の影響を最小化するために、最新の手法を採用しています。最新テクノロジーのリスクを最小化しながらプロセスの利点を確実に提供するために、アルテラは高度なプロセス技術、包括的な 65 nm テスト・チップ・プログラム、そして欠陥密度を低減する実証済みのシステムによる戦略を採用しています。

統計的スタティック・タイミング解析がプロセス細部のバラツキを低減

アルテラが利用する新しい製造安定化手法の 1 つは、統計的なタイミングのモデリングと解析です。従来はベスト・ケースとワースト・ケースの値にのみ注目していましたが、この手法では、プロセスのバラツキ、電圧、温度条件の下でタイミングと機能性の統計的分布を考慮しています。アルテラは、この分布結果を基に、あらゆる条件およびバラツキの下で回路がどのように動作するかを理解し、性能とパラメトリック歩留まりを最大化することができます。

統計的タイミング・モデリングのような最新手法をサポートするために、アルテラは独自の方法を開発し、また複数の EDA ベンダの高度なツールを採用しています。例えば、寄生抽出には“バラツキに対応した”シノプシスの Star-RCXT ツールを利用して、正確な抵抗容量 (RC) 寄生値を生成します。Star-RCXT ツールは東芝、Renesas、ATI でもサブミクロン・デザインに採用されており、WPE や CMP のバラツキ除去に使用されるメタル埋め込みプロセスなど、65 nm 製造における多くのバラツキから生じる寄生値を正確にモデリングできます (2)。寄生の新しい要因や値など、65 nm デザインにおける多くの課題を把握し評価するために、アルテラは最新の手法およびツールを利用して、65 nm デバイスの製造や信頼性の高い歩留まりに関連する不確実性を低減します。

固有の冗長技術がデバイスの歩留まりを改善

アルテラは特許取得済み冗長技術を利用する唯一のプログラマブル・ロジック・ベンダです。デバイスの歩留まりと供給力を向上させるために、冗長性は非常に有効な方法です。この技術を応用するに当たり、アルテラは FPGA に余分な、つまり“冗長な”回路カラムを埋め込みます。カラムに製造上の欠陥があった場合は、そのカラムを非アクティブにし、電気ヒューズを使用して冗長カラムをアクティブにすることができます。この技術はダイを節約し、それによってシリコン・ウェハの全体的な歩留まりを向上させます。

冗長性は、プロセスの初期段階またはデバイスのライフ・サイクルの初期段階において欠陥の影響を受けやすい、大きなダイにおいて非常に効果的です。図 3 の上側の黄色い線で示されるように、プロセスに冗長性を追加することで、大きなダイのデバイスの歩留まりが最大 8 倍に向上します。このように、冗長性はプロセスのライフ・サイクルの初期段階において製品の歩留まりを改善し、コストをより迅速に引き下げ、全体的な供給力を向上させます。製造プロセスが成熟し欠陥密度が改善されると、図 3 の青い線で示されるように、冗長性は長期的にデバイス歩留まりを 2 倍にする上で重要な役割を果たします。冗長性は、特に高集積製品において、アルテラが他のプログラマブル・ロジック・ベンダよりも迅速に、製品の製造品質状態と信頼性の高い量産を実現するために重要な役割を担います。

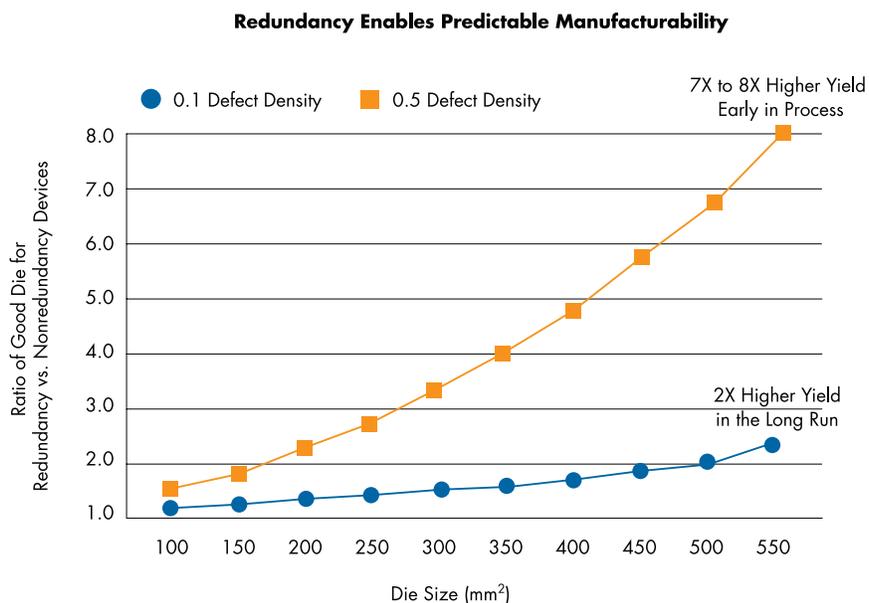


図 3. ダイ・サイズと冗長デバイス対非冗長デバイスにおける良品ダイ率の関係を示すグラフで、冗長デバイスは製品のライフ・サイクルを通じて高い歩留まりを示す

包括的なテスト・チップ・プログラムがお客様のリスクを低減

アルテラは、130 nm および 90 nm デバイスで、新しい半導体プロセスのアーキテクチャとデバイス機能を初期段階で評価し改良する場合に、テスト・チップが有用なツールであることを実証しました。この戦略によって、アルテラはこれらのデバイスの大量生産をスムーズに立ち上げることができ、プログラマブル・ロジック業界において差別化を図る卓越したツールであることが証明されました。アルテラは最初の 65 nm テスト・チップを 2003 年 4 月にテープアウトしました。最初の 11 個のテスト・チップは、異なる回路、モジュール、デザイン手法を注意深く評価するように設計されていました。業界で最も包括的なアルテラのテスト・チップ・プログラムでは、製品化の前に 65 nm プロセスのすべての要素を評価できます。アルテラは一連のテスト・チップを使用して（表 2 参照）、テクノロジーの早期評価、回路および機能の実現可能性テストと検証、配線構造およびアーキテクチャの確認、最適化と改良といった、デザインを真に特性評価し検証するための追加の機能およびアーキテクチャ要素を実装しています。

表 2. 高度なプロセス開発のリスクからお客様を保護するアルテラの包括的なテスト・チップ・プログラム

テスト・チップ	テープアウト
TC1	Q2 2003
TC2	Q3 2004
TC3A	Q2 2005
TC3B	Q2 2005
TC4	Q3 2005
TC5A	Q3 2005
TC5B	Q3 2005
TC6A	Q4 2005
TC6B	Q4 2005
TC7	Q1 2006
TC8	Q2 2006

テスト・チップのデータを収集し解析することにより、ランダムな、あるいは系統的なバラツキの影響を把握し、バラツキを低減または除去するためのデザイン戦略を開発できます。アルテラのテスト・チップへの大きな投資は、最新の半導体デザインに伴う多くのリスクからお客様を保護するためのものです。アルテラのリスク管理重視の姿勢は、新しいテクノロジーを高い信頼性で提供するという同社の方針を反映しています。アルテラは、製品の発売が時期尚早であったために他の FPGA ベンダで最近発生したような、製品の一貫した継続的供給が行われない、製品が仕様通りに動作しないなどの問題を回避するために努力しています。その結果、アルテラは 2006 年後半に最初の 65 nm 製品を発売し、2007 年に量産を開始する見通しです。

系統的なチェックアウト手順

テスト・チップの次の段階として、アルテラは同社のすべてのシリコン製品が仕様通り正確に動作するように、開発および製造段階を含む厳しいチェックアウトを実施します。チェックアウトは以下の手順で構成されます。

1. アルテラの IC デザイン・チームが、多数のシミュレーションを通して、デザインの機能、性能、および電力仕様が満たされていることを確認します。
2. アルテラの CAD およびレイアウト・グループは、厳密なチェック・プログラムにより、マスク上のデザインの実装がアルテラ、および TSMC のマスク・ルールを完全に満たしており、デザインが正しく処理できることを確認します。
3. 部門を越えるチームが TSMC と連携してクリティカル・ダイ・エリアの DFM (Design-For-Manufacturability) 解析を実施し、製造の安定化を図ります。歩留まりを最大化するためのプロセス・テクノロジーの知識に基づいて、マージナリティを除去しレイアウトを最適化するために、デザイン・レイアウトが詳細に見直されます。
4. TSMC のマスク施設は、マスクが適切に製造されることを保証します。その結果、マスク寸法のマージナリティや欠陥による歩留まり問題や機能性の問題を伴わずに製品を大量生産することができます。
5. アルテラは TSMC と協力して、シリコンが適切に製造されており、該当するイン・ライン物理仕様（層の厚さ、配線の幅、など）およびエンド・オブ・ライン電氣的仕様（トランジスタ特性、メタル配線抵抗、など）をすべて満たしていることを確認します。
6. アルテラのプロダクト・エンジニアリングがウェハ・レベルとパッケージ・レベルの両方で完全な特性評価を実行し、最終製品が規定の機能、性能、および電力仕様をすべて満たすことを確認します。また、機能していないユニットの特性評価を行い、アルテラの他のチームと協力して歩留まり低下の原因を特定します。この情報は TSMC にフィードバックされ、歩留まりを向上させるために利用されます。
7. アルテラのアプリケーション・チームが、ユーザの視点からデバイスをテストします。すべてのデバイス機能を実行し、Quartus II ソフトウェアでコンフィギュレーション・ファイルを開発してデバイスをプログラムし、I/O 電圧レベルをテストし、すべてのアーキテクチャ要素の機能を検証します。
8. アルテラの信頼性グループが、テスト・チップと最終製品の両方で厳しい環境テストを実施し、最終製品の出荷前に、長期間および短期間の製品品質を確認します。

この統一プロセスは、アルテラから新しいデバイス・ファミリが提供されるたびに使用され、改善されます。すべての製品にこのような厳しいテストとチェックアウト手順を適用することにより、最高レベルの品質と信頼性、および供給性が保証されます。

アルテラのファンダリ・パートナー戦略 — 業界最高、最強のパートナーシップ

アルテラのファンダリ・パートナーである TSMC は、ファンダリ市場のリーダーです。TSMC は専門ファンダリの中で 50% を超える世界市場シェアを持ち、年間の研究開発投資は競合他社を 55% 上回っています。これらの投資により、TSMC はリソグラフィおよび DFM (Design-For-Manufacturability) において業界のリーダーとしての地位を確立し、高度なプロセス世代の製品を提供しています。例えば、TSMC は次世代のプロセスである液浸リソグラフィのパイオニアです。これはリソグラフィのレンズを純度の高い液体と組み合わせることで高解像度光を生成し、より小型で高集積度のデバイスを実現する技術です。

TSMC は、独自でマスク・セットを作成することによってリソグラフィ専門技術を補完し、デバイス歩留まりの直接フィードバック・メカニズムを作り上げています。TSMC はこの能力を備えた数少ないファンダリの 1 社であり、マ

スク作成施設は業界で最も長期間操業しているため、製造性および歩留まりを競合他社よりも迅速かつ効率的に向上させることができます。このインフラストラクチャは TSMC の DFM 努力におけるリーダーシップも強力にサポートし、最初の DFM コンプライアンス・イニシアチブをスタートさせています。これには、複数のツールに対する最初の DFM 用統一データ形式、最初の DFM データ・キット、ライブラリおよび IP に対して DFM コンプライアンスを定義する最初のプログラムが含まれます。

65 nm プロセスを成功に導く上で、アルテラと TSMC のパートナーシップの強みは、両社が長年にわたり高度なプロセス・テクノロジーを共同で開発してきたことにあります。アルテラは複数のファンダリに意識を分散する必要なく、その努力を業界最強のファンダリに集中させたことで、複数の製造パートナーにより生じる製品の不一致やサプライ・チェーン中断のリスクなしに、高信頼性製品を供給することに専念できました。

アルテラと TSMC のパートナーシップの最も重要な成果の1つは、双方の努力により、アルテラ製品での欠陥密度が一貫して減少したことです。シリコン・プロセスでの欠陥は避けられないものであり、新しいプロセスの初期段階では欠陥密度がかなり高くなる場合も少なくありません。アルテラと TSMC は、フィードバックの繰り返しや製造の強化および改善を通して、欠陥密度を低減するために積極的に協力してきました。過去 5 世代のプロセスにわたって、欠陥密度を低減するだけでなく、この動きを加速させました (図 4 参照)。協力して欠陥密度を減少させたことで、多くのプロセス世代の開発が進捗しました。プログラマブル・ロジック業界で最も長期に及ぶこの努力の結果、アルテラと TSMC は、65 nm FPGA を迅速に高い信頼性で市場に投入し、大量生産をスムーズに開始できる最も有利な地位を得ています。

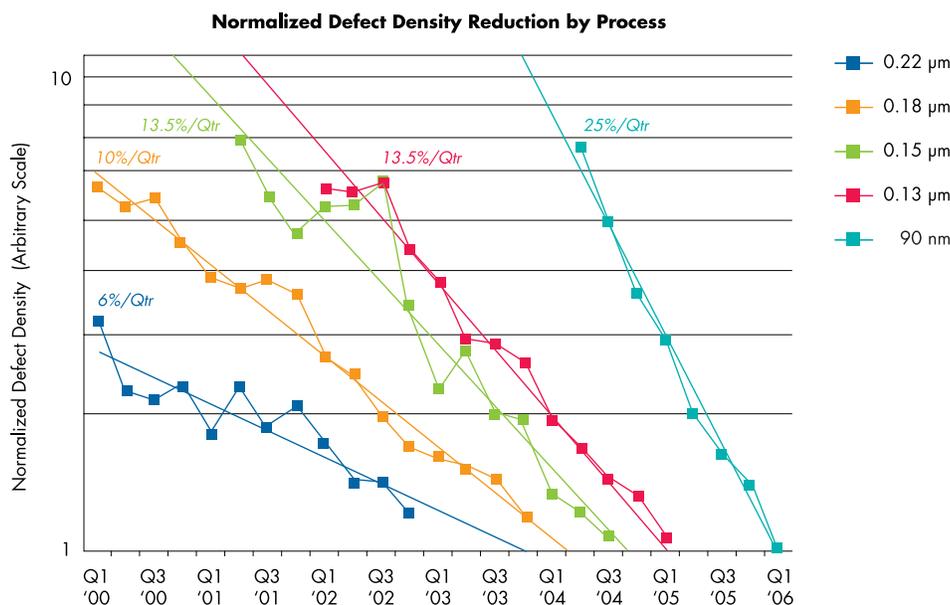


図 4. アルテラの TSMC ベースの製品対過去 5 世代のプロセスにおける正規化された欠陥密度は、アルテラと TSMC による欠陥密度の減少が時間と共に加速されたことを示す

アルテラは 65 nm プロセスの開発に当たり TSMC とパートナー関係にありますが、Broadcom、QUALCOMM、Freescale などの半導体業界のリーダーとも協調しています。プロセス・テクノロジーの開発を行っているこれらの主要な半導体ベンダと共に、TSMC は専門ファンダリの中で、65 nm 製造において最高の信頼性と品質を提供するユニークな位置を占めています。

まとめ

アルテラは、お客様が革新的な製品を迅速に開発し製造するために必要な利点と能力を備えた、最も高度なテクノロジーを提供します。高性能、高集積度、低コストといった 65 nm プロセスで約束されている利点は、プログラマブル・ロジックの価値として非常に重要なものですが、ユーザは生産性の向上とリスクの低減に対してより多くの関心を寄せています。アルテラは、プログラマブル・ロジック業界で最も包括的な手法を採用して 65 nm プロセスの利点を提供し、さらにそのような利点を損なう恐れのある消費電力の問題や製造課題の解決にも取り組んでいます。

参考文献

1. Polishchuk, Mathur, Sandstrom, Manos, Pohland, "Implant Process Modifications for Suppressing Well Proximity Effect," Solid State Technology, April 2006.
2. Zemke, Lagu, Brelsford, "Numerical Analysis of Parasitic Effects in Deep Submicron Technologies," SNUG 2005.

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.