

インテル® Cyclone® 10 GX FPGA



性能は2倍、コストは最小で半分に¹

インテル® Cyclone® 10 GX FPGAは、ローエンドFPGA市場のハイパフォーマンス・アプリケーション向けに最適化されています。

インテル® Cyclone® 10 GX FPGAの利点

- 複雑な Intellectual property (IP) ブロックを必要とする複雑なデザインをサポートする高性能コア・ファブリック
- 前世代の Cyclone® デバイスに比べ、コアの性能が2倍に向上
- 1.40Gbps LVDS I/O
- 1.866Gbps DDR3/L EMIF のサポート
- 12.5Gbps トランシーバー
- 最大 134 GFLOP のハード化された IEEE 754 準拠単精度浮動小数点デジタル信号処理 (DSP) スルーブット
- 自動車用 / 工業用 / 拡張商用グレードのデバイス
- 最適化された検証済みのインテル® Empirion® 電源ソリューションによる補完

インテルのCPUとの相乗効果

- **ハイレベル設計フロー** : OpenCL* のサポートにより、ソフトウェア・エンジニアはインテル® FPGA が提供する優れた性能を手軽に利用可能
- **ソリューション** : 汎用 IP コアと共同開発プラットフォームにより、インテルのCPUおよびインテル® FPGA との相乗効果を最大化

インテル® Cyclone® 10 GX FPGAのターゲット市場

これらの機能により、インテル® Cyclone® 10 GX デバイスは、コンピューティング、ストレージ、軍事、医療、テスト / 測定などにおける次世代システムやハイエンドの工業 / 自動車 / 業務用 AV システムの設計課題を解決するのに最適な製品となっています。

注:

¹ 前世代の Cyclone® FPGA と比較しており、価格の比較はリスト価格に基づいて行っています。テストは、特定のシステムでの特定のテストにおけるコンポーネントのパフォーマンスを測定します。ハードウェア、ソフトウェア、システム構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。性能やベンチマーク結果について、さらに詳しい情報をお知りになりたい場合は、<http://www.intel.com/benchmarks/> (英語) を参照してください。

² OpenCL および OpenCL ロゴは Apple Inc. の商標であり、Khronos の許可を得て使用しています。

インテル® Cyclone® 10 GX FPGA 製品一覧

製品ライン	10CX085	10CX105	10CX150	10CX220	
I/O、メモリー	ロジックエレメント (LE) 数 ¹	85,000	104,000	150,000	220,000
	アダプティブ・ロジック・モジュール (ALM) 数	31,000	38,000	54,770	80,330
	ALMレジスター数	124,000	152,000	219,080	321,320
	M20Kメモリーブロック数	291	382	475	587
	M20Kメモリーサイズ (Kビット)	5,820	7,640	9,500	11,740
	MLABメモリーサイズ (Kビット)	653	799	1,152	1,690
	可変精度デジタル信号処理 (DSP) ブロック数	84	125	156	192
	18 x 19乗算器数	168	250	312	384
	固定小数点ピーク性能 (GMACS) ²	151	225	281	346
	浮動小数点ピーク性能 (GFLOPS) ³	59	88	109	134
I/O、アーキテクチャー機能	グローバル・クロック・ネットワーク数	32	32	32	32
	リージョナル・クロック数	8	8	8	8
	最大ユーザー I/Oピン数	192	284	284	284
	最大LVDSペア数 1.4Gbps (RXまたはTX)	72	118	118	118
	最大トランシーバー数 (12.5Gbps)	4	12	12	12
	最大3V I/Oピン数	48	48	48	48
	PCI Express* (PCIe*) ハードIPブロック数 (Gen 2 x 4) ⁴	1	1	1	1
	サポートされるメモリーデバイス	DDR3、DDR3L、LPDDR3			
パッケージオプションおよびI/Oピン数: 汎用I/O (GPIO) 数、3V I/O数、LVDSペア数、トランシーバー総数 ⁵					
U484ピン (19mm x 19mm、0.8mmピッチ)	188、48、70、6	188、48、70、6	188、48、70、6	188、48、70、6	
F676ピン (27mm x 27mm、1.0mmピッチ)	192、48、72、6	236、48、94、10	236、48、94、10	236、48、94、10	
F780ピン (29mm x 29mm、1.0mmピッチ)		284、48、118、12	284、48、118、12	284、48、118、12	

- 注:
- ¹ LE 数はインテルのデバイス間での比較用であり、競合 FPGA 製品に対しては控えめな数値となっています。
 - ² 前段加算器 (Pre-Adder) の使用を前提とした固定小数点性能です。
 - ³ IEEE 754 準拠の単精度での浮動小数点性能です。
 - ⁴ U484 パッケージのハード PCIe* IP コアは 2レーンです。
 - ⁵ 各 LVDS ペアは、差動入力または差動出力のいずれかとしてコンフィギュレーション可能です。
 - ⁶ 高電圧 I/O ピンは、3.0V および 2.5V のインターフェイスに使用されます。
 - ⁷ すべてのデータは印刷時点のものであり、予告なく変更されることがあります。最新情報については、<http://www.altera.co.jp/> を参照してください。

284、48、118、12 各数値は GPIO 数、3V I/O 数、LVDS ペア数、トランシーバー総数を示しています。

■ ピン・マイグレーション・パスを示しています。

詳細については、<http://www.altera.co.jp/cyclone10gx> を参照してください。

