

MAX 10 アナログ-デジタル・コンバーター ・ユーザーガイド



Quartus Prime Design Suite のための更新 16.1
UG-M10ADC
2016.10.31

101 Innovation Drive
San Jose, CA 95134
www.altera.com

ALTERA
now part of Intel

目次

MAX[®] 10 アナログ-デジタル・コンバーターの概要	1-1
MAX 10 デバイスの ADC ブロック数.....	1-2
MAX 10 デバイスの ADC チャンネル数.....	1-3
MAX 10 ADC のバーティカル・マイグレーション・サポート.....	1-4
シングルまたはデュアル電源の MAX 10 デバイス.....	1-5
MAX 10 ADC 変換.....	1-5
MAX 10 ADC のアーキテクチャーと機能	2-1
MAX 10 ADC ハード IP ブロック.....	2-1
ADC ブロックの位置.....	2-2
シングル ADC またはデュアル ADC のデバイス.....	2-5
ADC のアナログ入力ピン.....	2-6
ADC のプリスケーラ.....	2-6
ADC のクロックソース.....	2-7
ADC の電圧リファレンス.....	2-7
ADC の温度検知ダイオード.....	2-8
ADC シーケンサー.....	2-10
ADC タイミング.....	2-11
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コア.....	2-11
アルテラモジュラー ADC IP コアのコンフィグレーション・タイプ.....	2-12
アルテラモジュラー ADC IP コアとアルテラモジュラー・デュアル ADC IP コアのアーキテクチャー.....	2-18
アルテラの ADC HAL ドライバー.....	2-23
ADC 性能を検証する ADC ツールキット.....	2-24
ADC ロジック・シミュレーションの出力.....	2-24
固定した ADC ロジック・シミュレーションの出力.....	2-24
ユーザー指定の ADC ロジック・シミュレーションの出力.....	2-26
MAX 10 ADC デザインの考慮事項	3-1
ガイドライン：ADC グランドプレーンの接続.....	3-1
ガイドライン：電源ピンと ADC グランド (REFGND) のためのボードデザイン.....	3-1
ガイドライン：アナログ入力のためのボードデザイン.....	3-2
ガイドライン：ADC リファレンス電圧ピンのためのボードデザイン.....	3-5
MAX 10 ADC 実装ガイド	4-1
MAX 10 ADC デザインの作成.....	4-2

アルテラモジュラー ADC IP コアのカスタマイズと生成.....	4-3
ALTPLL IP コアの生成向けパラメーター設定.....	4-4
アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの生成向けパラメーター設定.....	4-5
ADC デザインの完成.....	4-9

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コアの参考資料.....	5-1
アルテラモジュラー ADC のパラメーター設定.....	5-2
アルテラモジュラー ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング.....	5-6
アルテラモジュラー・デュアル ADC のパラメーター設定.....	5-9
アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング.....	5-14
有効な ADC サンプルレートと入力クロックの組み合わせ.....	5-14
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のインターフェイス信号.....	5-15
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のコマンド・インターフェイス.....	5-15
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の応答インターフェイス.....	5-16
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のしきい値インターフェイス.....	5-17
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の CSR インターフェイス.....	5-18
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の IRQ インターフェイス.....	5-19
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のペリフェラル・クロック・インターフェイス.....	5-20
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のペリフェラル・リセット・インターフェイス.....	5-20
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の ADC PLL クロック・インターフェイス.....	5-20
アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の ADC PLL ロック・インターフェイス.....	5-22
アルテラモジュラー ADC レジスターの定義.....	5-22
シーケンサー・コア・レジスター.....	5-22
サンプルストレージ・コア・レジスター.....	5-23
Nios II Gen 2 向けの ADC HAL デバイスドライバー.....	5-24

MAX 10 アナログ-デジタル・コンバーター・ユーザーガイドのアーカイブ A-1

MAX 10 アナログ-デジタル・コンバーター・ユーザーガイドの改訂履歴 B-1

MAX[®] 10 アナログ-デジタル・コンバーターの概要

1

2016.10.31

UG-M10ADC



更新情報



フィードバック

MAX[®] 10 デバイスは、最大 2 つのアナログ-デジタル・コンバーター (ADC) を備えています。この ADC により、MAX 10 デバイスでオンダイ温度のモニタリング、ならびに外部アナログ信号の変換をする機能の内蔵が可能になっています。

ADC ソリューションは、MAX 10 デバイス外周部にあるハード IP ブロックと、アルテラモジュラー ADC IP コアを介するソフトロジックとで構成されています。

ADC ソリューションは、情報処理、コンピューティング、データ送信ならびにコントロール・システム向けに、アナログ量をデジタルデータに変換する内蔵の機能を提供します。基本的な機能としては、観察されたアナログ信号を 12 ビットのデジタル表現で提供します。

ADC ソリューションは、以下の 2 つのモードで動作します。

- ノーマルモード—シングルエンドの外部入力を毎秒 100 万サンプル (MSPS) の累積サンプリング・レートでモニタリング
 - シングル ADC デバイス—最大 17 までのシングルエンドの外部入力 (1 つの専用アナログピンと 16 の兼用入力ピン)
 - デュアル ADC デバイス—最大 18 までのシングルエンドの外部入力 (それぞれの ADC ブロックに 1 つの専用のアナログピンと 8 の兼用入力ピン)
- 温度検知モード—外部温度データ入力を毎秒 50 キロサンプルまでのサンプリング・レートでモニタリング。デュアル ADC デバイスでは 1 つ目の ADC ブロックのみがこのモードをサポート

関連情報

- 2-1 ページの [MAX 10 ADC のアーキテクチャーと機能](#)
- 3-1 ページの [MAX 10 ADC デザインの考慮事項](#)
- 4-1 ページの [MAX 10 ADC 実装ガイド](#)
- 5-1 ページの [アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コアの参考資料](#)
- [MAX 10 入門](#)
- [MAX 10 オンライン・トレーニング](#)
- [MAX 10 トレーニング・ビデオ](#)

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

ALTERA
now part of Intel

- How to Create ADC Design in MAX 10 Device Using Qsys Tool**
 説明ビデオを提供します。Quartus® Prime ソフトウェアで、Qsys システム統合ツールを使用して MAX 10 デバイスに ADC デザインを作成する方法、および ADC ツールキットを使用して測定済みアナログ信号を表示する方法を説明します。
- How to Create Simultaneous Measurement with MAX 10 ADC, Part 1**
 MAX 10 アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアの違いについて説明する、説明ビデオシリーズの第一部です。また、このビデオでは、簡単な ADC 同時測定の作成方法、ならびにアナログ信号のデジタルコード出力を測定するために信号タップを配置する方法についても説明します。
- How to Create Simultaneous Measurement with MAX 10 ADC, Part 2**
 MAX 10 アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアの違いについて説明する、説明ビデオシリーズの第二部です。また、このビデオでは、簡単な ADC 同時測定の作成方法、ならびにアナログ信号のデジタルコード出力を測定するために信号タップを配置する方法についても説明します。

MAX 10 デバイスの ADC ブロック数

ADC ブロックはシングルまたはデュアル電源の MAX 10 デバイスで使用できます。

表 1-1: MAX 10 デバイスの ADC ブロック数とパッケージ

ADC ブロックを備えるデバイスのパートナンバーについて、詳しくは MAX 10 FPGA Device Overview を参照してください。

パッケージ	電源	デバイス					
		10M04	10M08	10M16	10M25	10M40	10M50
M153	シングル	1	1	—	—	—	—
U169	シングル	1	1	1	—	—	—
U324	デュアル	1	1	1	—	—	—
F256	デュアル	1	1	1	2	2	2
E144	シングル	1	1	1	1	1	1
F484	デュアル	—	1	1	2	2	2
F672	デュアル	—	—	—	—	2	2

関連情報

[MAX 10 FPGA Device Overview](#)

MAX 10 デバイスの ADC チャンネル数

MAX 10 デバイスの種類によって、サポートしている ADC チャンネル数が異なります。

表 1-2: MAX 10 デバイスの ADC チャンネル数

- 2つの ADC ブロックを備えるデバイスは 2つの専用アナログ入力を有し、各 ADC ブロックが 8つの兼用ピンを有する。ADC を使用しない場合は、ADC ブロックの兼用ピンを汎用 I/O (GPIO) ピンとして使用できる
- ADC ブロックを備えるデバイスのパートナンバーについて、詳しくは MAX 10 FPGA Device Overview を参照してください。

パッケージ	ピンタイプ	デバイスの ADC チャンネル数					
		10M04	10M08	10M16	10M25	10M40	10M50
M153	専用	1	1	—	—	—	—
	兼用	8	8	—	—	—	—
U169	専用	1	1	1	—	—	—
	兼用	8	8	8	—	—	—
U324	専用	1	1	1	—	—	—
	兼用	16	16	16	—	—	—
F256	専用	1	1	1	2	2	2
	兼用	16	16	16	16	16	16
E144	専用	1	1	1	1	1	1
	兼用	8	8	8	8	8	8
F484	専用	—	1	1	2	2	2
	兼用	—	16	16	16	16	16
F672	専用	—	—	—	—	2	2
	兼用	—	—	—	—	16	16

関連情報

- [MAX 10 FPGA Device Overview](#)
- 1-4 ページの [MAX 10 ADC のバーティカル・マイグレーション・サポート](#)

MAX 10 ADC のバーティカル・マイグレーション・サポート

図 1-1: MAX 10 デバイス間の ADC バーティカル・マイグレーション

矢印は ADC マイグレーション・パスを示しています。各バーティカル・マイグレーション・パスに含まれるデバイスを色付きで示しています。

Device	Package						
	M153	U169	U324	F256	E144	F484	F672
10M04	↕	↕	↕	↕	↕		
10M08	↕	↕	↕	↕	↕	↕	
10M16		↕	↕	↕	↕	↕	
10M25				↕	↕	↕	
10M40				↕	↕	↕	↕
10M50				↕	↕	↕	↕

- デュアルADCデバイス：各ADC（ADC1とADC2）が1つの専用アナログ入力ピンと8つの兼用ピンをサポートしています。
- シングルADCデバイス：1つの専用アナログ入力ピンと16の兼用ピンをサポートするシングルADCです。
- シングルADCデバイス：1つの専用アナログ入力ピンと8つ兼用ピンをサポートするシングルADCです。

表 1-3: ADC マイグレーションにおけるピンの移行条件

ソース	ターゲット	移行可能なピン
シングル ADC デバイス	シングル ADC デバイス	ADC 入力ピンをすべて移行可能
デュアル ADC デバイス	デュアル ADC デバイス	
シングル ADC デバイス	デュアル ADC デバイス	<ul style="list-style-type: none"> • 専用アナログ入力ピンを1つ • ソースデバイスの ADC1 ブロックからターゲットデバイスの ADC1 ブロックに兼用ピンを8つ
デュアル ADC デバイス	シングル ADC デバイス	

関連情報

1-3 ページの [MAX 10 デバイスの ADC チャネル数](#)

シングルまたはデュアル電源の MAX 10 デバイス

MAX 10 デバイスでは、シングルまたはデュアル電源のパッケージが使用できます。

- シングル電源デバイスでは、
 - デジタル電源をパワーアップするために、オンチップ・レギュレータを使用する
 - ADC のアナログ電源をパワーアップするために、 V_{CCA} を使用する
- デュアル電源デバイスでは、ADC 電源のパワーアップのために 1.2 V と 2.5 V の外部電源を用意する必要がある

適切なデバイスを選択するために、MAX 10 FPGA Device Overview を参照してください。

ADC パラメーターについて詳しくは、MAX 10 Device Datasheet を参照してください。

関連情報

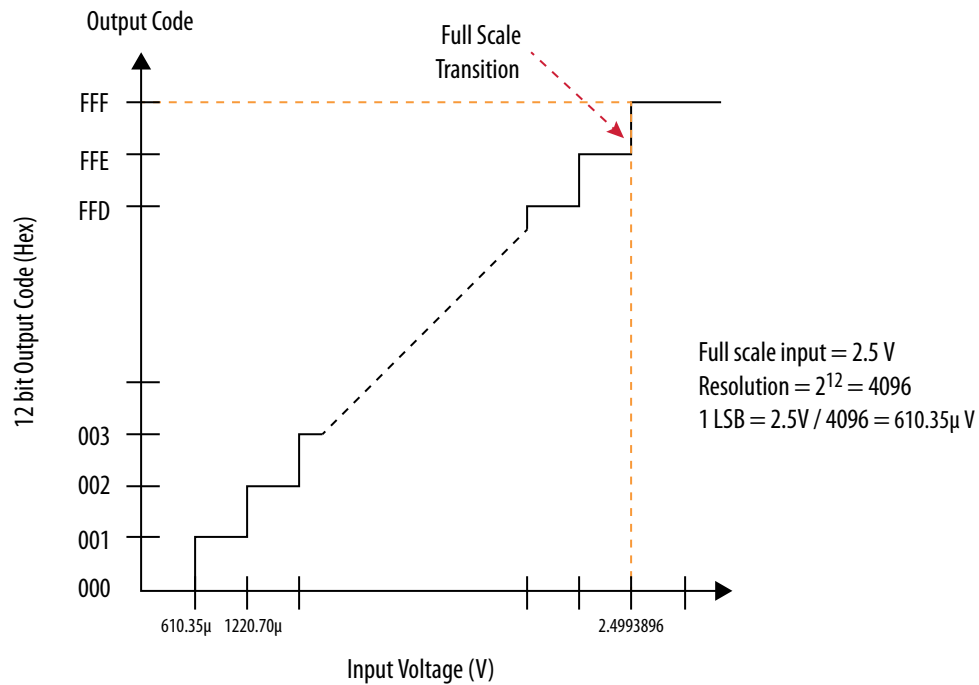
- [MAX 10 Device Datasheet](#)
- [MAX 10 FPGA Device Overview](#)

MAX 10 ADC 変換

デュアル電源の MAX 10 デバイスでは、ADC は 0 V~2.5 V までを測定できます。シングル電源の MAX 10 デバイスでは、電源電圧に基づいて最高で 3.0 V または 3.3 V までを測定できます。

- プリスケラ・モードでは、アナログ入力はデュアル電源の MAX 10 デバイスで 3.0 V まで、シングル電源の MAX 10 デバイスで 3.6 V までを測定できる
- アナログ入力スケールは 000h から FFFh までのフルスケール・コードを有している。ただし、測定結果は *full scale - 1 LSB* までしか表示されない
- 12 ビットに関する値の計算では、ユニポーラ・ストレート・バイナリー・コーディング方式を使用する

図 1-2: 2.5 V での ADC 測定の表現



MAX 10 の ADC は、1 MHz の SAR (Successive Approximation Register) ADC です。PLL とアルテラモジュラー ADC IP コアを適切にセットアップすると、ADC は通常のサンプリング時に最大 1 MHz で、温度感知時に 50 kHz で動作します。

注意: 全て 1 のコードで表現されるアナログ値はフルスケールではなく *full scale - 1 LSB* です。これは、データ変換の表記における一般的な表記であり、ADC に用います。

関連情報

- 4-2 ページの [MAX 10 ADC デザインの作成](#)
- 5-2 ページの [アルテラモジュラー ADC のパラメーター設定](#)
- 5-9 ページの [アルテラモジュラー・デュアル ADC のパラメーター設定](#)

2016.10.31

UG-M10ADC



更新情報



フィードバック

MAX 10 デバイスでは ADC は 12 ビットの逐次比較レジスター (SAR) ADC であり、以下の機能を提供します。

- 最大 1 MSPS のサンプリング・レート
- アナログ測定向けの最大で 18 のチャンネル：デュアル ADC デバイスでの 16 の兼用チャンネルと 2 つの専用アナログ入力チャンネル
- シングルエンド測定機能
- デュアル ADC デバイスにおいて、専用アナログ入力ピンでの同時測定機能
- ソフト・ロジック・シーケンサー
- 毎秒 50 キロサンプルのサンプリング・レートでのオンチップ温度検知
- 内部または外部電圧リファレンスの使用。内部電圧リファレンスのソースは ADC のアナログ電源。ADC の変換結果はレシオメトリック

関連情報

- 1-1 ページの [MAX 10 アナログ-デジタル・コンバーターの概要](#)
- 6-1 ページの [MAX 10 アナログ-デジタル・コンバーター・ユーザーガイドのアーカイブ](#)
アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアの前バージョン向けのユーザーガイドのリストを提供します。

MAX 10 ADC ハード IP ブロック

MAX 10 の ADC は、1 クロックサイクルで 1 つのアナログサンプルを変換する SAR ADC です。

各 ADC ブロックは、1 つの専用アナログ入力ピンと、最大 16 チャンネルの兼用ピンをサポートしています。

内蔵の温度検出ダイオード (TSD) を使用して、オンチップで温度測定を行うことができます。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

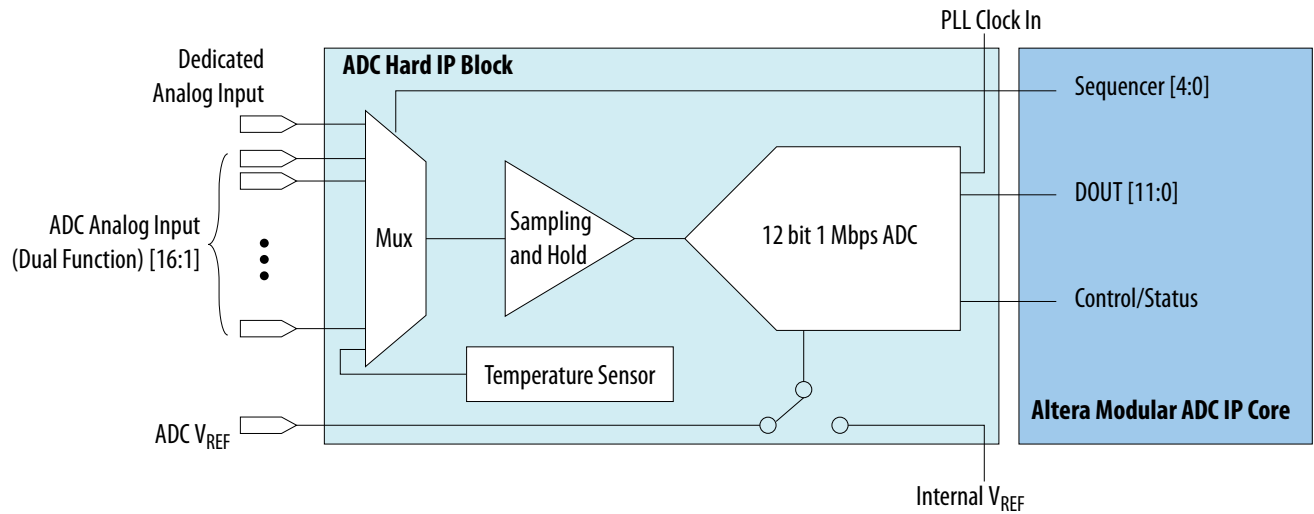
*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

ALTERA
now part of Intel

図 2-1: MAX 10 デバイスの ADC ハード IP ブロック

注意: デュアル ADC デバイスでは、温度センサは ADC1 でのみ使用できます。



関連情報

2-20 ページの [シーケンサー・コア](#)

シーケンサーの変換モードについての詳しい情報を提供します。

ADC ブロックの位置

ADC ブロックは、MAX 10 デバイス外周部の左上の角に配置されています。

図 2-2: MAX 10 04 と 08 デバイスでの ADC ブロックの位置

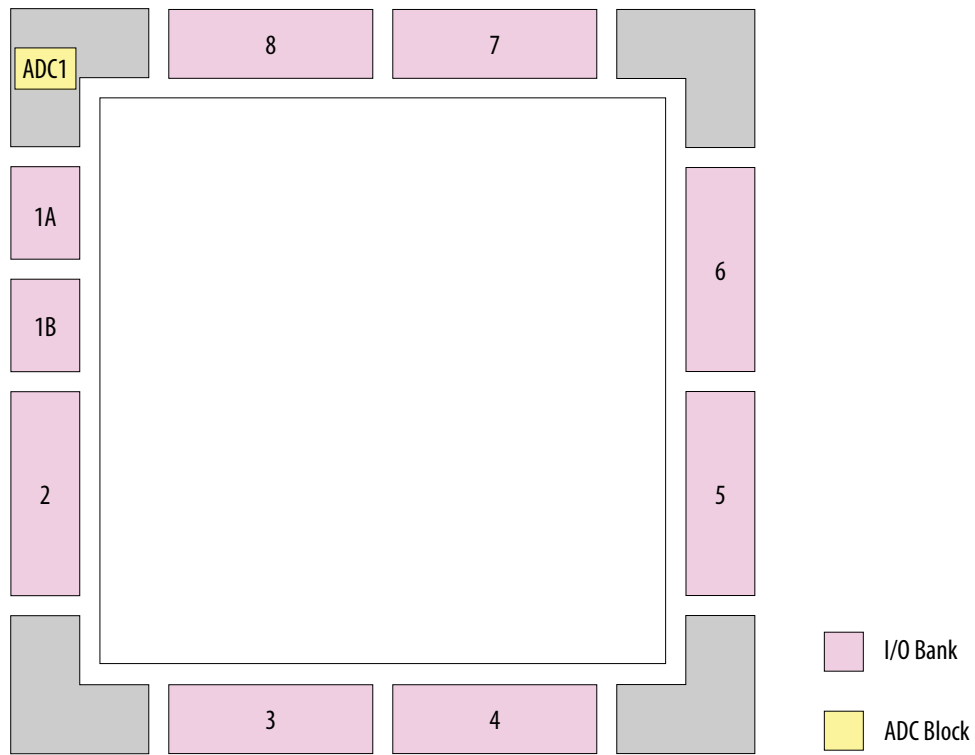


図 2-3: MAX 10 16 デバイスでの ADC ブロックの位置

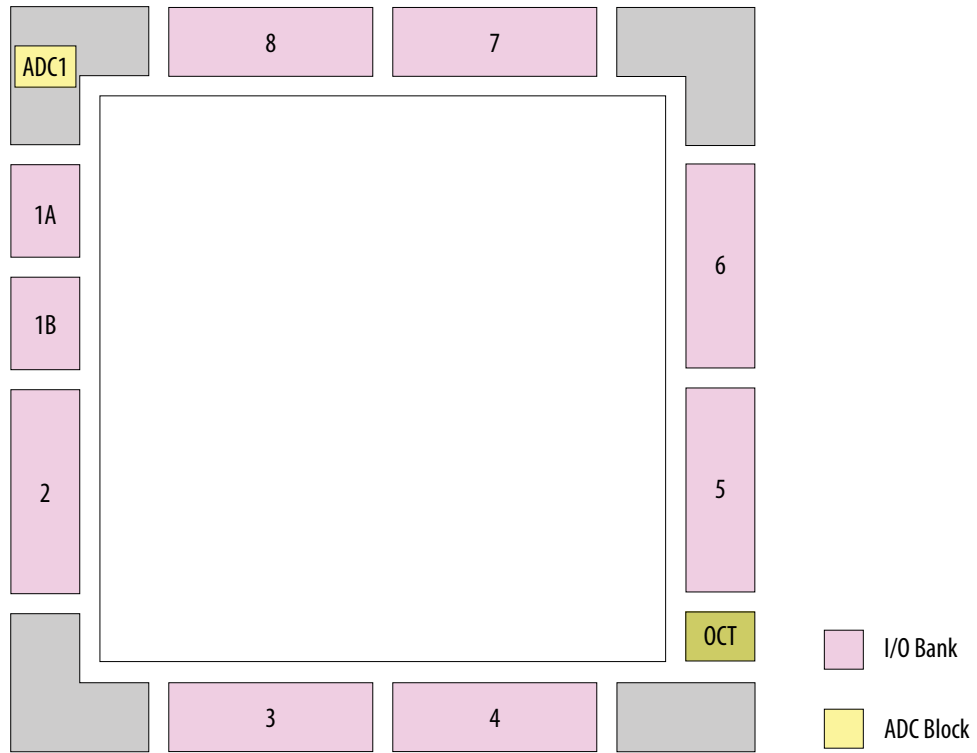
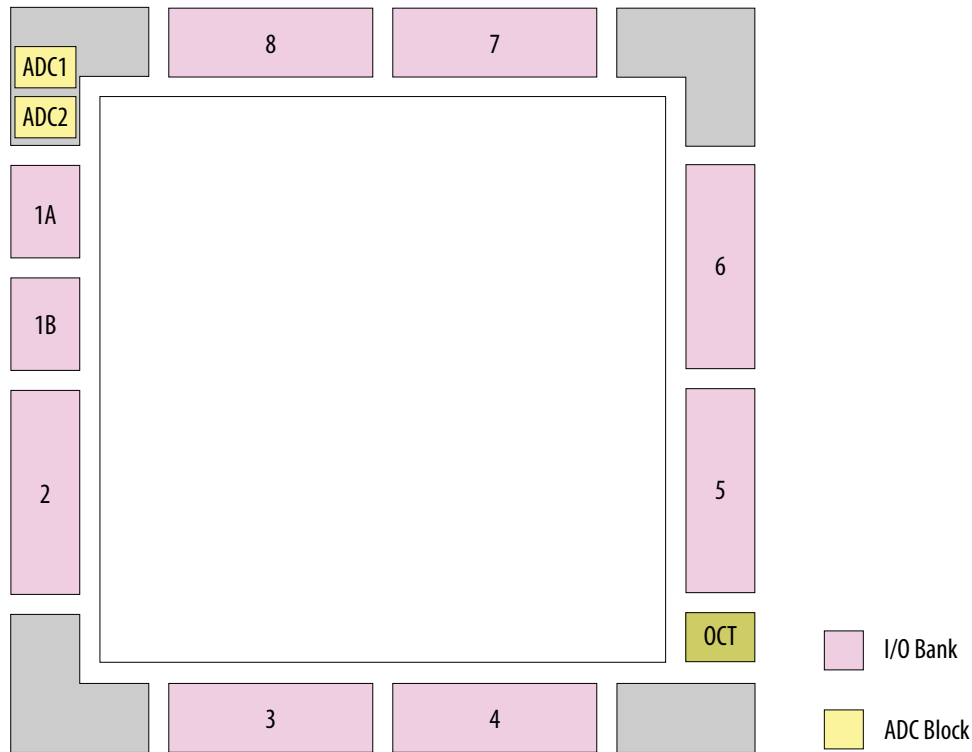


図 2-4: MAX 10 25、40 と 50 デバイスでの ADC ブロックの位置

これらのデバイスの E144 パッケージが備える ADC ブロックは 1 つのみです。



シングル ADC またはデュアル ADC のデバイス

シングルあるいはデュアル ADC ブロックを備えた MAX 10 デバイスが使用可能です。

ADC ブロックを 1 つ備えたデバイスでは、最大 17 までの ADC チャンネルを使用できます。

- これらのチャンネルに含まれているのは、1 つの専用アナログ入力ピンと最大 16 チャンネルの兼用ピン
- ADC を使用しない場合は、兼用ピンを GPIO ピンとして使用できる

注意: E144 パッケージの MAX 10 デバイスが備える兼用ピンは 8 つのみです。

ADC ブロックを 2 つ備えたデバイスでは、最大 18 までの ADC チャンネルを使用できます。

- デュアル ADC ブロックでは、各ブロックが 1 つの専用アナログ入力ピンと、最大 8 つの兼用ピンをサポートできる
- デュアル ADC デバイスで両方の ADC ブロックを使用する場合、最大 2 つの専用アナログ入力ピンと 16 の兼用ピンを使用できる
- 両方の専用アナログピンからのパッケージの配線を一致させているので、同時測定には、両方の ADC ブロックの専用アナログ入力ピンのみを使用する。兼用ピンでは、2 つの ADC ブロック間の配線でのレイテンシが、同時測定のデータ不整合の原因となりえる
- 同時測定では、アルテラモジュラー・デュアル ADC IP コアを使用する

適切なデバイスを選択するために、MAX 10 FPGA Device Overview を参照してください。

関連情報

- [MAX 10 FPGA Device Overview](#)
- 1-3 ページの [MAX 10 デバイスの ADC チャンネル数](#)

ADC のアナログ入力ピン

アナログ入力ピンは、シングルエンド測定とユニポーラ測定をサポートしています。

MAX 10 デバイスの ADC ブロックは、以下の 2 種類の ADC アナログ入力ピンを含みます。

- 専用 ADC アナログ入力ピン—デュアル ADC デバイスの両方の専用アナログ入力ピンが同一のトレース長を有することを保障するために専用に配線されたピン
- 兼用 ADC アナログ入力ピン—GPIO ピンとパッドを共有するピン

ADC にバンク 1A を使用する場合には、このバンクを GPIO に使用することができません。

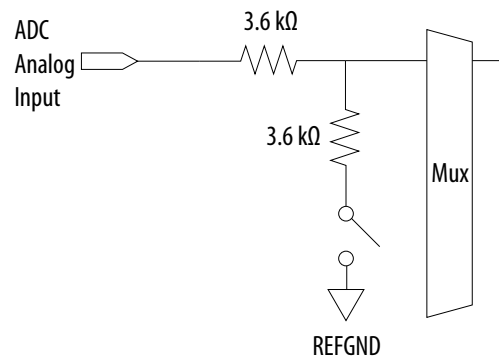
ADC ブロックの各アナログ入力ピンは、静電気放電 (ESD) セルにより保護されています。

ADC のプリスケアラ

MAX 10 デバイスの ADC ブロックは、プリスケアラ機能を含んでいます。

プリスケアラ機能はアナログ入力電圧を半分に分割します。この機能を使用することで 2.5 V を超えるアナログ入力を測定することができます。プリスケアラ・モードでは、アナログ入力、デュアル電源の MAX 10 デバイス向けに 3 V まで、シングル電源の MAX 10 デバイス向けに 3.6 V までを処理することができます。

図 2-5: ADC プリスケアラのブロック図



プリスケアラ機能は、各 ADC ブロックの以下に示すチャンネルで使用できます。

- シングル ADC デバイス—チャンネル 8 と 16（可能な場合）
- デュアル ADC デバイスの場合
 - アルテラモジュラー ADCIP コアの使用—どちらの ADC でもチャンネル 8
 - アルテラモジュラー・デュアル ADC IP コアの使用—ADC1 のチャンネル 8 と ADC2 のチャンネル 17

ADC のクロックソース

ADC ブロックは、デバイスの PLL をクロックソースとして使用します。ADC クロックパスは専用クロックパスです。このクロックパスを変更することはできません。

MAX 10 デバイスは、デバイスパッケージに応じて 1 つまたは 2 つの PLL、つまり PLL1 のみ、または PLL1 と PLL3 をサポートしています。

2 つの PLL をサポートするデバイスでは、どの PLL を ADC に接続するかを選択することができます。ADC ブロックを、以下のいずれかの方式にコンフィグレーションできます。

- 同期のために、両方の ADC ブロックが同一のクロックソースを共有
- 冗長性のために、両方の ADC ブロックが別々の PLL を使用

デザインの ADC ブロックそれぞれが、それ自身の PLL を使用している場合、Quartus® Prime Fitter が PLL クロック入力ソースに基づいてクロックソース方式を自動的に選択します。

- 各 ADC ブロックをクロック駆動するそれぞれの PLL が別々の PLL 入力クロックソースを使用する場合、Quartus Prime Fitter はデザインに従う（PLL は 2 つ）
- 各 ADC ブロックをクロック駆動する PLL 両方が同一の PLL 入力クロックソースを使用する場合、Quartus Prime Fitter は双方の PLL を 1 つに併合する

デュアル ADC モードでは、両方の ADC インスタンスが同じ ADC クロック設定を共有する必要があります。

関連情報

[PLL の位置、MAX 10 のクロッキングおよび PLL ユーザーガイド](#)

異なる MAX 10 デバイスとパッケージにおける PLL3 の可用性に関する詳細を提供します。

ADC の電圧リファレンス

MAX 10 デバイスの各 ADC ブロックは、内部または外部電圧リファレンスをそれぞれ個別に使用することができます。デュアル ADC デバイスでは、片方の ADC ブロックに内部電圧リファレンスを、もう片方の ADC ブロックに外部電圧リファレンスを割り当てることができます。

各 MAX 10 デバイスにある外部 V_{REF} ピンは 1 つだけです。したがって、デュアル ADC デバイスで両方の ADC ブロックに外部電圧リファレンスを割り当てる必要がある場合には、同一の外部電圧リファレンスを両方の ADC ブロックで共有します。

アルテラは、ADC ブロックに対し最大抵抗が $100\ \Omega$ のクリーンな外部電圧リファレンスを使用することを推奨します。ADC ブロックが内部電圧リファレンスを使用する場合には、ADC ブロックが自身のアナログ電圧に接続され、変換結果がレシオメトリックになります。

ADC の温度検知ダイオード

MAX 10 デバイスの ADC ブロックは、内蔵の TSD を有します。内蔵の TSD を使用して、MAX 10 デバイスの内部温度をモニタリングすることができます。

- 温度検知モードを使用しているとき、温度測定時の ADC サンプルング・レートは毎秒 50 キロサンプル
- 温度測定の完了後に、シーケンスで次に行う変換が通常のサンプルング・モードであれば、アルテラモジュラー ADC IP コアが ADC を自動的に通常のサンプルング・モードに切り替える。通常のサンプルング・モードでの累積サンプルング・レートは 1 MSPS
- ADC が通常の検知モードから温度検知モードに切り替わる際、およびその逆の際は、変更されたクロック周波数へのキャリブレーションが自動的に行われる。キャリブレーションには新しいサンプルング・レートで少なくとも 6 クロック・キャリブレーション・サイクルを要する
- ADC TSD 測定は、以下に示すような 64 サンプルを使用する平均法を用いる
 - 最初に測定される温度の値はサンプル 1~64 の平均値
 - 2 番目に測定される温度の値はサンプル 2~65 の平均値
 - 3 番目に測定される温度の値はサンプル 3~66 の平均値
 - 後続の温度測定も同じ手法による

デュアル ADC デバイスでは、温度センサは ADC1 でのみ使用できます。

温度測定コード変換

温度測定コード変換表を使用して、ADC TSD で測定された値を実際の温度に変換します。

表 2-1: 温度コード変換表

温度 (C)	コード	温度 (C)	コード	温度 (C)	コード	温度 (C)	コード	温度 (C)	コード
-40	3798	-6	3738	28	3670	62	3593	96	3510
-39	3796	-5	3736	29	3667	63	3592	97	3507
-38	3795	-4	3733	30	3666	64	3591	98	3504
-37	3793	-3	3732	31	3664	65	3590	99	3501
-36	3792	-2	3731	32	3662	66	3589	100	3500
-35	3790	-1	3730	33	3660	67	3585	101	3498
-34	3788	0	3727	34	3658	68	3582	102	3496
-33	3786	1	3725	35	3656	69	3579	103	3494
-32	3785	2	3721	36	3654	70	3576	104	3492
-31	3782	3	3720	37	3651	71	3573	105	3490
-30	3781	4	3719	38	3648	72	3570	106	3489
-29	3780	5	3717	39	3645	73	3567	107	3486
-28	3779	6	3715	40	3643	74	3564	108	3483
-27	3777	7	3713	41	3642	75	3561	109	3480
-26	3775	8	3711	42	3641	76	3558	110	3477
-25	3773	9	3709	43	3640	77	3555	111	3474
-24	3771	10	3707	44	3638	78	3552	112	3471
-23	3770	11	3704	45	3636	79	3551	113	3468
-22	3768	12	3703	46	3634	80	3550	114	3465
-21	3766	13	3702	47	3632	81	3549	115	3461
-20	3765	14	3700	48	3630	82	3548	116	3460
-19	3764	15	3699	49	3628	83	3547	117	3459
-18	3762	16	3698	50	3625	84	3546	118	3456
-17	3759	17	3697	51	3622	85	3542	119	3451
-16	3756	18	3696	52	3619	86	3538	120	3450
-15	3754	19	3695	53	3616	87	3534	121	3449
-14	3752	20	3688	54	3613	88	3530	122	3445
-13	3751	21	3684	55	3610	89	3526	123	3440
-12	3750	22	3682	56	3607	90	3525	124	3432
-11	3748	23	3680	57	3604	91	3524	125	3431

温度 (C)	コード	温度 (C)	コード	温度 (C)	コード	温度 (C)	コード	温度 (C)	コード
-10	3746	24	3678	58	3601	92	3522	—	—
-9	3744	25	3677	59	3598	93	3519	—	—
-8	3742	26	3676	60	3595	94	3516	—	—
-7	3740	27	3673	61	3594	95	3513	—	—

ADC シーケンサー

アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアによりシーケンサーを実装します。アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC のパラメーター・エディターを使用して、ADC チャンネルの取得シーケンスを定義し、HDL コードを生成します。

シーケンサーは、最大 64 の ADC 測定スロットのシーケンスをサポートすることができます。アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアを設定する際に、各シーケンサー・スロットでサンプリングするためのチャンネルを、TSD チャンネルも含めて選択することができます。ランタイム中にチャンネルシーケンスを変更することはできませんが、Nios® II HAL ドライバー API を使用してシーケンサー変換モードを設定することができます。

最大 64 までのスロットを指定し、各スロットにチャンネルを割り当てることができます。必要に応じて、同じチャンネル番号を複数回繰り返すことができます。

関連情報

2-10 ページの [ガイドライン：アルテラモジュラー・デュアル ADC IP コアの ADC シーケンサー](#)

ガイドライン：アルテラモジュラー・デュアル ADC IP コアの ADC シーケンサー

アルテラモジュラー・デュアル ADC IP コアを用いて 2 つの ADC ブロックを使用する場合には、以下のシーケンサーのガイドラインに従います。

- 両方の ADC ブロックの変換シーケンス長を同一にする
- 各 ADC ブロックの変換シーケンス向けに個別のパターンを設定することができる
- ADC2 のシーケンサー・スロットは NULL にセットできる。スロットを NULL にセットした場合には、ADC2 はスロットにダミーの変換を行い、「0」を出力する。NULL オプションは ADC2 でのみ使用できる
- 温度センサは ADC1 でのみ使用できる。ADC1 のシーケンサー・スロットを温度センサに設定した場合には、ADC2 で同じ番号のシーケンサー・スロットを NULL に設定する

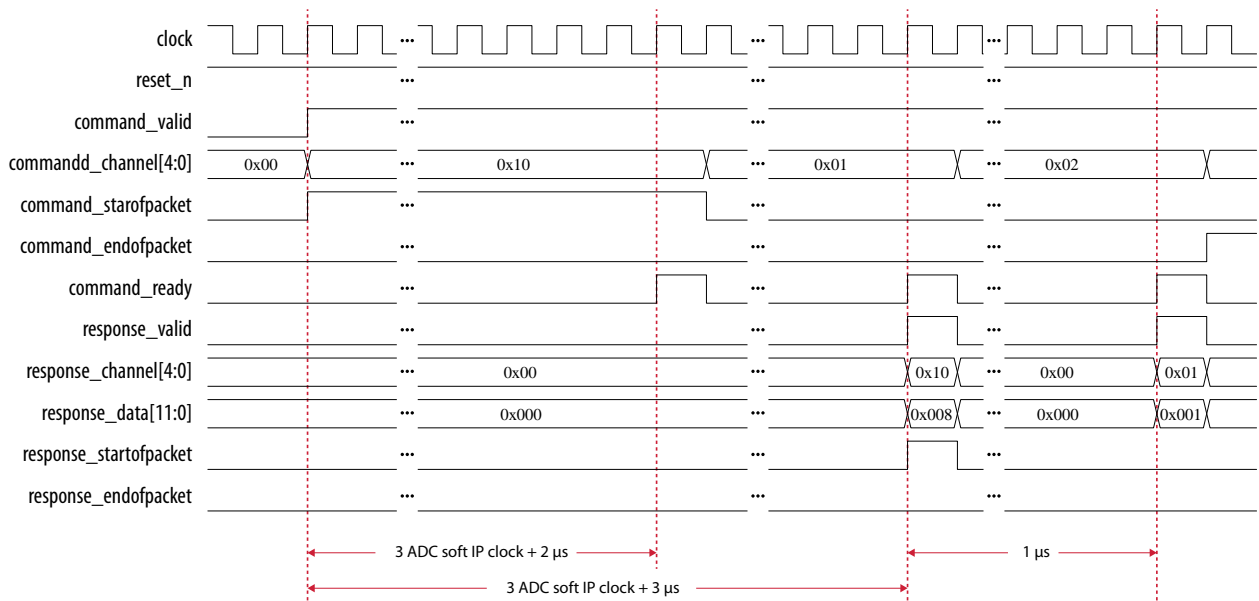
関連情報

2-10 ページの [ADC シーケンサー](#)

ADC タイミング

図 2-6: MAX 10 ADC のタイミング図

- この図は、アルテラモジュラー ADC コントロール・コアのコマンドおよび応答インターフェースのタイミング・ダイアグラムを示す
- タイミング・ダイアグラムは、最初の有効な応答データのレイテンシ、ならびに最初のコマンドリクエストの最初の確認応答から連続的な応答データまでの間のレイテンシを示す



このタイミング図で示される例では、

- 変換シーケンスはチャンネル 16 →チャンネル 1 →チャンネル 2
- チャンネル 16 への応答データは 8
- チャンネル 1 への応答データは 1

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コア

アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアを使用して、MAX 10 デバイスの ADC ハード IP ブロック向けのソフト IP コントローラーを生成することができます。

以下の 2 つの ADC IP コアがあります。

- アルテラモジュラー ADC IP コア—各インスタンスが 1 つの ADC ハード IP ブロックを制御できる。デュアル ADC デバイスでは、ADC ブロックそれぞれに 1 つのアルテラモジュラー ADC IP コアのインスタンスをインスタンス化できる。ただし、どちらのインスタンスも互いに非同期
- アルテラモジュラー・デュアル ADC IP コア—両方の ADC ハード IP ブロックを 1 つの IP インスタンスで制御できる
 - 両方の ADC ハード IP ブロックのアナログ入力ピン（ANAIN1 と ANAIN2）では、測定は同期する
 - 兼用入力ピンでは、配線レイテンシのために測定のタイミングに差が生じることがある

アルテラモジュラー ADC あるいはアルテラモジュラー・デュアル ADC IP コアのパラメーター・エディターを使用して、以下を行うことができます。

- ADC クロック、サンプリング・レートと、リファレンス電圧の設定
- ADC ブロックがサンプリングするアナログ入力チャネルの選択
- しきい値違反の警告をトリガするしきい値の設定
- 注意が必要なチャネルをより頻繁に測定するための変換シーケンスのセットアップ

関連情報

- 5-1 ページの [アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コアの参考資料](#)
- [Introduction to Altera IP Cores](#)
パラメータ化、アップグレード、IP コアのシミュレーションを含むすべてのアルテラ FPGA IP コアに関する基本的な情報を提供します。
- [Creating Version-Independent IP and Qsys Simulation Scripts](#)
ソフトウェアあるいは IP のバージョンのアップグレードのためのマニュアルでの更新を必要としないシミュレーション・スクリプトの作成について詳しい情報を提供します。
- [Project Management Best Practices](#)
プロジェクトおよび IP ファイルの効果的な管理および移植性のためのガイドラインを提供します。

アルテラモジュラー ADC IP コアのコンフィグレーション・タイプ

アルテラモジュラー ADC IP コアは、異なる ADC ユースケースをターゲットにした 4 つのコンフィグレーション・タイプを提供します。これらのコンフィグレーション・タイプにより、標準的なシステム・モニタリングから高性能 ADC データ・ストリーミングまでのさまざまな使用法をサポートします。

2-13 ページの [コンフィグレーション 1：標準のシーケンサーと Avalon-MM サンプルストレージを使用](#)

このコンフィグレーション・タイプでは、標準のシーケンサー・マイクロ・コアと、ADC サンプルを格納するための内部オンチップ RAM を使用します。

2-14 ページの **コンフィグレーション 2：標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用**

このコンフィグレーション・タイプでは、標準のシーケンサー・マイクロ・コアと、ADC サンプルを格納するための内部オンチップ RAM に加えて、しきい値違反を検出する追加的な機能を使用します。

2-16 ページの **コンフィグレーション 3：標準のシーケンサーと外部サンプルストレージを使用**

このコンフィグレーション・タイプでは、標準のシーケンサー・マイクロ・コアを使用し、ADC サンプルを外部ストレージに格納します。

2-17 ページの **コンフィグレーション 4：ADC コントロール・コアのみを使用**

このコンフィグレーション・タイプでは、アルテラモジュラー ADC は ADC コントロール・コアのみを生成します。

関連情報

5-1 ページの **アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コアの参考資料**

コンフィグレーション 1：標準のシーケンサーと Avalon-MM サンプルストレージを使用

このコンフィグレーション・タイプでは、標準のシーケンサー・マイクロ・コアと、ADC サンプルを格納するための内部オンチップ RAM を使用します。このコンフィグレーションは、標準的なシステム・モニタリング・アプリケーション向けに役立ちます。

システム・モニタリング・アプリケーションでは、ADC はサンプルのブロックからデータを取り込み、オンチップ RAM に格納します。ホストプロセッサはデータを、ADC データサンプルの次のブロックの要求をトリガする前に取り出します。割り込み動作をしているホストプロセッサの速度が、各ブロックサンプルの要求の間隔を決定します。

図 2-7: 標準のシーケンサーと Avalon-MM サンプルストレージの使用 (アルテラモジュラー ADC IP コア)

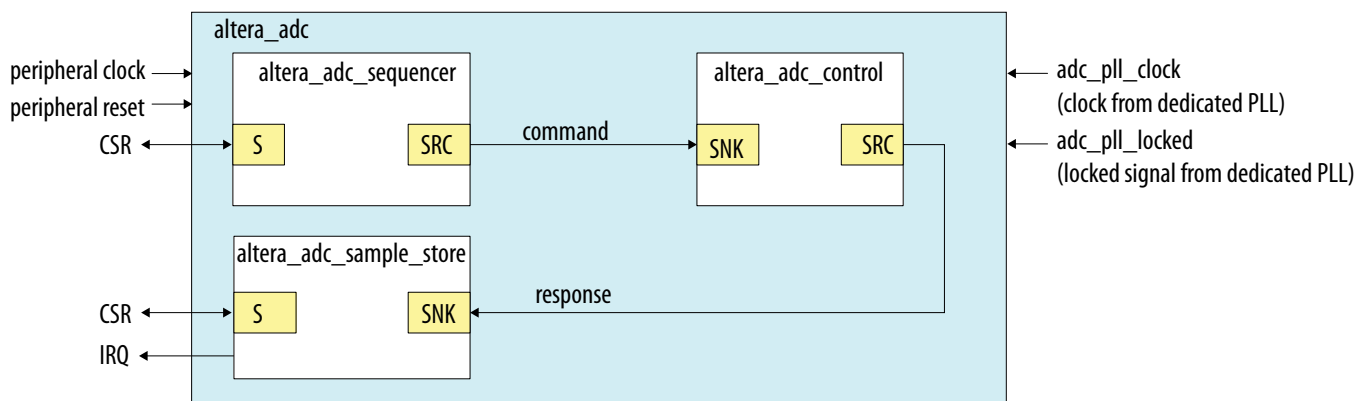
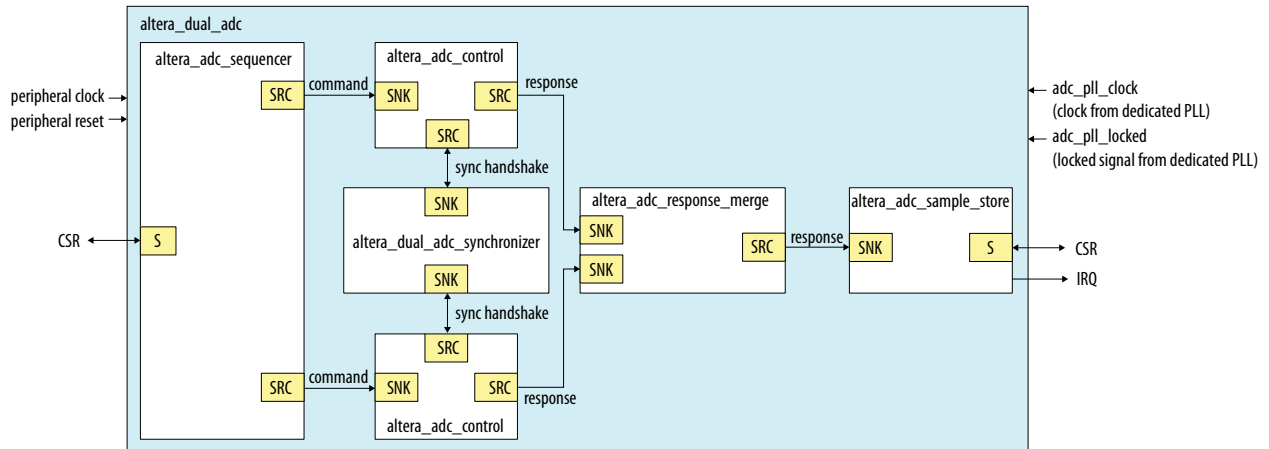


図 2-8: 標準のシーケンサーと Avalon-MM サンプルストレージの使用 (アルテラモジュラー・デュアル ADC IP コア)



関連情報

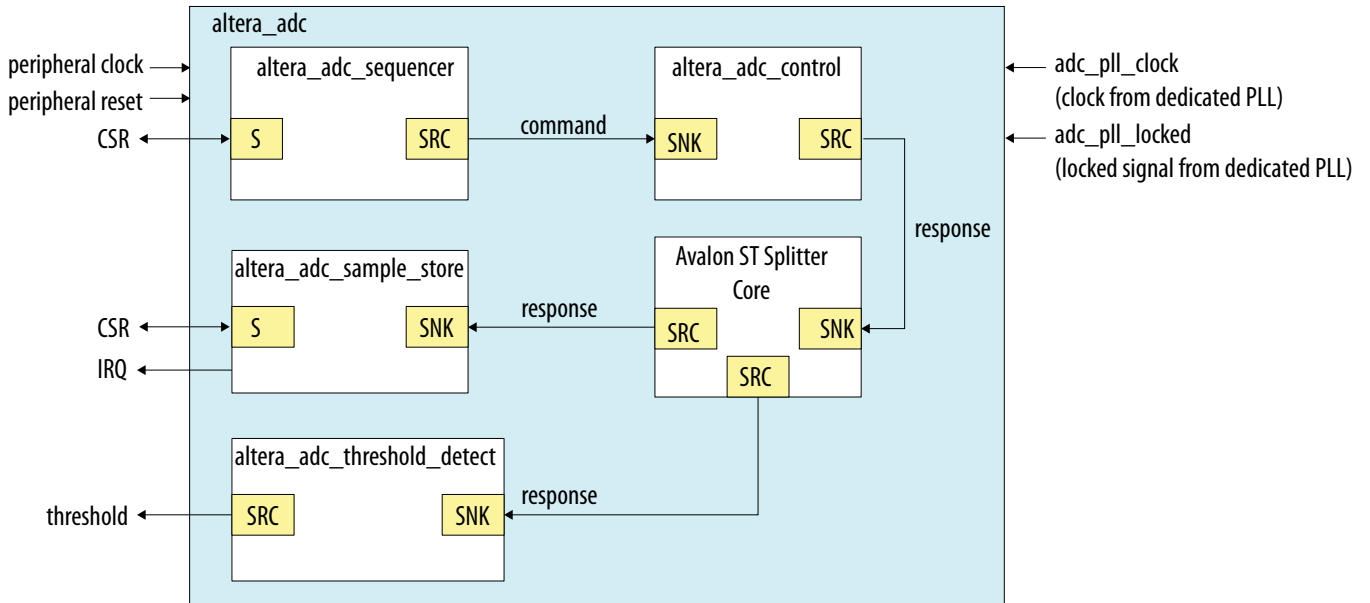
- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-9 ページの [ADC デザインの完成](#)

コンフィグレーション 2：標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用

このコンフィグレーション・タイプでは、標準のシーケンサー・マイクロ・コアと、ADC サンプルを格納するための内部オンチップ RAM に加えて、しきい値違反を検出する追加的な機能を使用します。このコンフィグレーションは、ADC サンプル値が最大または最小しきい値の範囲から外れていないかを把握する必要があるシステム・モニタリング・アプリケーション向けに役立ちます。

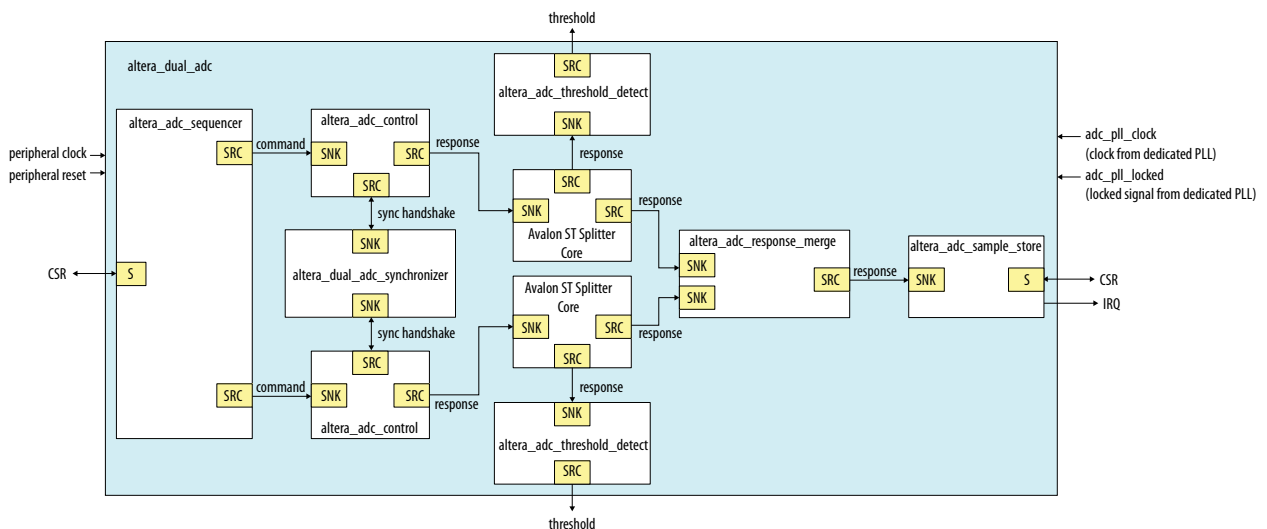
しきい値に違反した場合には、アルテラモジュラー ADC IP コアまたはアルテラモジュラー・デュアル ADC IP コアがディスクリート・ロジック・コンポーネントに通知します。ディスクリート・コンポーネントはそれを受けてシステム・リカバリー・アクションをトリガします。たとえば、温度コントロール・システムにおいては、システムがファンの速度を上げます。

図 2-9: 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用 (アルテラモジュール ADC IP コア)



デュアル ADC モードでは、各 ADC インスタンスのしきい値検出をそれぞれ個別に設定することができます。この機能は、各 ADC インスタンスが別々のアナログ測定基準で測定をすることにより実現します。

図 2-10: 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用 (アルテラモジュール・デュアル ADC IP コア)



関連情報

- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-9 ページの [ADC デザインの完成](#)

コンフィグレーション 3：標準のシーケンサーと外部サンプルストレージを使用

このコンフィグレーション・タイプでは、標準のシーケンサー・マイクロ・コアを使用し、ADC サンプルを外部ストレージに格納します。

外部ストレージとインターフェイスするためのロジックをデザインする必要があります。

図 2-11: 標準のシーケンサーと外部サンプルストレージの使用 (アルテラモジュラー ADC IP コア)

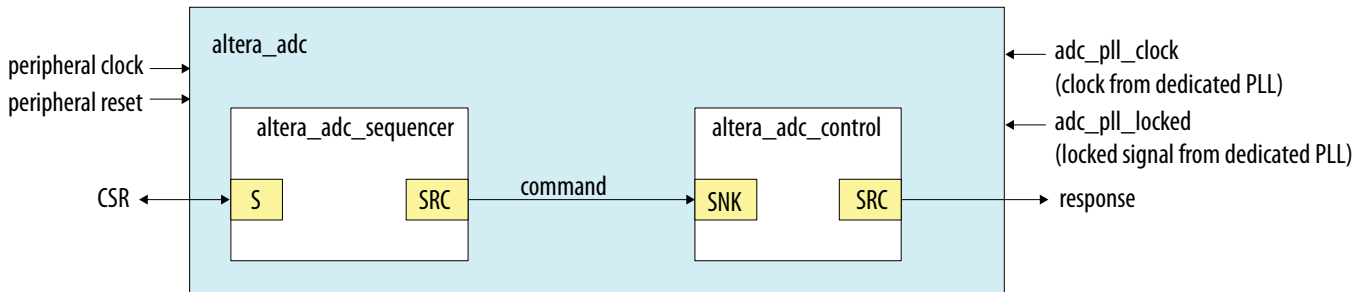
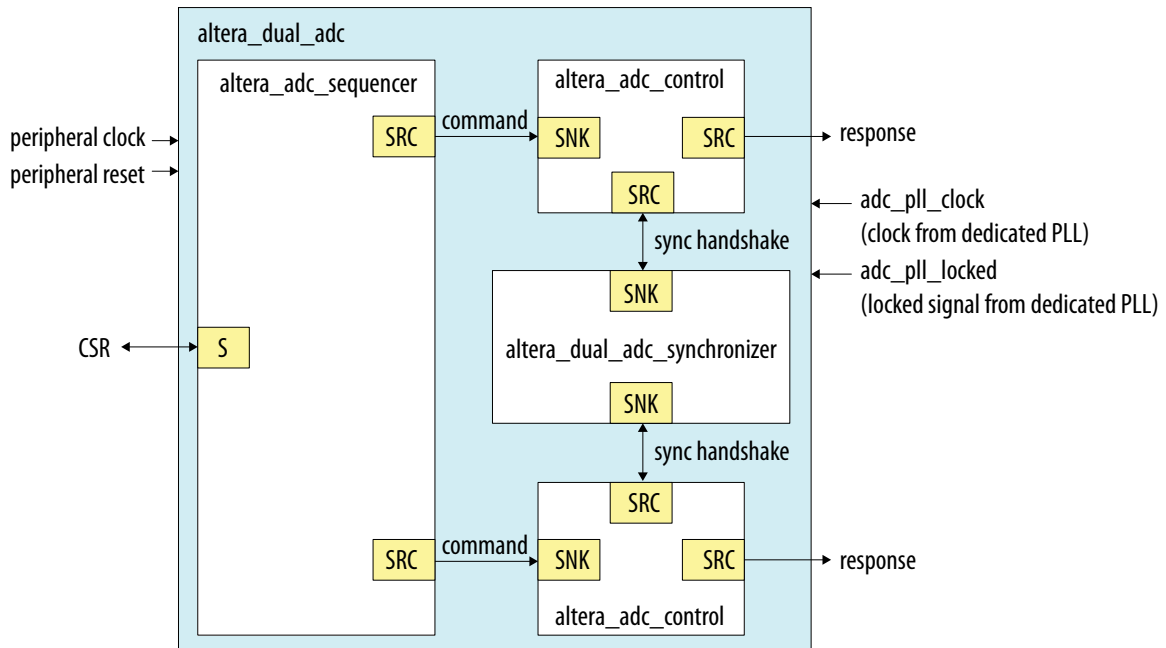


図 2-12: 標準のシーケンサーと外部サンプルストレージの使用 (アルテラモジュラー・デュアル ADC IP コア)



関連情報

- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-9 ページの [ADC デザインの完成](#)

コンフィグレーション 4 : ADC コントロール・コアのみを使用

このコンフィグレーション・タイプでは、アルテラモジュラー ADC は ADC コントロール・コアのみを生成します。アプリケーションに特化したシーケンサーをデザインし、ADC サンプルを独自の方法で取り扱うための最大限の柔軟性が得られます。

図 2-13: ADC コントロール・コアのみ使用 (アルテラモジュラー ADC IP コア)

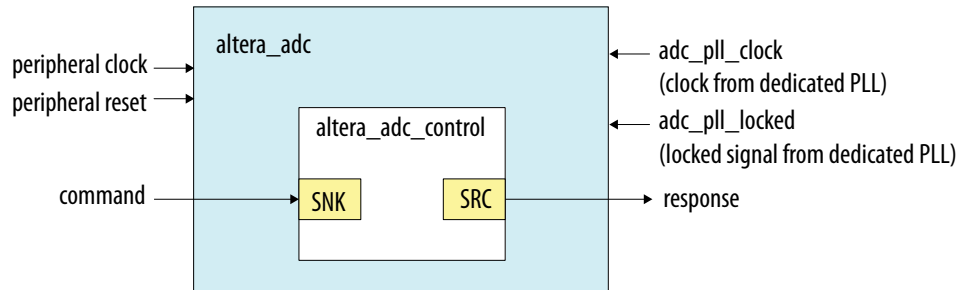
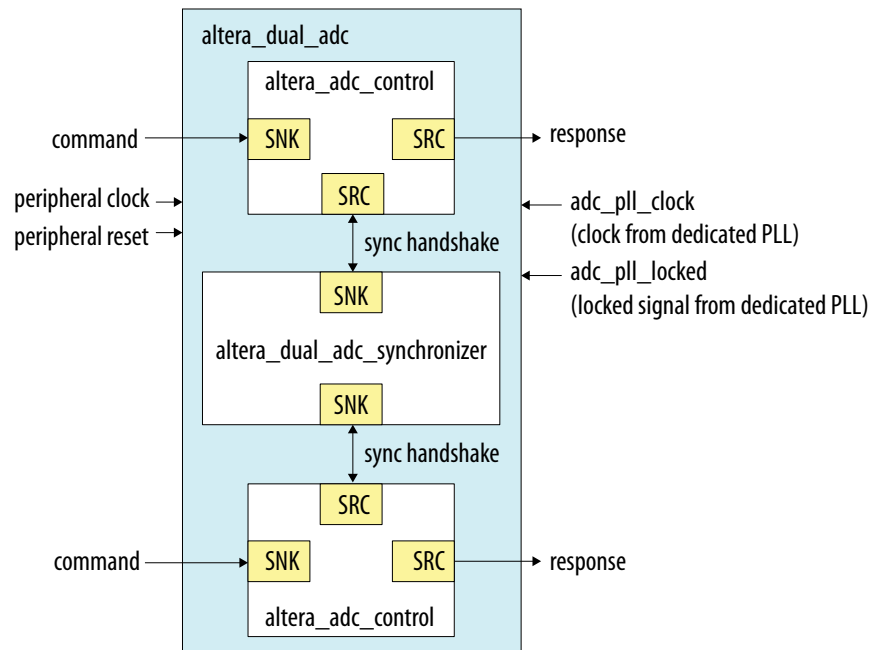


図 2-14: ADC コントロール・コアのみ使用 (アルテラモジュラー・デュアル ADC IP コア)



関連情報

- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-9 ページの [ADC デザインの完成](#)

アルテラモジュラー ADC IP コアとアルテラモジュラー・デュアル ADC IP コアの アーキテクチャー

アルテラモジュラー ADC IP コアは、6つのマイクロコアで構成されています。

表 2-2: アルテラモジュラー ADC のマイクロコア

マイクロコア	概要
ADC コントロール	このコアは、ADC ハード IP ブロックと連携して動作します。ADC コントロール・コアは、Avalon ST インターフェイスを使用して、アップストリームのコアからのコマンドを受信してデコードします。これに応じて ADC ハード IP ブロックを駆動します。
シーケンサー	このコアは、コマンドレジスターとスタティック変換シーケンスデータを含みます。また、シーケンサー・コアは、ダウンストリームのコアが実行するためのコマンドを発行します。 <ul style="list-style-type: none"> コマンドレジスターを使用して、目的の変換モードへの設定が可能 IP コアを生成する際にのみ、変換シーケンスデータの長さと内容を設定可能 Avalon-MM スレーブ・インターフェイスを介して、シーケンサー・コアのレジスターにアクセス可能 ダウンストリームのコアへのコマンド情報は、Avalon ST インターフェイスを介す
サンプルストレージ	このコアは、Avalon ST インターフェイスを介して受信する ADC サンプルを格納します。 <ul style="list-style-type: none"> サンプルは内蔵 RAM に格納される。Avalon-MM スレーブ・インターフェイスを介してサンプルを取得する このコアにより、ADC が ADC サンプルのブロック（フルラウンドの変換シーケンス 1 回）を受信する際に割り込みを生成する選択肢が得られる
応答マージ	このコアは、2つの ADC コントロール・コアから同時に生じた応答を、サンプルストレージ・コアに送るために 1つの応答パッケージに併合します。このコアはアルテラモジュラー・デュアル ADC IP コアを以下の設定で使用する場合にのみ使用可能です。 <ul style="list-style-type: none"> 標準のシーケンサーと Avalon-MM サンプルストレージの使用 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用
デュアル ADC シンクロナイザ・コア	このコアは、2つの ADC コントロール・コア間のハンドシェイクの同期を行います。このコアは、アルテラモジュラー・デュアル ADC IP コアを使用する場合にのみ使用可能です。

マイクロコア	概要
しきい値検出	<ul style="list-style-type: none"> このコアは障害検出をサポートする。しきい値検出コアは、Avalon ST インターフェイスを介して ADC サンプルを受信し、サンプル値が最大しきい値を上回って、または最小しきい値を下回っていないかを確認する しきい値検出コアは、Avalon ST インターフェイスを介してしきい値違反情報を伝達する IP コア生成時にのみ、最大しきい値と最小しきい値の検出を有効にするチャンネル、およびしきい値を設定可能

ADC コントロール・コア

ADC コントロール・コアは、受信したコマンドに応じて ADC ハード IP を駆動します。また、コントロール・コアは、チャンネルをアルテラモジュラー ADC IP コアから ADC ハード IP ブロックのチャンネルまでマッピングします。

アルテラモジュラー ADC IP コアの ADC コントロール・コアは、ADC ハード IP ブロックの動作に関連する機能のみを実装しています。以下に一例を示します。

- パワーアップ
- パワーダウン
- アナログピンでのアナログからデジタルへの変換
- オンチップ温度センサでのアナログからデジタルへの変換

ADC コントロール・コアは、2つのクロックドメインを備えています。

- ADC コントロール・コアのソフトロジックを駆動するための1つのクロックドメイン
- ADC ハード IP ブロック向けのもう1つのクロックドメイン

ADC コントロール・コアは、ランタイム・コンフィグレーション・オプションを有しません。

図 2-15: ADC コントロール・コアの上位レベルのブロック図

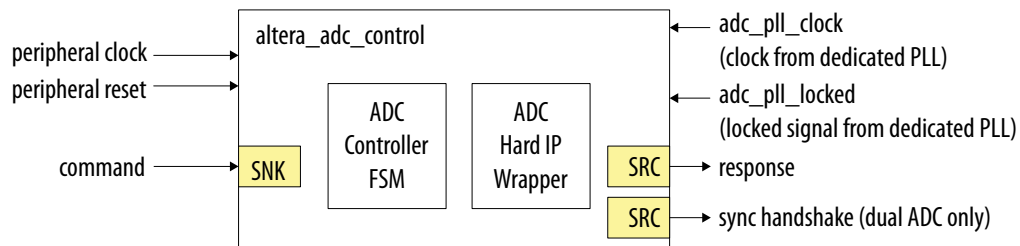


表 2-3: ADC コントロール・コアのバックプレッシャー動作

インターフェイス	バックプレッシャー動作
コマンド	<p>ADC コントロール・コアは、サンプル変換を行う準備ができると ready をアサートします。</p> <p>ADC コントロール・コアは 1 度に 1 つのコマンドのみを受け入れます。コントロール・コアは、現在のコマンドの処理を完了し、次のコマンドを処理する準備ができると ready をリリースします。</p> <p>ADC コントロール・コアが現在のコマンドの確認応答として "cmd_ready=1" をアサートすると、シーケンサー・コアは 2 クロックサイクル以内に次の有効な要求を出力します。次の有効な要求が 2 クロックサイクル以内にこなければ、ADC コントロール・コアはサンプリングを中断します。</p>
応答	<p>ADC コントロール・コアは応答インターフェイスでバックプレッシャーをサポートしていません。有効な要求の最も速い連続的なアサーションは 1μs です。</p>

シーケンサー・コア

シーケンサー・コアは、ADC ハード IP が処理するさまざまな変換シーケンスを制御します。シーケンサー・コア・レジスターを使用して、ランタイム中に変換モードの設定ができます。

アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの設定時に、シーケンサー・コアは最大で 64 の設定可能なスロットを提供します。各シーケンサー・スロット向けに ADC チャンネルを選択することにより、ADC チャンネルをサンプリングするシーケンスを定義することができます。

シーケンサー・コアは、1 つのクロックドメインを備えています。

図 2-16: シーケンサー・コアの上位レベルのブロック図

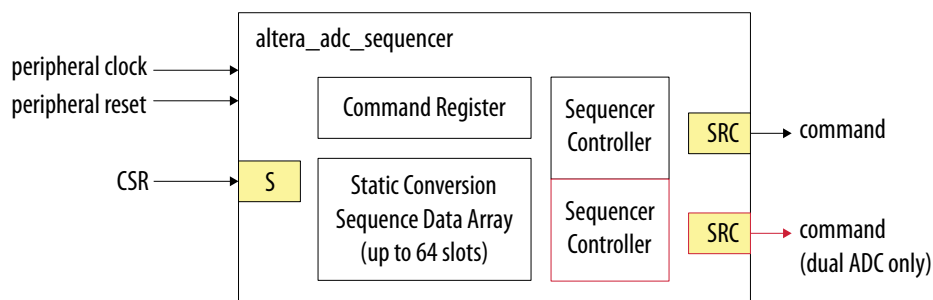


表 2-4: シーケンサー・コアの変換モード

変換モード	概要
シングルサイクルの ADC 変換	<ul style="list-style-type: none"> このモードでは、動作ビットがセットされると最初のスロットに指定したチャンネルから ADC 変換を開始する 変換は、各シーケンサー・スロットに指定したチャンネルの順番に沿って継続する 最後のシーケンサー・スロットでの変換が終了すると変換サイクルは停止し、ADC ハード IP ブロックが実行ビットをクリアする
連続的な ADC 変換	<ul style="list-style-type: none"> このモードでは、動作ビットがセットされると最初のスロットに指定したチャンネルから ADC 変換を開始する 変換は、各シーケンサー・スロットに指定したチャンネルの順番に沿って継続する 最後のシーケンサー・スロットでの変換が終了すると、シーケンスの最初のスロットから再び変換を開始する 連続変換を停止するには実行ビットをクリアする。シーケンサー・コアは最後のスロットに到達するまで変換シーケンスを継続した後に、変換サイクルを停止する

関連情報

- 5-2 ページの [アルテラモジュラー ADC のパラメーター設定](#)
アルテラモジュラー ADC IP コアの設定時に使用可能なパラメーターをリストします。
- 5-9 ページの [アルテラモジュラー・デュアル ADC のパラメーター設定](#)
アルテラモジュラー・デュアル ADC IP コアの設定時に使用可能なパラメーターをリストします。
- 5-22 ページの [シーケンサー・コア・レジスター](#)
シーケンサー・コアのランタイム・コントロール用のレジスターをリストします。

サンプルストレージ・コア

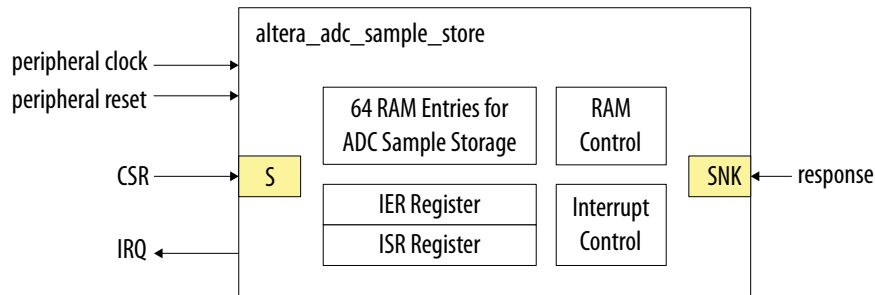
サンプルストレージ・コアは、オンチップ RAM に ADC サンプリング・データを格納します。サンプルストレージ・コアは、ADC チャンネルではなく変換シーケンススロットに基づいて ADC サンプルのデータを格納します。

たとえば、CH1、CH2、CH1、CH3、CH1、そして CH4 のシーケンスでサンプリングする場合、ADC サンプルストレージ・コアはチャンネル・サンプル・データを同じ RAM エントリシーケンスで格納します。つまり、CH1 のサンプルデータは、各シーケンスのスロットごとに、1 番目、3 番目と 5 番目の RAM エントリに入ります。

サンプルブロックの受信を完了すると、サンプルストレージ・コアは IRQ をアサートします。サンプルストレージ・コアの割り込みイネーブルレジスター (IER) を使用して、ランタイム中に IRQ アサーションをディスエーブルすることができます。IRQ アサーションをディスエーブルした場合には、サンプルブロックの受信完了を判別するために、デザインにポーリングメソッドを作成する必要があります。

サンプルストレージ・コアは、1つのクロックドメインを備えています。

図 2-17: サンプルストレージ・コアの上位レベルのブロック図



関連情報

5-23 ページの [サンプルストレージ・コア・レジスター](#)

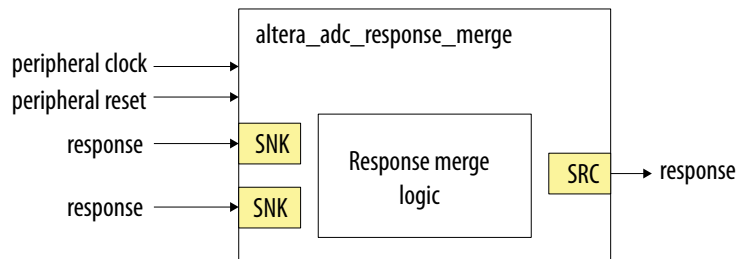
応答マージコア

応答マージコアは、IP コアで 2 つの ADC コントロール・コアから同時に生じる応答を併合します。

以下の設定を用いる場合に、アルテラモジュール・デュアル ADC IP コアは応答マージコアを使用します。

- 標準のシーケンサーと Avalon-MM サンプルストレージの使用
- 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用

図 2-18: 応答マージコアの上位レベルのブロック図



デュアル ADC シンクロナイザ・コア

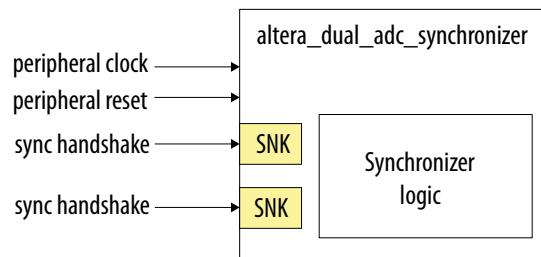
デュアル ADC シンクロナイザ・コアは、アルテラモジュール・デュアル ADC IP コアで 2 つの ADC コントロール・コア間のハンドシェイクの同期を行います。

ADC コントロール・コアのペリフェラル・クロックドメインは ADC PLL クロックドメインと同期していません。ADC ハード IP ブロックからのコントロール・イベントが、ペリフェラル・クロックドメインに同時に生じることもあれば、ADC1 と ADC2 のコントロール・コア間で、片方のペリフェラル・クロックと違うこともあります。両方の ADC ハード IP コアは、Avalon-ST インターフェイスを介してデュアル ADC シンクロナイザ・コアと通信をします。

たとえば、シーケンサーからの新しいコマンド有効イベントが両方の ADC コントロール・コアに同時に到着したとしても、変換信号の終わりが ADC1 と ADC2 でペリフェラル・クロックの 1 サイクルずれて到着するなどです。ADC1 が ADC2 よりも先に、あるいは遅れて変換を開始するといった状態を回避するために、ADC コントロール・コアはデュアル ADC シンクロナイザ・コアを使用してハンドシェイクの同期を行います。

ADC コントロール・コアは、ADC PLL クロックドメインのイベントを検知すると `sync_valid` 信号をアサートします。デュアル ADC シンクロナイザ・コアは、両方の ADC コントロール・コアから `sync_valid` 信号を受信すると `sync_ready` 信号をアサートします。`sync_ready` 信号がアサートされると、両方の ADC コントロール・コアは次の内部ステートに進みます。

図 2-19: デュアル ADC シンクロナイザ・コアの上位レベルのブロック図



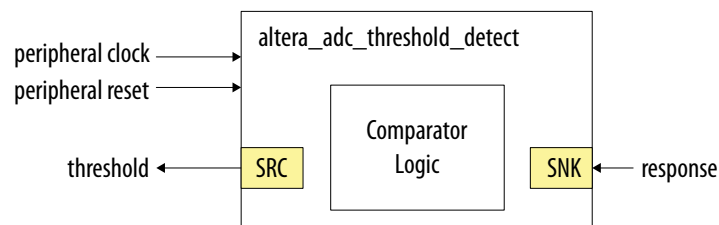
しきい値検出コア

しきい値検出コアは、ADC ブロックが受信するサンプルの値をアルテラモジュール ADC IP コアの設定時に定義したしきい値と比較します。このコアはランタイム・コンフィグレーション・オプションを有しません。

ADC サンプル値が最大または最小しきい値の制限を超過すると、しきい値検出コアは Avalon-ST インターフェイスを介して違反通知を発行します。

しきい値検出コアは、1つのクロックドメインを備えています。

図 2-20: しきい値検出コアの上位レベルのブロック図



アルテラの ADC HAL ドライバー

アルテラの ADC HAL ドライバーは、以下の機能をサポートします。

- ADC チャンネルデータの読み出し
- 割り込みがトリガされると最大または最小しきい値を有効にし、ユーザー・コールバックを返す
- ADC のコントロール（実行、停止、再キャリブレーション）を命令する

関連情報

- [HAL API Reference, Nios II Gen 2 Software Developer's Handbook](#)
HAL API について詳しい情報を提供します。
- 5-24 ページの [Nios II Gen 2 向けの ADC HAL デバイスドライバー](#)

ADC 性能を検証する ADC ツールキット

Quartus Prime ソフトウェアで提供される ADC ツールキットを使用して、MAX 10 ADC ブロックにおけるアナログ信号チェーンの性能を知ることができます。

ADC ツールキットは、アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアのどちらの使用においても、ADC のモニタリングをサポートします。ただし、ADC ツールキットは ADC ブロックを一度に 1 つのみモニタリングすることができます。アルテラモジュラー・デュアル ADC IP コアを使用する場合、IP コアで **Debug Path** のパラメーターを設定して、ADC ツールキットに接続させたい ADC ブロックを選択します。

関連情報

[ADC Toolkit](#)

ADC ツールキットについて詳しい情報を提供します。

ADC ロジック・シミュレーションの出力

ADC ロジック・シミュレーションはデフォルトで各 ADC チャンネルに対し固定した固有値を出力します。ただし、TSD チャンネルを除き各 ADC チャンネルに独自の出力値を指定するオプションを有効にすることもできます。

MAX 10 デバイスの ADC シミュレーション・モデルは、Quartus Prime ソフトウェアがサポートする標準デジタル・ロジック・シミュレーターをサポートします。

関連情報

[Quartus Prime Simulator Support](#)

固定した ADC ロジック・シミュレーションの出力

アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの **Enable user created expected output file** オプションがデフォルトでディスエーブルとなっています。ADC シミュレーションは常にアナログおよび TSD チャンネルを含む各 ADC チャンネルに対し固定した値を出力します。この値はシングルまたはデュアル ADC デバイスによって異なります。

表 2-5: シングル ADC デバイスのシミュレーションにおける固定した予測される出力データ

チャンネル	予測される出力データ (10 進数の値)
CH0	0
CH1	1
CH2	2
CH3	3
CH4	4
CH5	5
CH6	6
CH7	7
CH8	8
CH9	9
CH10	10
CH11	11
CH12	12
CH13	13
CH14	14
CH15	15
CH16	16
TSD	3615

表 2-6: デュアル ADC デバイスのシミュレーションにおける固定した予測される出力データ

チャンネル	予測される出力データ (10 進数の値)	
	ADC1	ADC2
CH0	10	20
CH1	11	21
CH2	12	22
CH3	13	23
CH4	14	24
CH5	15	25
CH6	16	26
CH7	17	27

チャンネル	予測される出力データ (10 進数の値)	
	ADC1	ADC2
CH8	18	28
TSD	3615	— (ADC2 では TSD がない)

ユーザー指定の ADC ロジック・シミュレーションの出力

アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアを設定することにより、TSD チャンネルを除く各 ADC チャンネルに対しユーザー指定の値をロジック・シミュレーションで出力することができます。

この機能を有効にすると、イネーブルした各 ADC チャンネルに対しシミュレーション・スティミュラス入力ファイルを提供する必要があります。ロジック・シミュレーションは各チャンネルの入力ファイルを読み出し、現在のシーケンスの値を出力します。シミュレーションはファイルの終端に到着すると、シーケンスの最初から繰り返します。

スティミュラス入力ファイルは 2 列の番号を含むプレーンテキストファイルです。

- 最初列の番号はシミュレーション・モデルによって無視される。タイムまたはシーケンスなど、希望のいずれの値を使用することができる。実際のデータシーケンスはテキストの行に基づく。
- 2 列目は電圧値を含む。

ADC IP コアは、ユーザーが IP コアのパラメーター設定で指定したリファレンス電圧に基づき、自動的に各電圧値を 12 ビットのデジタル値に変換します。

図 2-21: シミュレーションの出力例：有効にされているチャンネルが 1 つの場合

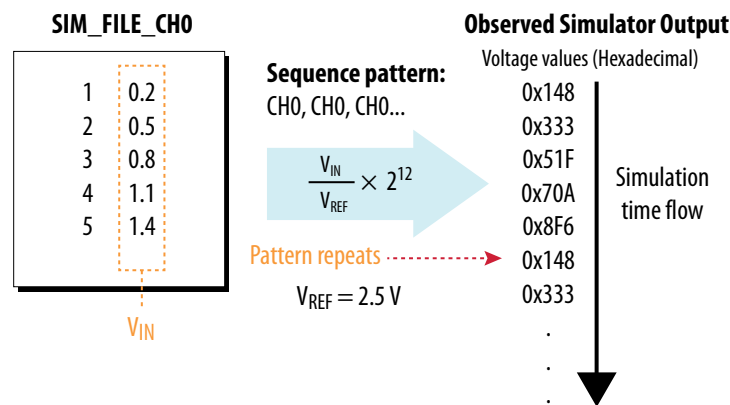
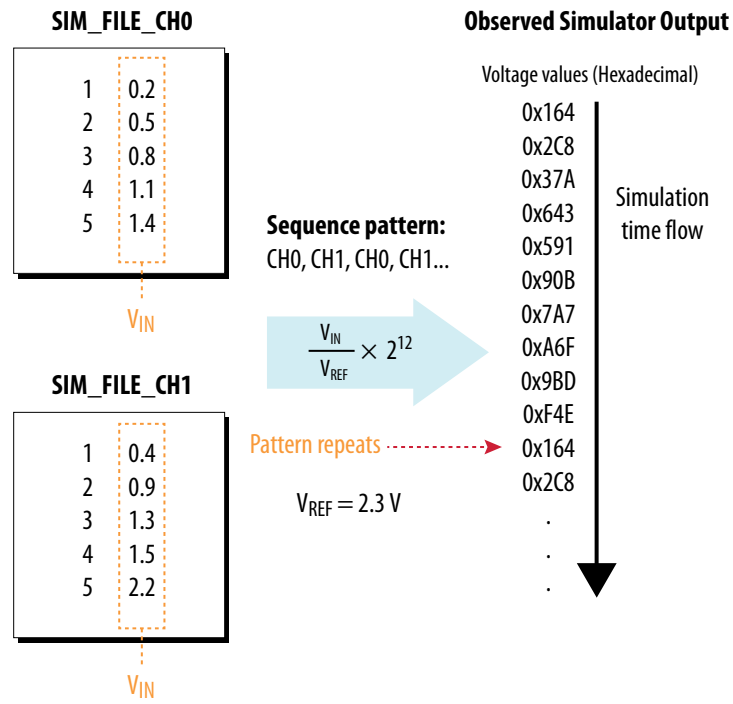


図 2-22: シミュレーションの出力例：有効にされているチャンネルが 2 つの場合



2016.10.31

UG-M10ADC



更新情報



フィードバック

デザインを成功に導くには、何点かの考慮すべき事項があります。特に注記のない限り、これらのデザイン・ガイドラインはこのデバイス・ファミリのすべてのバリエーションに適用されます。

関連情報

1-1 ページの [MAX 10 アナログ-デジタル・コンバーターの概要](#)

ガイドライン：ADC グランドプレーンの接続

ADC および V_{REF} ピンには、 $REFGND$ ピンをアナログ・グランドプレーンの接続として使用します。

関連情報

[MAX 10 FPGA Device Family Pin Connection Guideline](#)

ピン名および接続ガイドラインを含むピンの接続について、詳しい情報を提供します。

ガイドライン：電源ピンと ADC グランド ($REFGND$) のためのボードデザイン

アナログ-デジタル信号に対するクロストーク要件は、-100 dB から 2 GHz までです。電源、グランド、周囲の汎用 I/O のトレースを平行に配線することはできません。パワープレーンが不可能な場合には、電源とグランドのトレースをできるだけ離して配線します。

- IR ドロップとスイッチング・ノイズを軽減するために、ADC 電源とグランドのインピーダンスを可能な限り低くする。電源の最大 DC 抵抗は 1.5 Ω
- ADC に接続される電源は、フェライトビーズと、直列にその後続くグランドへの 10 μF コンデンサーを備えている必要がある。この配置により、外部ノイズがデバイスの電源ピンに混入しないようにする
- デバイスの電源ピンをそれぞれ 0.1 μF のコンデンサーでデカップリングする。コンデンサーは可能な限りデバイスピンの近くに配置する

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

ALTERA
now part of Intel

図 3-1: 電源トレース向けに推奨される RC フィルタ



REFGND 向けにはインピーダンス要件はありません。アルテラは、使用できる最小の抵抗による最も低いインピーダンスを用いることを推奨します。1 Ω 未満の抵抗が標準的です。

アルテラは、REFGND プレーンを、対応するデカップリング・コンデンサーと FPGA に可能な限り近づくように広げて設置することを推奨します。

- 可能であれば、切り欠きのない REFGND プレーンをレイアウトに定義する
- もしくは、「アイランド」から FPGA ピンとデカップリング・コンデンサーまでを可能な限り離れたトレースを使用して REFGND を配線する
- REFGND グランドは ADC V_{REF} とアナログ入力のアナログ・グランドプレーン
- REFGND グランドをフェライトビーズを介してシステム・デジタル・グランドに接続する。フェライトビーズ・オプションを、インピーダンスと周波数の仕様を比較することによって評価することもできる

ガイドライン：アナログ入力のためのボードデザイン

アナログ-デジタル信号に対するクロストーク要件は、-100 dB から 2 GHz までです。アナログ入力信号と I/O トレースや、アナログ入力信号と FPGA I/O 信号トレースを平行に配線することはできません。

- ADCは駆動回路にスイッチ・コンデンサー・ロードを提供する。したがって、パッケージ、トレース、および寄生ドライバーを含む合計 RC 定数は、42.4 ns 以下でなければなりません。これを考慮することにより、入力信号をサンプリング・フェーズ時に十分に安定させる
- 合計サンプリング・レートを下げる場合には、必要な設定時間を以下のように計算できる

$$0.45 \div F_s > 10.62 \times RC \text{ 定数}$$
- 合計 RC マージンを増やすには、アルテラは、ドライバーソースのインピーダンスを可能な限り低くセットすることを推奨する
 - プリスケアラではないチャンネルの場合—1 kΩ 以下
 - プリスケアラのチャンネルの場合—11 Ω 以下

注意: 推奨されたソース・インピーダンスに従わない場合には、THD (Total Harmonic Distortion)、SINAD (Signal-to-Noise and Distortion Ratio)、DNL (Differential Non-Linearity)、および INL (Integral Non-Linearity) などのパラメーターに影響を与える恐れがあります。

トレースの配線

- 可能であれば、スイッチングする I/O トレースを別の層に配線する
- 入力信号トレースのインピーダンス向け要件はないが、入力トレースの DC 抵抗は可能な限り低くあるべき
- REF_{GND} プレーンがない場合には、アナログ入力信号のトレースは可能な限り REF_{GND} に隣接させて配線する
- REF_{GND} を ADC 入力信号のグラウンド・リファレンスとして使用する
- プリスケアラが有効になっている入力信号では、グラウンド・リファレンスを REF_{GND} にセットする。プリスケアラが有効になっている入力信号のグラウンド・リファレンスが共通グラウンド (GND) にセットされていると性能が劣化する

入力ロー・パス・フィルタの選択

- アルテラは、高周波ノイズがエイリアスとなって入力信号に混入することを防ぐために、ロー・パス・フィルタを配置することを推奨する
- ロー・パス・フィルタを可能な限りアナログ入力信号に近づけて配置する
- カットオフ周波数はアナログ入力周波数に依存する。アルテラは、 $F_{\text{cutoff}@-3\text{dB}}$ を入力周波数の 2 倍にすることを推奨する
- アルテラ Web サイトから、ADC フロント・エンド・ボードデザイン・シミュレーション向け ADC 入力の SPICE モデルをダウンロードできる

表 3-1: RC 定数とフィルタ値

以下の表は、RC 定数を数値化し、RC フィルタ値を明確にする方法の参考例です。

$$RC \text{ 定数の合計} = (R_{\text{DRIVER}} + R_{\text{BOARD}} + R_{\text{PACKAGE}} + R_{\text{FILTER}}) \times (C_{\text{DRIVER}} + C_{\text{BOARD}} + C_{\text{PACKAGE}} + C_{\text{FILTER}} + C_{\text{PIN}})$$

ドライバー		ボード		パッケージ		ピン・キャパシタンス (pF)	RC フィルタ		$F_{\text{cutoff @ -3dB}}$ (MHz)	RC 定数の合計 (ns)	整定時間 (ns)
R (Ω)	C (pF)	R (Ω)	C (pF)	R (Ω)	C (pF)		R (Ω)	C (pF)			
5	2	5	17	3	5	6	60	550	4.82	42.34	42.4
10	2	5	17	3	5	6	50	580	5.49	41.48	42.4

図 3-2: パッシブ・ロー・パス・フィルタの例

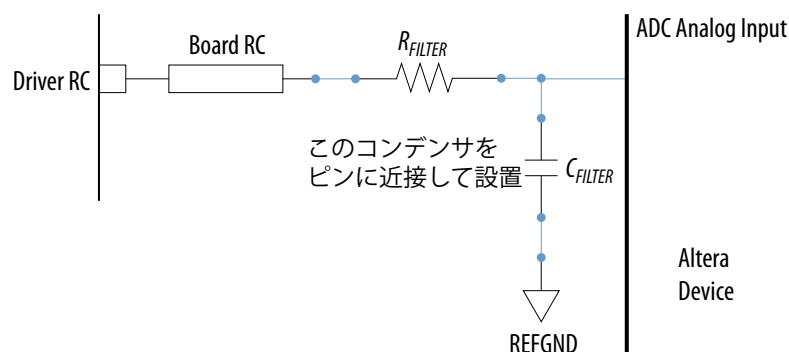
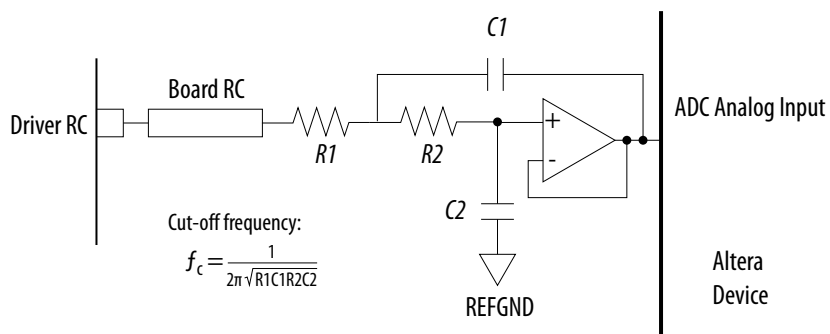


図 3-3: 1 番目のアクティブ・ロー・パス・フィルタの例

以下の図は一例です。n 番目のアクティブ・ロー・パス・フィルタをデザインできます。



関連情報

- 4-5 ページの [アルテラモジュール ADC またはアルテラモジュール・デュアル ADC IP コアの生成向けパラメーター設定](#)
- 5-2 ページの [アルテラモジュール ADC のパラメーター設定](#)
- 5-9 ページの [アルテラモジュール・デュアル ADC のパラメーター設定](#)
- [SPICE Models for Altera Devices](#)
 ここから MAX 10 ADC SPICE モデルをダウンロードします。

ガイドライン：ADC リファレンス電圧ピンのためのボードデザイン

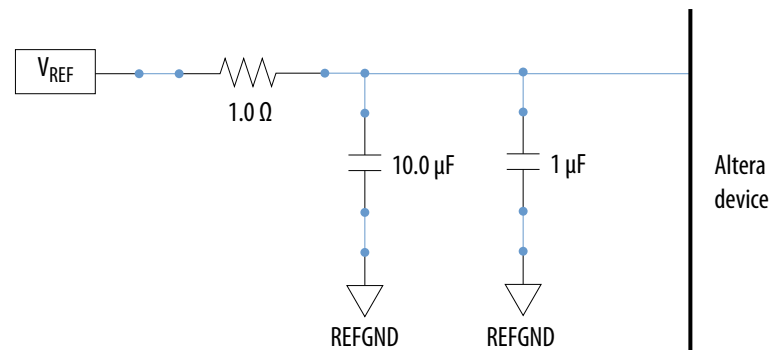
アナログ-デジタル信号に対するクロストーク要件は、-100 dB から 2 GHz までです。アナログ入力信号と I/O トレースを平行に配線することはできません。V_{REF} トレースは可能な限り REF_{GND} に隣接させて配線します。

REF_{GND} プレーンが不可能な場合には、アナログ入力信号を可能な限り REF_{GND} に隣接させて配線します。

各 MAX 10 デバイスには 1 本の ADC リファレンス電圧ピンがあります。このピンはグラウンド・リファレンスとして REF_{GND} を使用します。トレースの抵抗は 0.8 Ω 未満に保ちます。

図 3-4: リファレンス電圧ピン向け RC フィルタのデザイン例

RC フィルタは可能な限りアナログ入力ピンに近づけて配置します。



2016.10.31

UG-M10ADC



更新情報

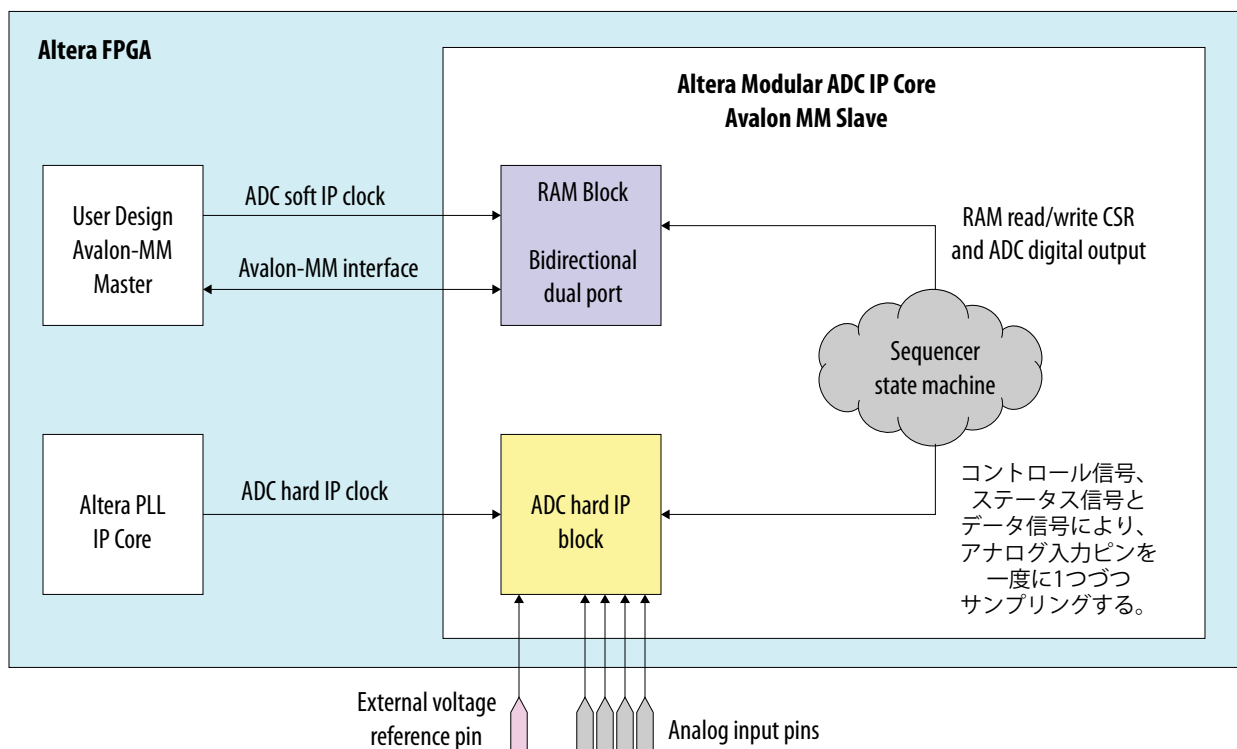


フィードバック

ADC デザインを Quartus Prime ソフトウェアに実装することができます。このソフトウェアには、デザインの作成ならびにコンパイルを行い、かつデバイスをコンフィグレーションするためのツールが入っています。

Quartus Prime ソフトウェアでは、パラメーターをセットアップし、ユーザーのアルテラモジュラー ADC IP コアを生成することができます。ADC の信号性能を把握するには、Quartus Prime ADC ツールキットを使用します。Quartus Prime ソフトウェアおよび ADC ツールキットの使い方について、詳しくは関連情報を参照してください。

図 4-1: MAX 10 ADC ソリューションの上位レベルのブロック図



Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

ALTERA
now part of Intel

関連情報

- 1-1 ページの [MAX 10 アナログ-デジタル・コンバーターの概要](#)
- [Quartus II Handbook, Volume 1: Design and Synthesis](#)
Quartus II ソフトウェアの IP コアの使用方法について詳しい情報を提供します。
- [Introduction to Altera IP Cores](#)
パラメータ化、アップグレード、IP コアのシミュレーションを含むすべてのアルテラ FPGA IP コアに関する基本的な情報を提供します。
- [Creating Version-Independent IP and Qsys Simulation Scripts](#)
ソフトウェアあるいは IP のバージョンのアップグレードのためのマニュアルでの更新を必要としないシミュレーション・スクリプトの作成について詳しい情報を提供します。
- [Project Management Best Practices](#)
プロジェクトおよび IP ファイルの効果的な管理および移植性のためのガイドラインを提供します。
- [ADC Toolkit](#)
ADC ツールキットについて詳しい情報を提供します。
- 2-24 ページの [ADC 性能を検証する ADC ツールキット](#)

MAX 10 ADC デザインの作成

ADC デザインを作成するには、ALTPLL とアルテラモジュラー ADC IP コアをカスタマイズし、生成する必要があります。

ALTPLL IP コアは、アルテラモジュラー ADC IP コアにクロックを供給します。

1. ALTPLL IP コアをカスタマイズし、生成します。
2. アルテラモジュラー ADC IP コアをカスタマイズし、生成します。
3. ALTPLL IP コアをアルテラモジュラー ADC IP コアに接続します。
4. ADC を開始するための、ADC Avalon スレーブ・インターフェイスを作成します。

関連情報

- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-5 ページの [アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの生成向けパラメーター設定](#)
- 4-4 ページの [ALTPLL IP コアの生成向けパラメーター設定](#)
- 4-9 ページの [ADC デザインの完成](#)
- [MAX 10 入門](#)
- [MAX 10 オンライン・トレーニング](#)
- [MAX 10 トレーニング・ビデオ](#)
- [How to Create ADC Design in MAX 10 Device Using Qsys Tool](#)
説明ビデオを提供します。Quartus Prime ソフトウェアで、Qsys システム統合ツールを使用して MAX 10 デバイスに ADC デザインを作成する方法、および ADC ツールキットを使用して測定済みアナログ信号を表示する方法を説明します。

- [How to Create Simultaneous Measurement with MAX 10 ADC, Part 1](#)
MAX 10 アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアの違いについて説明する、説明ビデオシリーズの第一部です。また、このビデオでは、簡単な ADC 同時測定の実成方法、ならびにアナログ信号のデジタルコード出力を測定するために信号タップを配置する方法についても説明します。
- [How to Create Simultaneous Measurement with MAX 10 ADC, Part 2](#)
MAX 10 アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアの違いについて説明する、説明ビデオシリーズの第二部です。また、このビデオでは、簡単な ADC 同時測定の実成方法、ならびにアナログ信号のデジタルコード出力を測定するために信号タップを配置する方法についても説明します。

アルテラモジュラー ADC IP コアのカスタマイズと生成

アルテラは、アルテラモジュラー ADC IP コア向けに、ADC HAL ドライバーをサポートする Nios II プロセッサの使用を推奨します。

1. Quartus Prime ソフトウェアで新しいプロジェクトを作成します。
プロジェクトの作成時に、1つまたは2つの ADC ブロックを備えるデバイスを選択します。
2. Quartus Prime ソフトウェアで、**Tools > Qsys** を選択します。
3. **Qsys** のウィンドウで、**File > New System** を選択します。
クロックソース・ブロックが自動的に **System Contents** タブの下に追加されます。
4. **System Contents** タブでクロック名をダブルクリックします。
5. クロックソースの **Parameters** タブで、**Clock frequency** を設定します。
6. **Qsys** ウィンドウの **IP Catalog** タブで、**Processors and Peripherals > Peripherals > アルテラモジュラー ADC** をダブルクリックします。
System Contents タブにアルテラモジュラー ADC が表示され、アルテラモジュラー ADC パラメーター・エディターが開きます。
7. アルテラモジュラー ADC パラメーター・エディターで、使用するアプリケーションに応じてパラメーター設定とチャンネル・サンプリング・シーケンスを指定します。
8. **Qsys** ウィンドウの **System Contents** タブで、`adc_pll_clock` と `adc_pll_locked` インタフェースの **Export** のカラムをダブルクリックし、これらをエクスポートします。
9. `clock`、`reset_sink`、`sample_store_csr`、`sample_store_irq` 信号を接続します。オプションで、アルテラ ADC HAL ドライバーを使用する ADC 作業システムを形成するための、Nios II プロセッサ、オンチップメモリ、および JTAG UART IP コアを使用することもできます。
10. **Qsys** のウィンドウで、**File > Save** を選択します。

HDL コードの例をコピーして、ADC システムのインスタンスを宣言することができます。**Qsys** のウィンドウで **Generate > HDL Example** を選択します。

関連情報

- 4-2 ページの [MAX 10 ADC デザインの実成](#)
- 4-4 ページの [ALTPLL IP コアの生成向けパラメーター設定](#)
- 4-5 ページの [アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの生成向けパラメーター設定](#)

- 2-13 ページの [コンフィグレーション 1：標準のシーケンサーと Avalon-MM サンプルストレージを使用](#)
- 2-14 ページの [コンフィグレーション 2：標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用](#)
- 2-16 ページの [コンフィグレーション 3：標準のシーケンサーと外部サンプルストレージを使用](#)
- 2-17 ページの [コンフィグレーション 4：ADC コントロール・コアのみを使用](#)
- 5-20 ページの [アルテラモジュール ADC とアルテラモジュール・デュアル ADC の ADC PLL クロック・インターフェイス](#)
- 5-22 ページの [アルテラモジュール ADC とアルテラモジュール・デュアル ADC の ADC PLL ロック・インターフェイス](#)

ALTPLL IP コアの生成向けパラメーター設定

ALTPLL IP コアのパラメーター・エディターを通して、デザインに必要な設定を指定します。以下の表にリストされた全てのオプションを指定した後に、HDL ファイルの生成、およびオプションでシミュレーション・ファイルの生成ができます。

ALTPLL のすべてのパラメーターについて、詳しくは関連情報を参照してください。

表 4-1: ALTPLL パラメーターの設定

PLL を ADC 向けに生成するには、以下の設定を用います。

タブ	パラメーター	設定
Parameter Settings > General/Modes	What is the frequency of the inclk0 input?	PLL への入力周波数を指定します。
Parameter Settings > Inputs/Lock	Create an 'areset' input to asynchronously reset the PLL	このオプションをオフにします。
	Create 'locked' output	このオプションをオンにします。この信号は、アルテラモジュール ADC またはアルテラモジュール・デュアル ADC IP コアの <code>adc_pll_locked</code> ポートに接続する必要があります。

タブ	パラメーター	設定
Output Clocks > clk c0	Use this clock	このオプションをオンにします。
	Enter output clock frequency	2、10、20、40、または 80 MHz の出力周波数を指定します。これらの周波数のいずれかを指定できます。ADC ブロックは内部的に 1 MHz で動作しますが、2、10、20、40、あるいは 80 の係数でクロックをさらに分周するクロック分周器を含んでいます。 これと同じ周波数の値をアルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアで使用します。この信号は、アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの <code>adc_pll_clock</code> ポートに接続する必要があります。 ADC サンプリング・レートによってサポートするクロック周波数が異なります。有効なサンプリング・レートとクロック周波数の組み合わせについては、関連情報を参照してください。

関連情報

- 4-2 ページの [MAX 10 ADC デザインの作成](#)
- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-9 ページの [ADC デザインの完成](#)
- [MAX 10 のクロック・ネットワークおよび PLL ユーザーガイド](#)
- 5-20 ページの [アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の ADC PLL クロック・インターフェイス](#)
- 5-22 ページの [アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の ADC PLL ロック・インターフェイス](#)
- 5-14 ページの [有効な ADC サンプルレートと入力クロックの組み合わせ](#)

アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの生成向けパラメーター設定

アルテラモジュラー ADC IP コアのパラメーター・エディターを通して、デザインに必要な設定を指定します。以下の表にリストされた全てのオプションを指定した後に、HDL ファイルの生成、およびオプションでシミュレーション・ファイルの生成ができます。

アルテラは、生成されたファイルをデザイン・ファイル・ディレクトリーに保存すること（デフォルト設定）を推奨します。

アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC の各パラメーターについて、詳しくは関連情報を参照してください。

向けパラメーター設定

表 4-2: General グループのパラメーター設定

パラメーター	設定
Core Variant	アルテラモジュラー ADC IP コアには 4 つのコンフィグレーション・タイプがあります。要件を満たすコアバリエーションを選択します。詳しくは、関連情報を参照してください。
Debug Path	このパラメーターをオンにすると、選択したコアバリエーションのデバッグパスが有効となります。ADC の性能をモニタリングするには、ADC ツールキットを使用できます。
Generate IP for which ADCs of this device?	2 つの ADC ブロックを備えるデバイス向けに、生成する IP コアに用いる ADC ブロックを選択します。2 つの ADC ブロックの間には機能の違いがあります。温度センサは 1 つ目の ADC ブロックでのみ使用できます。また、2 つの ADC ブロックにはチャンネル数の違いもあります。
ADC Sample Rate	ADC 向けの定義済みサンプリング・レートを 25 kHz ~ 1 Mhz から選択します。サンプリング・レートが低いほど、ADC のフロント・エンド・ドライバ回路のデザインにおいて、より高い柔軟性を持たせることが可能となります。例えば、サンプリング・レートを下げることで、フィルタデザインにより広い安定時間のマージンが得られます。 選択したサンプリング・レートは、利用可能な ADC 入力クロック周波数に影響します。 サンプリング・レートおよび要求される安定時間について、詳しくは関連情報を参照してください。
ADC Input Clock	アルテラモジュラー ADC IP コアを駆動する ALTPLL IP コアに対して設定した同一の周波数を選択します。ALTPLL IP コアを設定する場合、ADC サンプリング・レートにサポートされるクロック周波数を指定します。詳しくは関連情報を参照してください。
Reference Voltage Source	外部または内部どちらのリファレンス電圧を使用するかを選択します。 V_{REF} ピンは 1 本のみです。デュアル ADC ブロックでは、両方の ADC 向けに 1 つの外部 V_{REF} ソースを使用するか、または、1 つの ADC 向けに外部 V_{REF} を、もう 1 つの ADC 向けに内部 V_{REF} を使用します。
External Reference Voltage	デザインに外部 V_{REF} ソースを使用する場合に、 V_{REF} レベルを指定します。

パラメーター	設定
Enable user created expected output file	独自のスティミュラス入力ファイルを使用して ADC 出力データをシミュレーションする場合に、この機能をイネーブルし、特定の ADC チャンネルに対しファイルを指定します。ユーザー指定の ADC ロジック・シミュレーション出力について、詳しくは関連情報を参照してください。

表 4-3: Channels グループのパラメーター設定

有効なすべてのチャンネルのタブを通り抜け、使用する必要があるチャンネルをオンにします。それぞれのチャンネル（ならびに TSD）タブでこの表の設定を指定します。

パラメーター	設定
Use Channel 0 (専用アナログ入力ピン - ANAIN)	このオプションは、 CH0 タブで使用できます。 CH0 は専用アナログ入力チャンネルです。専用アナログ入力を使用する場合に、このオプションをオンにします。
User created expected output file	独自のスティミュラス入力ファイルを使用して出力データをシミュレーションするためにこの機能をイネーブルする場合、 Browse をクリックして、各イネーブルされたチャンネルに対しファイルを選択します。 このオプションは TSD タブを除き、すべてのチャンネルタブで使用可能です。
Use Channel N	オンまたはオフにする兼用 ADC チャンネルを選択します。シングル ADC デバイスには 16 のチャンネル (CH1~CH16) があり、デュアル ADC デバイスの各 ADC ブロックには 8 つのチャンネル (CH1~CH8) があります。
Use on-chip TSD	このオプションは、 TSD タブで利用できます。TSD チャンネルは温度検知チャンネルです。 IP コアが ADC ブロックに内蔵された温度センサを読み出す必要がある場合に、このオプションをオンにします。 ADC ブロックのサンプリング・レートは、温度測定結果を読み出す際には 50 kHz まで落とします。温度の読み出しが完了すると、ADC サンプリング・レートは 1MHz に戻ります。 アルテラモジュラー・デュアル ADC IP コアでは、ADC1 のシーケンサー・スロットを TSD に指定した場合には、ADC2 の同じ番号のシーケンサー・スロットを NULL に指定します。
Enable Maximum threshold for Channel N	チャンネルの最大しきい値を設定する場合に、このオプションをオンにします。

パラメーター	設定
Enter Maximum Threshold for Channel <i>N</i>	チャンネルの最大しきい値電圧を入力します。IP コアは、サンプリングされたデータが指定したしきい値を上回っていることを示すための、しきい値違反通知信号を生成します。
Enable Maximum threshold for on-chip TSD (TSD タブ)	温度センサ向けにチャンネルの最高しきい値温度を摂氏で入力します。IP コアは、サンプリングされた温度が指定した温度を超えていることを示すための、しきい値違反通知信号を生成します。
Enable Minimum threshold for Channel <i>N</i>	チャンネルの最小しきい値を設定する場合に、このオプションをオンにします。
Enter Minimum Threshold for Channel <i>N</i>	チャンネルの最小しきい値電圧を入力します。IP コアは、サンプリングされたデータが指定したしきい値を下回っていることを示すための、しきい値違反通知信号を生成します。
Enter Minimum Threshold for on-chip TSD (TSD タブ)	温度センサ向けにチャンネルの最高しきい値温度を摂氏で入力します。IP コアは、サンプリングされた温度が指定した温度を下回っていることを示すための、しきい値違反通知信号を生成します。

表 4-4: Sequencer グループのパラメーター設定

パラメーター	設定
Number of slot used	変換に使用するチャンネル数を選択します。この選択に基づいて、パラメーター・エディターは、 Conversion Sequence Channels に使用可能なスロット数を表示します。
Slot <i>N</i>	使用可能な各スロットに対して、シーケンスでサンプリングするチャンネルを選択します。使用可能なチャンネルは、 Channels パラメーター・グループでオンにしたチャンネルに応じて異なります。 チャンネルをオンにしても、そのチャンネルをいずれのシーケンサー・スロットでも選択しなかった場合には、選択されていないチャンネルは ADC サンプリング・シーケンス時に測定されません。 ADC ブロックは、指定したシーケンスで測定結果をサンプリングします。シーケンスの最後のスロットに到達すると、ADC ブロックは最初のスロットからサンプリングを繰り返します。

関連情報

- 4-2 ページの [MAX 10 ADC デザインの作成](#)
- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-9 ページの [ADC デザインの完成](#)
- 5-2 ページの [アルテラモジュラー ADC のパラメーター設定](#)

- 5-9 ページの [アルテラモジュラー・デュアル ADC のパラメーター設定](#)
- 5-6 ページの [アルテラモジュラー ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [有効な ADC サンプルレートと入力クロックの組み合わせ](#)
- 2-26 ページの [ユーザー指定の ADC ロジック・シミュレーションの出力](#)
ユーザー独自のスティミュラス入力ファイルで ADC 出力データをシミュレーションする方法について詳しい情報を提供します。
- 3-2 ページの [ガイドライン：アナログ入力のためのボードデザイン](#)
サンプリング・レートと整定時間の詳細情報を提供します。

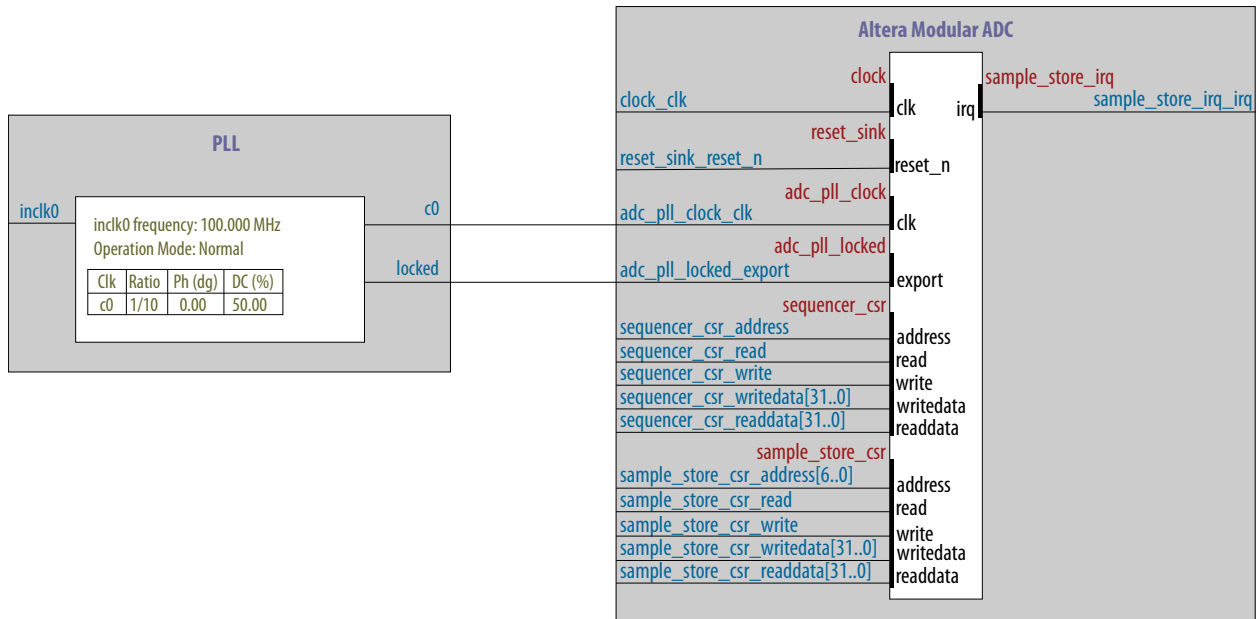
ADC デザインの完成

ADC デザインには、アルテラモジュラー ADC IP コアを駆動する ALTPLL IP コアが必要です。

はじめる前に

関連情報の設定で ALTPLL とアルテラモジュラー ADC IP コアを生成します。

図 4-2: 基本的な MAX 10 ADC デザイン



1. デザインを、上記の図に示すように作成します。
2. c0 信号を ALTPLL IP コアからアルテラモジュラー ADC IP コアの ADC _pll_clock_clk ポートに接続します。
3. locked 信号を ALTPLL IP コアからアルテラモジュラー ADC IP コアの ADC _pll_locked_export ポートに接続します。
4. ADC を開始するための、ADC Avalon スレーブ・インターフェイスを作成します。

関連情報

- 4-2 ページの [MAX 10 ADC デザインの作成](#)
- 4-4 ページの [ALTPLL IP コアの生成向けパラメーター設定](#)
- 4-5 ページの [アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの生成向けパラメーター設定](#)
- 2-13 ページの [コンフィグレーション 1：標準のシーケンサーと Avalon-MM サンプルストレージを使用](#)
- 2-14 ページの [コンフィグレーション 2：標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用](#)
- 2-16 ページの [コンフィグレーション 3：標準のシーケンサーと外部サンプルストレージを使用](#)
- 2-17 ページの [コンフィグレーション 4：ADC コントロール・コアのみを使用](#)

アルテラモジュール ADC とアルテラモジュール・デュアル ADC IP コアの参考資料

5

2016.10.31

UG-M10ADC



更新情報



フィードバック

アルテラモジュール ADC またはアルテラモジュール・デュアル ADC IP コアは、ADC ハード IP ブロック向けのソフト・コントローラーです。オンチップ ADC ブロックをインスタンス化するために、ソフト IP を生成することができます。この IP コアを用いて、ADC のコンフィグレーションおよび、ADC ハード IP ブロックとの下位レベル・ハンドシェイクの抽象化をすることができます。

Quartus Prime ソフトウェアは、パラメーター・エディターで設定したパラメーター・オプションに基づいてカスタマイズしたアルテラモジュール ADC またはアルテラモジュール・デュアル ADC IP コアを生成します。

関連情報

- 1-1 ページの [MAX 10 アナログ-デジタル・コンバーターの概要](#)
- 2-11 ページの [アルテラモジュール ADC とアルテラモジュール・デュアル ADC IP コア](#)
- 2-12 ページの [アルテラモジュール ADC IP コアのコンフィグレーション・タイプ](#)

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

アルテラモジュラー ADC のパラメーター設定

General、Channels と、Sequencer の、3つのオプションのグループがあります。

表 5-1: アルテラモジュラー ADC の General パラメーター

パラメーター	許容値	概要
Core Variant	<ul style="list-style-type: none"> 標準のシーケンサーと Avalon-MM サンプルストレージ 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出 標準のシーケンサーと外部サンプルストレージ ADC コントロール・コアのみ 	アルテラモジュラー ADC IP コアのコンフィグレーションを選択します。
Debug Path	<ul style="list-style-type: none"> 無効 有効 	デバッグパスをイネーブルします。
Generate IP for which ADCs of this device?	<ul style="list-style-type: none"> 最初の ADC 2 番目の ADC 	2つの ADC ブロックを備えるデバイス向けに、IP コアを使用してインスタンス化する ADC ブロックを指定します。
ADC Sample Rate	25 kHz、50 kHz、100 kHz、200 kHz、250 kHz、500 kHz および 1 MHz	ADC サンプリング・レートを指定します。選択したサンプリング・レートは、利用可能な ADC 入力クロック周波数に影響します。 サンプリング・レートおよび要求される整定時間について、詳しくは関連情報を参照してください。

パラメーター	許容値	概要
ADC Input Clock	2 MHz、10 MHz、20 MHz、40 MHz と 80 MHz	<p>ADC コアクロックに供給する PLL クロック・カウンタ・ゼロ (c0) クロックの周波数を指定します。</p> <ul style="list-style-type: none"> リストされた許容値のうちの 1 つの周波数を出力するためにインスタンス化した、最初の ALTPLL IP コアからの c0 の設定をする必要がある ALTPLL c0 出力信号はアルテラモジュラー ADC の clk_in_pll_c0 入力信号に接続する <p>有効な ADC サンプリング・レートと入力クロック周波数の組み合わせについては、関連情報を参照してください。</p>
Reference Voltage Source	<ul style="list-style-type: none"> 外部 内部 	<p>ADC 向けの電圧リファレンスのソースを指定します。</p> <ul style="list-style-type: none"> 外部—ADC_VREF ピンを電圧リファレンスのソースとして使用する 内部—オンチップの 2.5 V (電圧調整デバイスでは 3.0/3.3 V) を電圧リファレンスのソースとして使用する
External Reference Voltage	<ul style="list-style-type: none"> デュアル電源デバイスでは最大 2.5 V シングル電源デバイスでは最大 3.63 V 	<p>ADC のリファレンス電圧として使用する場合に ADC_VREF ピンの電圧を指定します。</p>
Enable user created expected output file	<ul style="list-style-type: none"> 有効 無効 	<p>ADC ロジック・シミュレーション向けの出力データのソースを指定します。</p> <ul style="list-style-type: none"> 有効にされる場合—TSD チャンネルを除き、各 ADC チャンネルに提供するスティミュラス入力ファイルを使用して、出力データをシミュレーションする 無効にされる場合—すべての ADC チャンネル向けの固定した予測される出力データを使用する。これはデフォルトの設定である <p>ユーザー指定の ADC ロジック・シミュレーション出力について、詳しくは関連情報を参照してください。</p>

表 5-2: アルテラモジュラー ADC の Channels パラメーター

このグループのパラメーターは、チャンネルごとに1つずつ、ならびに TSD 向けに1つの複数のタブに分割されています。

パラメーター	許容値	概要
Use Channel 0 (専用アナログ入力ピン - ANAIN) (CH0 タブ)	<ul style="list-style-type: none"> On Off 	専用アナログ入力ピンをイネーブルします。
User created expected output file	—	<p>チャンネルの出力データをシミュレーションするために、ユーザーが作成したステイミュラス入力ファイルを指定します。</p> <p>Enable user created expected output file を選択すると、このオプションは TSD を除く、有効にされた各チャンネルにおいて使用可能です。</p>
Use Channel N (各チャンネルのタブ)	<ul style="list-style-type: none"> On Off 	<p>兼用アナログ入力をイネーブルします。N は、</p> <ul style="list-style-type: none"> シングル ADC デバイスではチャンネル 1~16 デュアル ADC デバイスではチャンネル 1~8
Use on-chip TSD (TSD タブ)	<ul style="list-style-type: none"> On Off 	<p>ADC に内蔵された温度センサの読み出しを IP コアに指定します。</p> <p>このオプションをオンにすると、温度測定結果を読み出す際には ADC のサンプリング・レートは最大 50 kHz です。温度の読み出しが完了すると、ADC サンプリング・レートは最大 1 MHz です。</p>
Enable Maximum threshold for Channel N (各チャンネルのタブ)	<ul style="list-style-type: none"> On Off 	<p>チャンネルの最大しきい値の機能を有効にします。</p> <p>このオプションは、Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。</p>
Enable Maximum threshold for on-chip TSD (TSD タブ)	<ul style="list-style-type: none"> On Off 	<p>TSD の最大しきい値の機能を有効にします。</p> <p>このオプションは、Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。</p>

パラメーター	許容値	概要
Enter Maximum Threshold for Channel <i>N</i> (チャンネル 0 を含む各チャンネルのタブ)	リファレンス電圧に応じて異なる	最大しきい値を電圧で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。
Enter Maximum Threshold for on-chip TSD (TSD タブ)	—	最大しきい値を摂氏で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。
Enable Minimum threshold for Channel <i>N</i> (チャンネル 0 を含む各チャンネルのタブ)	<ul style="list-style-type: none"> On Off 	チャンネルの最小しきい値の機能を有効にします。 このオプションは、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。
Enable Minimum threshold for on-chip TSD (TSD タブ)	<ul style="list-style-type: none"> On Off 	TSD の最小しきい値の機能を有効にします。 このオプションは、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。
Enter Minimum Threshold for Channel <i>N</i> (チャンネル 0 を含む各チャンネルのタブ)	リファレンス電圧に応じて異なる	最小しきい値を電圧で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。
Enter Minimum Threshold for on-chip TSD (TSD タブ)	—	最小しきい値を摂氏で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。
Enable Prescaler for Channel <i>N</i>	<ul style="list-style-type: none"> On Off 	プリスケイラ機能をイネーブルします。 <i>N</i> は、 <ul style="list-style-type: none"> シングル ADC デバイスではチャンネル 8 と 16 (使用可能であれば) デュアル ADC デバイスでは ADC1 または ADC2 のチャンネル 8

表 5-3: アルテラモジュラー ADC の Sequencer パラメーター

パラメーター	許容値	概要
Number of slot used	1~64	変換シーケンスに使用するスロットの数を指定します。 ここで選択したスロット数に応じて、 Conversion Sequence Channels セクションが有効なスロットを表示します。
Slot N	有効にされたチャンネルの番号 (CH N)	シーケンスのスロットに使用する、イネーブルされた ADC チャンネルを指定します。 この選択オプションには、 Channels パラメーター・グループでオンにした ADC チャンネルがリストされます。

関連情報

- 2-20 ページの [シーケンサー・コア](#)
- 2-13 ページの [コンフィグレーション 1: 標準のシーケンサーと Avalon-MM サンプルストレージを使用](#)
- 2-14 ページの [コンフィグレーション 2: 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用](#)
- 2-16 ページの [コンフィグレーション 3: 標準のシーケンサーと外部サンプルストレージを使用](#)
- 2-17 ページの [コンフィグレーション 4: ADC コントロール・コアのみを使用](#)
- 5-6 ページの [アルテラモジュラー ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [有効な ADC サンプルレートと入力クロックの組み合わせ](#)
- 2-26 ページの [ユーザー指定の ADC ロジック・シミュレーションの出力](#)
ユーザー独自のスティミュラス入力ファイルで ADC 出力データをシミュレーションする方法について詳しい情報を提供します。
- 3-2 ページの [ガイドライン: アナログ入力のためのボードデザイン](#)
サンプリング・レートと整定時間の詳細情報を提供します。

アルテラモジュラー ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング

アルテラモジュラー ADC IP コアの各 ADC チャンネルは、シングルおよびデュアル ADC デバイスの異なるデバイスピン名と対応しています。

表 5-4: シングル ADC デバイス向けアルテラモジュラー ADC IP コアのチャンネルからピンへのマッピング

チャンネル名	ピン名
CH0	ANAIN1
CH1	ADC1IN1
CH2	ADC1IN2
CH3	ADC1IN3
CH4	ADC1IN4
CH5	ADC1IN5
CH6	ADC1IN6
CH7	ADC1IN7
CH8	ADC1IN8
CH9	ADC1IN9
CH10	ADC1IN10
CH11	ADC1IN11
CH12	ADC1IN12
CH13	ADC1IN13
CH14	ADC1IN14
CH15	ADC1IN15
CH16	ADC1IN16

表 5-5: デュアル ADC デバイス向けアルテラモジュラー ADC IP コアのチャンネルからピンへのマッピング

ADC ブロック	チャンネル名	ピン名
1 番目の ADC	CH0	ANAIN1
	CH1	ADC1IN1
	CH2	ADC1IN2
	CH3	ADC1IN3
	CH4	ADC1IN4
	CH5	ADC1IN5
	CH6	ADC1IN6
	CH7	ADC1IN7
	CH8	ADC1IN8

ADC ブロック	チャンネル名	ピン名
2 番目の ADC	CH0	ANAIN2
	CH1	ADC2IN1
	CH2	ADC2IN2
	CH3	ADC2IN3
	CH4	ADC2IN4
	CH5	ADC2IN5
	CH6	ADC2IN6
	CH7	ADC2IN7
	CH8	ADC2IN8

アルテラモジュラー・デュアル ADC のパラメーター設定

General、Channels と、Sequencer の、3つのオプションのグループがあります。

表 5-6: アルテラモジュラー・デュアル ADC の General パラメーター

パラメーター	許容値	概要
Core Variant	<ul style="list-style-type: none">標準のシーケンサーと Avalon-MM サンプルストレージ標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出標準のシーケンサーと外部サンプルストレージADC コントロール・コアのみ	アルテラモジュラー・デュアル ADC IP コアのコンフィグレーションを選択します。
ADC Sample Rate	25 kHz、50 kHz、100 kHz、200 kHz、250 kHz、500 kHz および 1 MHz	ADC サンプルング・レートを指定します。選択したサンプルング・レートは、利用可能な ADC 入力クロック周波数に影響します。 サンプルング・レートおよび要求される整定時間について、詳しくは関連情報を参照してください。

パラメーター	許容値	概要
ADC Input Clock	2 MHz、10 MHz、20 MHz、40 MHz と 80 MHz	<p>ADC コアクロックに供給する PLL クロック・カウンタ・ゼロ (c0) クロックの周波数を指定します。</p> <ul style="list-style-type: none"> リストされた許容値のうちの 1 つの周波数を出力するためにインスタンス化した、最初の ALTPLL IP コアからの c0 の設定をする必要がある ALTPLL c0 出力信号はアルテラモジュラー・デュアル ADC の clk_in_pll_c0 入力信号に接続する <p>有効な ADC サンプリング・レートと入力クロック周波数の組み合わせについては、関連情報を参照してください。</p>
Reference Voltage (ADC1 または ADC2)	<ul style="list-style-type: none"> 外部 内部 	<p>ADC 向けの電圧リファレンスのソースを指定します。</p> <ul style="list-style-type: none"> 外部—ADC_VREF ピンを電圧リファレンスのソースとして使用する 内部—オンチップの 2.5 V (電圧調整デバイスでは 3.0/3.3 V) を電圧リファレンスのソースとして使用する
External Reference Voltage	<ul style="list-style-type: none"> デュアル電源デバイスでは最大 2.5 V シングル電源デバイスでは最大 3.63 V 	<p>ADC のリファレンス電圧として使用する場合に ADC_VREF ピンの電圧を指定します。</p>
Enable user created expected output file	<ul style="list-style-type: none"> 有効 無効 	<p>ADC ロジック・シミュレーション向けの出力データのソースを指定します。</p> <ul style="list-style-type: none"> 有効にされる場合—TSD チャンネルを除き、各 ADC チャンネルに提供するスティミュラス入力ファイルを使用して、出力データをシミュレーションする 無効にされる場合—すべての ADC チャンネル向けの固定した予測される出力データを使用する。これはデフォルトの設定である <p>ユーザー指定の ADC ロジック・シミュレーション出力について、詳しくは関連情報を参照してください。</p>

表 5-7: アルテラモジュラー・デュアル ADC の Channels パラメーター

このパラメーターのグループは、ADC1 と ADC2 の 2 つのメインタブに分割されています。各タブには複数のチャンネルタブがあり、各チャンネル向けに 1 つと、ADC1 の TSD 向けに 1 つのタブがあります。

パラメーター	許容値	概要
Use Channel 0 or 9 (専用アナログ入力ピン - ANAIN) (ADC1 では CH0 タブ または ADC2 では CH9 タブ)	<ul style="list-style-type: none"> • On • Off 	ADC1 または ADC2 の専用アナログ入力ピンをイネーブルします。
User created expected output file	—	<p>チャンネルの出力データをシミュレーションするために、ユーザーが作成したステイミュラス入力ファイルを指定します。</p> <p>Enable user created expected output file を選択すると、このオプションは TSD を除く、有効にされた各チャンネルにおいて使用可能です。</p>
Use Channel N (各チャンネルのタブ)	<ul style="list-style-type: none"> • On • Off 	<p>兼用アナログ入力をイネーブルします。N は、</p> <ul style="list-style-type: none"> • ADC1 ではチャンネル 1~8 • ADC2 ではチャンネル 10~17
Use on-chip TSD (ADC1 の TSD タブのみ)	<ul style="list-style-type: none"> • On • Off 	<p>ADC1 に内蔵された温度センサの読み出しを IP コアに指定します。</p> <p>このオプションをオンにすると、温度測定結果を読み出す際には ADC のサンプリング・レートは最大 50 kHz です。温度の読み出しが完了すると、ADC サンプリング・レートは最大 1 MHz です。</p> <p>注意: ADC1 のシーケンサー・スロットに TSD を選択した場合には、ADC2 の同じ番号のシーケンサー・スロットに NULL を選択します。</p>
Enable Maximum threshold for Channel N (各チャンネルのタブ)	<ul style="list-style-type: none"> • On • Off 	<p>チャンネルの最大しきい値の機能を有効にします。</p> <p>このオプションは、Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエーションを選択した場合にのみ使用可能です。</p>

パラメーター	許容値	概要
Enable Maximum threshold for on-chip TSD (TSD タブ)	<ul style="list-style-type: none"> On Off 	TSD の最大しきい値の機能を有効にします。 このオプションは、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。
Enter Maximum Threshold for Channel N (チャンネル 0 を含む各チャンネルのタブ)	リファレンス電圧に応じて異なる	最大しきい値を電圧で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。
Enter Maximum Threshold for on-chip TSD (TSD タブ)	—	最大しきい値を摂氏で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。
Enable Minimum threshold for Channel N (チャンネル 0 を含む各チャンネルのタブ)	<ul style="list-style-type: none"> On Off 	チャンネルの最小しきい値の機能を有効にします。 このオプションは、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。
Enable Minimum threshold for on-chip TSD (TSD タブ)	<ul style="list-style-type: none"> On Off 	TSD の最小しきい値の機能を有効にします。 このオプションは、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。
Enter Minimum Threshold for Channel N (チャンネル 0 を含む各チャンネルのタブ)	リファレンス電圧に応じて異なる	最小しきい値を電圧で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。
Enter Minimum Threshold for on-chip TSD (TSD タブ)	—	最小しきい値を摂氏で指定します。 この設定は、 Standard sequencer with Avalon-MM sample storage and threshold violation detection のコアバリエントを選択した場合にのみ使用可能です。

パラメーター	許容値	概要
Enable Prescaler for Channel N	<ul style="list-style-type: none"> On Off 	<p>プリスケラ機能をイネーブルします。Nは、</p> <ul style="list-style-type: none"> ADC1 ではチャンネル 8 ADC2 ではチャンネル 17

表 5-8: アルテラモジュール・デュアル ADC の Sequencer パラメーター

パラメーター	許容値	概要
Number of slot used	1~64	<p>ADC1 と ADC2 の両方で使用する変換シーケンスのスロット数を指定します。</p> <p>ここで選択したスロット数に応じて、ADC1 と ADC2 向けに有効なスロットが Conversion Sequence Channels セクションで表示されます。</p>
Slot N	有効にされたチャンネルの番号 (CH N)	<p>シーケンスのスロットに使用する、イネーブルされた ADC チャンネルを指定します。</p> <p>この選択オプションには、ADC1 と ADC2 の Channels パラメーター・グループでオンにした ADC チャンネルがリストされます。</p> <p>注意: ADC1 のシーケンサー・スロットに TSD を選択した場合には、ADC2 の同じ番号のシーケンサー・スロットに NULL を選択します。</p>

関連情報

- 2-20 ページの [シーケンサー・コア](#)
- 2-13 ページの [コンフィグレーション 1: 標準のシーケンサーと Avalon-MM サンプルストレージを使用](#)
- 2-14 ページの [コンフィグレーション 2: 標準のシーケンサーと Avalon-MM サンプルストレージに加えてしきい値違反検出を使用](#)
- 2-16 ページの [コンフィグレーション 3: 標準のシーケンサーと外部サンプルストレージを使用](#)
- 2-17 ページの [コンフィグレーション 4: ADC コントロール・コアのみを使用](#)
- 5-6 ページの [アルテラモジュール ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [アルテラモジュール・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [有効な ADC サンプルレートと入力クロックの組み合わせ](#)

アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング

- 2-26 ページの [ユーザー指定の ADC ロジック・シミュレーションの出力](#)
ユーザー独自のスティミュラス入力ファイルで ADC 出力データをシミュレーションする方法について詳しい情報を提供します。
- 3-2 ページの [ガイドライン：アナログ入力のためのボードデザイン](#)
サンプリング・レートと整定時間の詳細情報を提供します。

アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング

アルテラモジュラー・デュアル ADC IP コアの各 ADC チャンネルは、異なるデバイスピン名と対応しています。

表 5-9: アルテラモジュラー・デュアル ADC IP コアのチャンネルからピンへのマッピング

ADC ブロック	チャンネル名	ピン名
ADC1	CH0	ANAIN1
	CH1	ADC1IN1
	CH2	ADC1IN2
	CH3	ADC1IN3
	CH4	ADC1IN4
	CH5	ADC1IN5
	CH6	ADC1IN6
	CH7	ADC1IN7
ADC2	CH8	ADC1IN8
	CH9	ANAIN2
	CH10	ADC2IN1
	CH11	ADC2IN2
	CH12	ADC2IN3
	CH13	ADC2IN4
	CH14	ADC2IN5
	CH15	ADC2IN6
	CH16	ADC2IN7
	CH17	ADC2IN8

有効な ADC サンプルレートと入力クロックの組み合わせ

定義済みの各 ADC サンプリング・レートがサポートする入力クロック周波数を以下の表にリストします。ADC を駆動する ALTPLL IP コアを設定する場合、ADC サンプリング・レートにサポートされる入力クロック周波数を使用します。

ADC サンプルング・レートを指定する機能は、デザインのさらなる柔軟性を可能にします。MAX 10 の最大 ADC サンプルング・レートを
使用しない場合、より広い整定時間のマージンが与えられます。

表 5-10: ADC サンプルング・レートと入力クロックの有効な組み合わせ

合計 ADC サンプルング・レート (kHz)	ADC 入力クロック周波数 (MHz)				
	2	10	20	40	80
1000	使用可	使用可	使用可	使用可	使用可
500	—	使用可	使用可	使用可	—
250	—	使用可	使用可	—	—
200	使用可	—	—	—	—
125	—	使用可	—	—	—
100	使用可	—	—	—	—
50	使用可	—	—	—	—
25	使用可	—	—	—	—

関連情報

- 4-4 ページの [ALTPLL IP コアの生成向けパラメーター設定](#)
- 4-5 ページの [アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアの生成向けパラメーター設定](#)
- 5-2 ページの [アルテラモジュラー ADC のパラメーター設定](#)
- 5-9 ページの [アルテラモジュラー・デュアル ADC のパラメーター設定](#)

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のインターフェイス信号

指定したパラメーター設定に応じて、さまざまな信号をアルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC IP コアで使用することができます。

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のコマンド・インターフェイス

コマンド・インターフェイスは、0 のレイテンシーをサポートする Avalon-ST タイプのインターフェイスです。

表 5-11: コマンド・インターフェイスの信号

信号	幅 (ビット)	概要
valid	1	ソースポートからの、現在の転送が有効であることの表示

信号	幅 (ビット)	概要
ready	1	シンクポートからの、現在の転送のための準備ができていることの表示
channel	5	現在のコマンドのために ADC ハードブロックがサンプリングするチャンネルを表示 <ul style="list-style-type: none"> 31—リキャリブレーション要求 30:18—使用しない 17—温度センサ 16:0—チャンネル 16 からチャンネル 0。チャンネル 0 は専用のアナログ入力ピンで、チャンネル 1 からチャンネル 16 は兼用アナログ入力ピン
startofpacket	1	ソースポートからの、現在の転送がパケットの先頭であることの表示 <ul style="list-style-type: none"> altera_adc_sequencer コアの実装では、データ配列の変換シーケンスの最初のスロットの間に IP コアがこの信号をアサートする altera_adc_control コアの実装ではこの信号は無視される。IP コアは、受信した情報に対応する応答インターフェイスに渡すのみ
endofpacket	1	ソースポートからの、現在の転送がパケットの末尾であることの表示 <ul style="list-style-type: none"> altera_adc_sequencer コアの実装では、データ配列の変換シーケンスの最後のスロットの間に IP コアがこの信号をアサートする altera_adc_control コアの実装ではこの信号は無視される。IP コアは、受信した情報に対応する応答インターフェイスに渡すのみ

関連情報

- 5-6 ページの [アルテラモジュラー ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の応答インターフェイス

応答インターフェイスは、バックプレッシャーをサポートしていない Avalon-ST タイプのインターフェイスです。ソースポートでのオーバーフロー状態を回避するために、応答データ処理時間が十分に速い、または必要なだけのバッファーストレージを備えたシンクポートを実装します。

表 5-12: 応答インターフェイスの信号

信号	幅 (ビット)	概要
valid	1	ソースポートからの、現在の転送が有効であることの表示
channel	5	現在の応答に応じて ADC がサンプリングするデータの ADC チャンネルを示す <ul style="list-style-type: none"> 31:18—使用しない 17—温度センサ 16:0—チャンネル 16 からチャンネル 0。チャンネル 0 は専用のアナログ入力ピンで、チャンネル 1 からチャンネル 16 は兼用アナログ入力ピン
data	12 または 24	ADC サンプリング・データ <ul style="list-style-type: none"> アルテラモジュラー ADC では 12 ビット幅 アルテラモジュラー・デュアル ADC では 24 ビット幅
startofpacket	1	ソースポートからの、現在の転送がパケットの先頭であることの表示 altera_adc_control コア実装では、この信号のソースは対応するコマンド・インターフェイスから
endofpacket	1	ソースポートからの、現在の転送がパケットの末尾であることの表示 altera_adc_control コア実装では、この信号のソースは対応するコマンド・インターフェイスから

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のしきい値インターフェイス

しきい値インターフェイスは、バックプレッシャーをサポートしていない Avalon-ST タイプのインターフェイスです。

表 5-13: しきい値インターフェイスの信号

信号	幅 (ビット)	概要
valid	1	ソースポートからの、現在の転送が有効であることの表示

信号	幅 (ビット)	概要
channel	5	しきい値に違反した ADC チャンネルを示す <ul style="list-style-type: none"> 31:18—使用しない 17—温度センサ 16:0—チャンネル 16 からチャンネル 0。チャンネル 0 は専用のアナログ入力ピンで、チャンネル 1 からチャンネル 16 は兼用アナログ入力ピン
data	1	しきい値違反の種類を示す <ul style="list-style-type: none"> 1—最大しきい値を上回る 0—最小しきい値を下回る

関連情報

- 5-6 ページの [アルテラモジュラー ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)
- 5-14 ページの [アルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスのピン名へのマッピング](#)

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の CSR インターフェイス

CSR インターフェイスは、Avalon-MM スレーブ・インターフェイスです。

表 5-14: CSR インターフェイスの信号

信号	幅 (ビット)	概要
address	1 または 7	Avalon-MM アドレスバス。アドレスバス幅はワード・アドレスング単位 <ul style="list-style-type: none"> altera_adc_sample_store core—アドレス幅は 7 altera_adc_sequencer core—アドレス幅は 1
read	1	Avalon-MM 読み出し要求
write	1	Avalon-MM 書き込み要求
writedata	32	Avalon-MM 書き込みデータバス
readdata	32	Avalon-MM 読み出しデータバス

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の IRQ インターフェイス

IRQ インターフェイスは、割り込みインターフェイスです。

表 5-15: 割り込みインターフェイスの信号

信号	幅 (ビット)	概要
irq	1	割り込み要求

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のペリフェラル・クロック・インターフェイス

ペリフェラル・クロック・インターフェイスは、クロック・シンク・インターフェイス・タイプです。

表 5-16: ペリフェラル・クロック・インターフェイスの信号

信号	幅 (ビット)	概要
clock	1	アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC のすべてのマイクロコアを駆動する 1 つのクロック

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC のペリフェラル・リセット・インターフェイス

ペリフェラル・リセット・インターフェイスは、リセット・シンク・インターフェイス・タイプです。

表 5-17: ペリフェラル・リセット・インターフェイスの信号

信号	幅 (ビット)	概要
reset_n	1	アルテラモジュラー ADC またはアルテラモジュラー・デュアル ADC のすべてのマイクロコアをリセットする 1 つのリセットソース

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の ADC PLL クロック・インターフェイス

ADC PLL クロック・インターフェイスは、クロック・シンク・インターフェイス・タイプです。

表 5-18: ADC PLL クロック・インターフェイスの信号

信号	幅 (ビット)	概要
clock	1	専用の PLL1 または PLL3 の c0 出力からの ADC ハード IP クロックソース。 このインターフェイスを Qsys システムからエクスポートする

関連情報

- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-4 ページの [ALTPLL IP コアの生成向けパラメーター設定](#)
- 2-7 ページの [ADC のクロックソース](#)

- **PLL の位置、MAX 10 のクロッキングおよび PLL ユーザーガイド**
異なる MAX 10 デバイスとパッケージにおける PLL3 の可用性に関する詳細を提供します。

アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC の ADC PLL ロック・インターフェイス

ADC PLL ロック・インターフェイスは、コンジット・エンド・インターフェイス・タイプです。

表 5-19: ADC PLL ロック・インターフェイスの信号

信号	幅 (ビット)	概要
conduit	1	専用の PLL1 または PLL3 の ADC ハード IP ロック信号出力 このインターフェイスを Qsys システムからエクスポートする

関連情報

- 4-3 ページの [アルテラモジュラー ADC IP コアのカスタマイズと生成](#)
- 4-4 ページの [ALTPLL IP コアの生成向けパラメーター設定](#)
- 2-7 ページの [ADC のクロックソース](#)
- [PLL の位置、MAX 10 のクロッキングおよび PLL ユーザーガイド](#)
異なる MAX 10 デバイスとパッケージにおける PLL3 の可用性に関する詳細を提供します。

アルテラモジュラー ADC レジスターの定義

生成されたアルテラモジュラー ADC IP コアのレジスターによって、IP コアを動作中に制御ならびに設定することができます。

シーケンサー・コア・レジスター

表 5-20: コマンドレジスター (CMD)

アドレスオフセット: 0x0

ビット	名称	属性	概要	値	デフォルト
31:4	予約	読み出し	予約	—	0
3:1	モード	読み出し、書き込み	シーケンサー・コアの動作モードを示す 動作ビット (ビット 0) がセットされると、これらのビットは無視される 連続した変換では、データはサンプリング・シーケンスの完了後に上書きされる	<ul style="list-style-type: none"> • 7—ADC を再リキャリブレーションする • 6~2—予約 • 1—シングルサイクルの ADC 変換 • 0—連続的な ADC 変換 	0

ビット	名称	属性	概要	値	デフォルト
0	動作	読み出し、書き込み	このコントロール・ビットを使用して、シーケンサー・コアの動作をトリガする このレジスタービットに書き込みをする前に、アルテラモジュラー ADC IP コアはシーケンサー・コアが現在の動作を完了するまで待機する	<ul style="list-style-type: none"> 1—動作 0—停止 	0

関連情報

2-20 ページの [シーケンサー・コア](#)

サンプルストレージ・コア・レジスター

表 5-21: アルテラモジュラー ADC の ADC サンプルレジスター (ADC_SAMPLE)

アドレスオフセット: 0x3F (スロット 63) ~ 0x0 (スロット 0)

ビット	名称	属性	概要	値	デフォルト
31:12	予約	読み出し	予約	—	0
11:0	サンプル	読み出し	ADC は対応するスロット向けのデータをサンプルします。	サンプルされたデータ	0

表 5-22: アルテラモジュラー・デュアル ADC の ADC サンプルレジスター (ADC_SAMPLE)

アドレスオフセット: 0x3F (スロット 63) ~ 0x0 (スロット 0)

ビット	名称	属性	概要	値	デフォルト
31:28	予約	読み出し	予約	—	0
27:16	サンプル	読み出し	ADC2 は対応するスロット向けのデータをサンプルします。	サンプルされたデータ	0
15:12	予約	読み出し	予約	—	0
11:0	サンプル	読み出し	ADC1 は対応するスロット向けのデータをサンプルします。	サンプルされたデータ	0

表 5-23: 割り込みイネーブルレジスター (IER)

アドレスオフセット: 0x40

対応する割り込みステータスビットが、割り込み出力のアサーション (IRQ) をしないように、イネーブルビットをクリアします。イネーブルビットは、割り込みステータスビットの値が割り込みステータスレジスター (ISR) に表示されることを妨げません。

ビット	名称	属性	概要	値	デフォルト
31:1	予約	読み出し	予約	—	0
0	M_EOP	読み出し、書き込み	EOP (End of Packet) 割り込み向けイネーブルビット	<ul style="list-style-type: none"> 1—対応する割り込みをイネーブルする 0—対応する割り込みをディスエーブルする 	1

表 5-24: 割り込みステータスレジスター (ISR)

アドレスオフセット：0x41

ビット	名称	属性	概要	値	デフォルト
31:1	予約	読み出し	予約	—	0
0	EOP	読み出し、書き込み (一周期)	EOP 割り込み	<ul style="list-style-type: none"> 1—サンプルブロック受信の完了を示す 0—受信の完了を示した後、自動的に 0 にクリアする 	0

関連情報

2-21 ページの [サンプルストレージ・コア](#)

Nios II Gen 2 向けの ADC HAL デバイスドライバー

アルテラモジュラー ADC IP コアは HAL デバイスドライバーを提供します。Nios II Gen 2 システム向けにデバイスドライバーを HAL システム・ライブラリーに統合できます。

アルテラモジュラー ADC IP コアは、ハードウェアとの下位レベルアクセスを定義するソフトウェア・ファイルを提供します。ソフトウェア・ファイルでマクロ定義と関数を使用してアルテラモジュラー ADC コアを初期化できます。

- `altera_modular_adc_sequencer_regs.h`—このファイルはシーケンサー・コアのレジスタマップを定義します。下位レベルのハードウェアにアクセスするための文字列定数を提供します。
- `altera_modular_adc_sample_store_regs.h`—このファイルはサンプルストレージ・コアのレジスタを定義します。下位レベルのハードウェアにアクセスするための文字列定数を提供します。
- `altera_modular_adc.h`—このファイルをアプリケーションに含めます。このファイルは他のヘッダーファイルを自動的に取り込み、追加的な関数を定義します。
- `altera_modular_adc.c`—このファイルは、ヘッダーファイルで定義されているヘルパー関数を実装します。

関連情報

[HAL API Reference, Nios II Gen 2 Software Developer's Handbook](#)

HAL API について詳しい情報を提供します。

MAX 10 アナログ-デジタル・コンバーター・ユーザーガイドのアーカイブ

A

2016.10.31

UG-M10ADC



更新情報



フィードバック

IP コアのバージョンが記載されていない場合には、以前の IP コアバージョン向けのユーザーガイドが当てはまります。

IP コアバージョン	ユーザーガイド
16.0	MAX 10 Analog to Digital Converter User Guide
15.1	MAX 10 Analog to Digital Converter User Guide
15.0	MAX 10 Analog to Digital Converter User Guide

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

MAX 10 アナログ-デジタル・コンバーター・ユーザーガイドの改訂履歴

B

2016.10.31

UG-M10ADC



更新情報



フィードバック

日付	バージョン	変更内容
2016年10月	2016.10.31	<ul style="list-style-type: none">最大抵抗が 100 Ω のクリーンな外部電圧リファレンスの使用を指定するためにトピック ADC の電圧リファレンスを更新「変換モード」とはシーケンサ の変換モードであり、すなわちシングルサイクルの ADC 変換モードおよび連続的な ADC 変換モードであることを説明するために ADC シーケンサ に関するトピックを更新異なる MAX 10 デバイスとパッケージにおける PLL1 と PLL3 の可用性を記載する MAX 10 のクロッキングおよび PLL ユーザーガイドにあるトピックへの関連情報リンクを追加ユーザー指定の ADC ロジック・シミュレーション出力機能に関する説明の明瞭度を改善するために、ユーザーガイド全体のさまざまなトピックを更新ピン名 VCCVREF を ADC_VREF に更新アナログ入力向けボードデザイン・ガイドラインを以下のように修正<ul style="list-style-type: none">明瞭度を改善するためにテキストを更新$F_{\text{cutoff @ -3dB}}$ の推奨を入力周波数の「5 回」から「最低 2 回」に更新1 番目のアクティブ・ロー・パス・フィルタの例を示す図を更新

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
登録済

日付	バージョン	変更内容
2016年5月	2016.05.02	<ul style="list-style-type: none"> すべての予備マークを削除 定義済みの ADC サンプリング・レートを最大 1 MSPS まで指定する新しい機能を追加。機能追加前は、ADC は常に最大の サンプリング・レートで動作 サンプリング・レートを削減するための解決策へのリンクを削除。現在は IP コアのパラメーター・エディターでサンプリング・レートが設定可能 アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コアをサポートする ADC ツールキットを追加 ユーザーの TSD チャンネルを除く各 ADC チャンネル向けの予測される出力ファイルで ADC 出力をシミュレーションする機能を追加 アルテラモジュラー ADC とアルテラモジュラー・デュアル ADC IP コアの ADC サンプルレジスターにおけるビット 11:0 およびビット 27:16 の概要を修正。ビット 11:0 とビット 27:16 はストレージスロットでスロット番号の代わりに実際の 12 ビットのサンプルしたデータを保持 割り込みイネーブルレジスター (IER) および割り込みステータスレジスター (ISR) のビット 0 のデフォルト値を修正。M_EOP のデフォルト値は 1 で、EOP は 0
2015年11月	2015.11.02	<ul style="list-style-type: none"> 関連情報のリンクに <i>Introduction to Altera IP Cores</i> を追加 MAX 10 デバイスでの ADC デザインの作成方法を説明する説明ビデオのリンクを追加 Quartus II を Quartus Prime に変更
2015年6月	2015.06.11	アナログ入力向けボードデザイン・ガイドラインを更新
2015年5月	2015.05.04	<ul style="list-style-type: none"> アルテラモジュラー・デュアル ADC IP コアを追加 10M25 デバイスから F672 を削除し、10M04 デバイスのパッケージ E144 に ADC 情報を追加 <ul style="list-style-type: none"> ADC ブロック数を更新 ADC パーティカル・マイグレーション・サポートを更新 ADC チャンネル数を更新 ADC チャンネル数の表で M153 および U169 パッケージの兼用ピンの数を 16 から 8 に変更 ADC のパーティカル・マイグレーションの図で、8 の兼用ピンを持つシングル ADC デバイスと 16 の兼用ピンを持つシングル ADC デバイスを明記

日付	バージョン	変更内容
		<ul style="list-style-type: none"> • ADC 変換の項を更新し、プリスケラ・モードでデュアルおよびシングル電源デバイスのアナログ入力がそれぞれ 3.0 V および 3.6 V まで測定できることを表記 • ADC IP コアのアーキテクチャーの図を更新してデュアル ADC IP コアの機能を追加 • 応答マージおよび ADC シンクロナイザ・マイクロコアに関する情報と項を追加 • ADC ピン RLC フィルタデザインのアルテラへの問い合わせに関する「注」を削除 • ADC のプリスケラの項でプリスケラをサポートする ADC2 チャンネルをチャンネル 16 からチャンネル 17 に変更 • ADC タイミングの図を更新 <ul style="list-style-type: none"> • 数字が 16 進数であることを明記 • コマンドと応答のインターフェイス信号名が一致するように信号を改称 • RC 定数とフィルタの値、およびフィルタのデザイン例の図を更新して参考例の値のソースを明示 • デュアル ADC モードでシーケンサーを設定するためのガイドラインを追加 • アルテラモジュラー ADC およびアルテラモジュラー・デュアル ADC IP コアのチャンネル名から MAX 10 デバイスピン名へのマッピングの項を追加 • サンプルストレージ・コア・レジスターの項で、割り込みイネーブルレジスター (0x41 を 0x40 に) および割り込みステータスレジスター (0x40 を 0x41 に) のアドレスオフセットを訂正 • サンプルストレージ・コア・レジスターの項の表を更新し、アルテラモジュラー・デュアル ADC のレジスターを追加 • しきい値でのトリガ機能が、今後のバージョンの Quartus Prime ソフトウェアで使用可能になるという記述を削除、この機能は現在、バージョン 15.0 のソフトウェアから使用可能になっている
2014 年 12 月	2014.12.15	<ul style="list-style-type: none"> • ADC プリスケラのブロック図を追加 • ADC での連続した変換のタイミング図を、ADC のタイミング図に置換 • サンプルストレージ・コアの章で参考例の軽微な誤植を訂正 • ADC TSD が 64 サンプルを使用する平均法を用いて温度を測定するという情報を追加 • 温度コード変換表で温度コードの大幅な改訂

日付	バージョン	変更内容
		<ul style="list-style-type: none"> • デザインの考慮事項の章を追加 • アルテラモジュラー ADC IP コアパラメーター・エディターで使用されるシーケンサー・スロットの許容値としての「0」の記述を削除。1~64 までの値のみ使用可能 • アルテラモジュラー ADC IP コアのコンフィグレーション・タイプの項で、「デバッグ向けの付加的な ADC 応答インターフェイスを有効または無効にする...」の記述を削除。デバッグパスはパラメーター・エディターで有効または無効にできる • 各コンフィグレーションのデバッグパスに関する図を削除 • 再キャリブレーションをトリガするためのシーケンサー・コアの使用に関する記述を削除。ADC は、通常の検知モードから温度検知モードに切り替わった際に自動的に再キャリブレーションされる • 本文を更新し、パワープレーンまたはグラウンドプレーンが使用できない場合の電源またはグラウンドトレースの配線について明記 • RC 定数とフィルタ値の項の表で RC 定数の合計を更新 • 「prescalar」の綴りを「prescaler」に訂正
2014 年 9 月	2014.09.22	初版