



インテル® Cyclone® 10 GX デバイスの概要



目次

Cyclone® 10 GX デバイスの概要	3
Cyclone 10 GX デバイスの利点.....	3
Cyclone 10 GX の機能についての要約.....	4
Cyclone 10 GX で使用可能なオプション.....	6
Cyclone 10 GX の最大リソース.....	7
Cyclone 10 GX のパッケージプラン.....	8
Cyclone 10 GX デバイスの I/O パーティカル・マイグレーション.....	8
アダプティブ・ロジック・モジュール.....	8
可変精度 DSP ブロック.....	9
エンベデッド・メモリー・ブロック.....	11
エンベデッド・メモリーの種類.....	11
Cyclone 10 GX デバイスに搭載されたエンベデッド・メモリーの容量.....	11
シングルポート・モードでのエンベデッド・メモリー・コンフィグレーション.....	11
クロック・ネットワークと PLL クロックソース.....	12
クロック・ネットワーク.....	12
フラクショナル合成 PLL と I/O PLL.....	12
FPGA 汎用 I/O.....	13
外部メモリー・インターフェイス.....	13
Cyclone 10 GX デバイスでサポートされるメモリー規格.....	14
PCIe Gen1 および Gen2 ハード IP	15
Interlaken ならびに 10 Gbps イーサネット向けエンハンスト PCS ハード IP.....	15
Interlaken のサポート.....	15
10 Gbps イーサネットのサポート.....	15
低消費電力シリアル・トランシーバー.....	16
トランシーバー・チャンネル.....	17
PMA の機能.....	17
PCS の機能.....	18
ダイナミック・リコンフィグレーション.....	19
エンハンスト・コンフィグレーションおよびプロトコル経由のコンフィグレーション.....	20
SEU エラーの検出と修正.....	20
消費電力管理.....	21
インクリメンタル・コンパイル.....	21
Cyclone 10 GX デバイスの概要 改訂履歴.....	21



Cyclone® 10 GX デバイスの概要

Cyclone® 10 GX デバイスファミリーは、高性能かつ省電力の 20 nm 低コスト FPGA で構成されています。

Cyclone 10 GX デバイスファミリーは、前世代の低コスト FPGA に比べ、コア、トランシーバー、および I/O においてより高い性能を提供します。

Cyclone 10 GX デバイスは、高帯域で低コストなアプリケーションを使用する幅広いマーケットに最適です。

表 1. Cyclone 10 GX デバイスのマーケットの一例と理想的なアプリケーション

マーケット	アプリケーション
インダストリアル	<ul style="list-style-type: none"> マシンビジョン ロボット工学 プログラマブル・ロジック・コントローラーおよびドライバー
オートモーティブ	<ul style="list-style-type: none"> インフォテインメント 先進運転支援システム (ADAS)
放送機器	プロフェッショナル・オーディオビジュアル

Cyclone 10 GX デバイスの利点

表 2. Cyclone 10 GX デバイスファミリーの利点

機能	サポートしている機能
強化されたコア・アーキテクチャ	<ul style="list-style-type: none"> TSMC の 20nm プロセス・テクノロジーにより構築されています 前世代の低コスト FPGA との比較において 2 倍の性能を持ちます
統合された広帯域幅トランシーバー	<ul style="list-style-type: none"> 短距離レートは最大で毎秒 12.5 ギガビット (Gbps) です 最大 6.6 Gbps のバックプレーン容量 最大 Gen2 ×4 アプリケーションをサポートするハード PCI Express IP ブロック
ロジック集積とハード IP ブロックの向上	<ul style="list-style-type: none"> 8 入力アダプティブ・ロジック・モジュール (ALM) 最大 11.74 メガビット (Mb) のエンベデッド・メモリー 可変精度デジタル信号処理 (DSP) ブロック フラクショナル合成フェーズ・ロック・ループ (PLL) 最大毎秒 1,866 メガビット (Mbps) のハード・メモリー・コントローラと PHY
高度な省電力化	<ul style="list-style-type: none"> 高度な省電力機能の包括的なセット 消費電力が最適化された MultiTrack 配線とコア・アーキテクチャ

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済

Cyclone 10 GX の機能についての要約

表 3. Cyclone 10 GX デバイスの機能の要約

機能	説明	
テクノロジー	TSMC の 20 nm SoC プロセス・テクノロジー	
パッケージング	<ul style="list-style-type: none"> ボール間隔が 1.0 mm の Finline BGA パッケージ ボール間隔が 0.8 mm の Ultra Finline BGA パッケージ さまざまな集積度を持つ FPGA 間でのシームレスな移行に向けて同一のパッケージ・フットプリントを持つ複数のデバイス RoHS6 準拠 	
高性能 FPGA ファブリック	<ul style="list-style-type: none"> 4 つのレジスターを備えたエンハンスド 8 入力 ALM 輻輳を低減し、コンパイル時間を向上させる目的で改良された MultiTrack 配線アーキテクチャー 階層コアクロック・アーキテクチャー 	
内部メモリー・ブロック	<ul style="list-style-type: none"> M20K—ハード誤り訂正コード (ECC) を備えた 20Kb メモリーブロック、カスケード可能 メモリー・ロジック・アレイ・ブロック (MLAB)—640 ビットメモリー、カスケード可能 	
エンベデッド・ハード IP ブロック	可変精度 DSP	<ul style="list-style-type: none"> 18 × 19 ~ 54 × 54 までの精度レベルの信号処理をネイティブにサポート 27 × 27 乗算器モードをネイティブにサポート シストリック有限インパルス応答 (FIR) 用の 64 ビット・アキュムレーターおよびカスケード 内部係数メモリーバンク 前置加算器と前置減算器による効率の向上 パイプライン・レジスターの増設による性能向上と消費電力の低減 浮動小数点演算をサポートします: <ul style="list-style-type: none"> 乗算、加算、減算、積和、積差、および複雑な乗算を実行します 累積機能を持つ乗算、カスケード機能を持つ乗算、およびカスケード減算機能を持つ乗算をサポートします ダイナミック・アキュムレーター・リセット・コントロール 積乗算浮動小数点 DSP ブロックをチェーンする複素数乗算およびダイレクト・ベクター・ドット乗算をサポートします
	メモリー・コントローラー	DDR3、DDR3L、および LPDDR3
	PCI Express®	完全なプロトコルスタック、エンドポイント、およびルートポートを備えた PCI Express (PCIe®) Gen2 (x1、x2、x4) および Gen1 (x1、x2、x4) ハード IP
	トランシーバー I/O	<ul style="list-style-type: none"> 以下をサポートする PCS ハード IP: <ul style="list-style-type: none"> 10 Gbps Ethernet (10GbE)⁽¹⁾ PCIe PIPE インターフェイス Interlaken Gbps イーサネット (GbE) 確定的レイテンシーをサポートする 6G CPRI (Common Public Radio Interface) 高速ロックタイムをサポートするギガビット対応受動光ネットワーク (GPON) 12G シリアル・デジタル・インターフェイス (SDI) 8B/10B、64B/66B、64B/67B のエンコーダーとデコーダー 独自規格のプロトコルに向けたカスタム・モード・サポート

continued...

(1) 10GBASE-KR はサポートされていません。

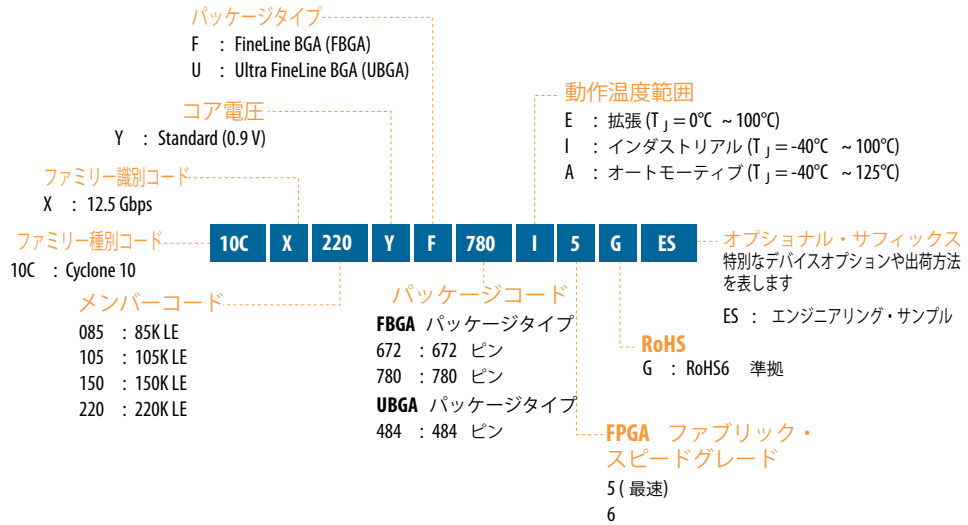


機能	説明
コア・クロック・ネットワーク	<ul style="list-style-type: none"> 最大 300 MHz のファブリック・クロッキング、アプリケーションに依存します: <ul style="list-style-type: none"> 1,866 Mbps の DDR4 インターフェイスを備えた 467 MHz 外部メモリー・インターフェイス・クロッキング 1.434 Gbps の LVDS インターフェイスを備えた 300 MHz LVDS インターフェイス・クロッキング グローバル、リージョナルおよびペリフェラル・クロック・ネットワーク 使用されていないクロック・ネットワークは、ダイナミック消費電力の低減に向けてゲート可能です
PLL (Phase-Locked Loop)	<ul style="list-style-type: none"> 高分解能フラクショナル合成 PLL: <ul style="list-style-type: none"> 高精度クロック合成、クロック遅延補償、ゼロ遅延バッファ (ZDB) インテジャー・モードおよびフラクショナル・モードをサポート 3 次デルター・シグマ変調をサポートするフラクショナル・モード インテジャー PLL: <ul style="list-style-type: none"> 汎用 I/O に隣接 外部メモリーおよび LVDS インターフェイスをサポート
FPGA 汎用 I/O (GPIO)	<ul style="list-style-type: none"> 最大 3.0 V の I/O 規格をサポートする 3 V I/O が 1 つ 最大 1.434 Gbps LVDS—各ペアはレシーバーもしくはトランスミッターとしてコンフィグレーション可能 OCT (オンチップ終端) LVDS I/O または 3 V I/O バンクを使用する 1.2 V~3.0 V のシングルエンド LVTTTL/LVCMOS インターフェイス
外部メモリー・インターフェイス	<ul style="list-style-type: none"> ハード・メモリー・コントローラー— DDR3、DDR3L、および LPDDR3 をサポート 最大 933 MHz/1,866 Mbps の DDR3 スピード
低消費電力シリアル・トランシーバー	<ul style="list-style-type: none"> 最大 12.5 Gbps の連続動作範囲 最大 6.6 Gbps をサポートするバックプレーン オーバーサンプリングを使用した最小 125 Mbps の拡張範囲 ユーザーによるコンフィグレーションが可能なフラクショナル合成機能を備えた ATX 送信 PLL 送信プリアンファシスおよび送信ディエンファシス トランシーバー・チャンネル別のダイナミックリコンフィグレーション
コンフィグレーション	<ul style="list-style-type: none"> 改ざん防止—貴重な IP 資産を保護する包括的なデザイン保護 エンハンスト 256 ビット高度暗号化規格 (AES) デザイン・セキュリティおよび認証 PCIe Gen1 または Gen2 を使用する CvP (Configuration via Protocol) トランシーバーおよび PLL のダイナミック・リコンフィグレーション アクティブシリアル x4 インターフェイス
消費電力管理	<ul style="list-style-type: none"> プログラマブル・パワー・テクノロジー Quartus Prime Pro Edition に統合された消費電力解析ツール
ソフトウェアとツール	<ul style="list-style-type: none"> Quartus Prime Pro Edition デザインスイート トランシーバー・ツールキット Qsys システム統合ツール DSP Builder アドバンスト・ブロックセット OpenCL* サポート



Cyclone 10 GX で使用可能なオプション

図 -1: Cyclone 10 GX デバイスのサンプル製品コードと利用可能なオプション (暫定版)





Cyclone 10 GX の最大リソース

表 4. Cyclone 10 GX デバイスの最大リソース数 (暫定版)

リソース		製品ライン			
		10CX085	10CX105	10CX150	10CX220
ロジック・エレメント (LE) (K)		85	104	150	220
ALM		31,000	38,000	54,770	80,330
レジスター		124,000	152,000	219,080	321,320
メモリー (Kb)	M20K	5,820	7,640	9,500	11,740
	MLAB	653	799	1,152	1,690
可変精度 DSP ブロック		84	125	156	192
18 x 19 乗算器		168	250	312	384
ハード浮動小数点演算		あり	あり	あり	あり
PLL	フラクショナル合成	2	4	4	4
	I/O	4	6	6	6
12.5 Gbps トランシーバー		6	12	12	12
GPIO ⁽²⁾		192	284	284	284
LVDS ペア ⁽³⁾		72	118	118	118
PCIe ハード IP ブロック		1	1	1	1
ハード・メモリー・インターフェイス		1	2	2	2

(2) GPIO 数にはトランシーバ I/O が含まれません。Quartus Prime Pro Edition 開発ソフトウェアではユーザー I/O 数にトランシーバ I/O 数が含まれます。

(3) 各 LVDS I/O ペアをそれぞれ差動入力もしくは差動出力として使用できます。

Cyclone 10 GX のパッケージプラン

表 5. Cyclone 10 GX デバイスのパッケージプラン (暫定版)

GPIO 数には、LVD および 3 V I/O バンクの I/O ピンが含まれます。デバイスパッケージにはそれぞれ、1 つの 3 V I/O バンク (48 ピン) が含まれます。

製品ライン	種類	U484 484 ピン UBGA			F672 672 ピン FBGA			F780 780 ピン FBGA		
	サイズ	19 mm × 19 mm			27 mm × 27 mm			29 mm × 29 mm		
	ボールピッチ	0.8 mm			1.0 mm			1.0 mm		
	I/O の種類	GPIO	LVDS	XCVR	GPIO	LVDS	XCVR	GPIO	LVDS	XCVR
10CX085		188	70	6	192	72	6	—	—	—
10CX105		188	70	6	236	94	10	284	118	12
10CX150		188	70	6	236	94	10	284	118	12
10CX220		188	70	6	236	94	10	284	118	12

Cyclone 10 GX デバイスの I/O パーティカル・マイグレーション

図 -2: Cyclone 10 GX 製品ライン間で移行できる範囲

- 矢印はマイグレーション・パスを示しています。各パーティカル・マイグレーション・パスに含まれるデバイスは、色付きで示しています。同じパス内でより少ないリソースを持つデバイスは、薄い色で示しています。
- 同じマイグレーション・パス内の製品ライン間で完全に I/O を移行するには、I/O とトランシーバー数が最も少ない製品ラインに合わせて I/O とトランシーバーの使用を制限します。
- ソースデバイスの LVDS I/O バンクは、ターゲットデバイスの 3 V I/O バンクにマッピングすることが可能です。450 MHz 以上のクロック周波数でメモリー・インターフェイスを使用するには、両方のデバイスで LVDS I/O バンクにのみ外部メモリー・インターフェイス・ピンを割り当てます。
- 同じパッケージタイプの一部のデバイスには、パッケージの高さに公称で 0.15mm の差がある場合があります。
- 一部のマイグレーション・パスは、Quartus Prime Pro Edition の Pin Migration View に表示されません。

Device	Package		
	U484	F672	F780
10CX085	↑	↑	
10CX105			↑
10CX150			
10CX220	↓	↓	↓

注意: ピン・マイグレーションの互換性を確認するには、Quartus Prime Pro Edition の Pin Planner で Pin Migration View ウィンドウを使用します。

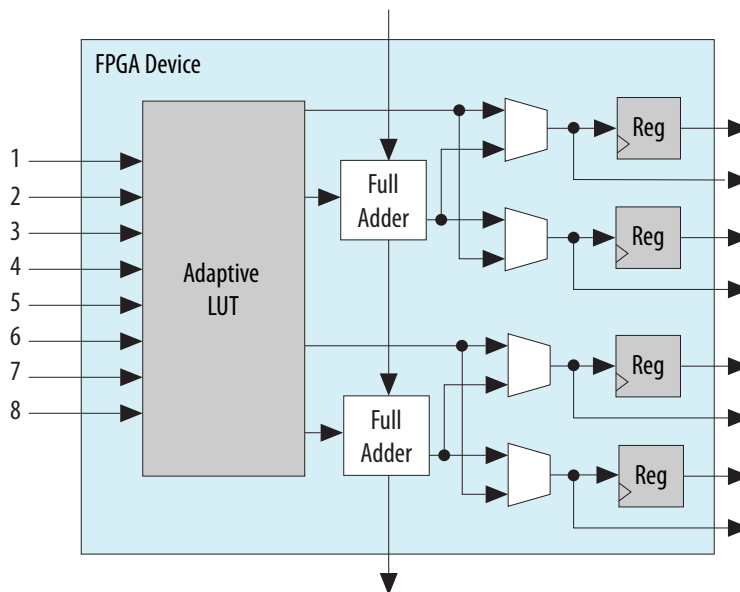
アダプティブ・ロジック・モジュール

Cyclone 10 GX デバイスは、20 nm ALM をロジック・ファブリックの基本的なビルディング・ブロックとして使用しています。

ALM のアーキテクチャーには、前世代 FPGA のものと同じアーキテクチャーが使用されており、効率的なロジック・ファンクションの実装、およびデバイス世代間における IP の変更が容易に実行可能です。

下の図に示すように、ALM は 4 つの専用レジスターを持つ分割可能な 8 入力ルック・アップ・テーブル (LUT) を使用して、レジスターを多く含むデザインにてタイミング収束を改善します。また、LUT アーキテクチャーごとに 2 つのレジスターが使用される従来のものと比較して、より多くのデザインを搭載することが可能です。

図 -3: Cyclone 10 GX デバイスの ALM



Quartus Prime Pro Edition は ALM ロジック構造に従ってデザインを最適化し、Cyclone 10 GXALM アーキテクチャーにレガシーデザインを自動的にマッピングします。

可変精度 DSP ブロック

Cyclone 10 GX の可変精度 DSP ブロックは、固定小数点演算と浮動小数点演算をサポートしています。

固定小数点演算の機能

- 高性能、最適化された消費電力と、完全にレジスター化された乗算演算
- 18 ビットと 27 ビットのワード長
- DSP ブロックごとに 2 つの 18 x 19 乗算器または 1 つの 27 x 27 乗算器
- 乗算結果を組合わるためのビルトインの加算、減算、および 64 ビットのダブル累算レジスター
- プリアダーが無効にされている際の 19 ビットまたは 27 ビットのカスケード接続、およびプリアダーがアプリケーションをフィルターするためにタップ・ディレイ・ラインを形成する使用の際の 18 ビットのカスケード接続
- 外部ロジックのサポートなしでブロックからブロックへ出力結果を伝播する 64 ビット出力バスのカスケード
- 対称フィルター向け 19 ビットモードおよび 27 ビットモードでサポートされるハード前置加算器

- フィルター実装向け 18 ビットおよび 27 ビットの両モードの内部係数レジスターバンク
- 分割された出力加算器を使用する 18 ビットおよび 27 ビットのシストリック有限インパルス応答 (FIR) フィルター
- バイアス丸めサポート

浮動小数点演算の機能

- 乗算、加算、減算、積和、および積差をサポートする完全にハード化されたアーキテクチャー
- 累積機能とダイナミック・アキュムレーター・リセット・コントロールを持つ乗算
- カスケード加算機能を持つ乗算
- カスケード減算機能を持つ乗算
- 複素数乗算
- ダイレクト・ベクター・ドット積
- シストリック FIR モード

表 6. Cyclone 10 GX デバイスの可変精度 DSP ブロック・コンフィグレーション

使用例	乗数器のサイズ (ビット)	DSP ブロックリソース
中精度の固定小数点	2 つの 18 × 19	1
高精度の固定小数点または単精度の浮動小数点	1 つの 27 × 27	1
固定小数点 FFT	外部加算器を備えた 1 つの 19 × 36	1
非常に高精度の固定小数点	外部加算器を備えた 1 つの 36 × 36	2
倍精度の浮動小数点	外部加算器を備えた 1 つの 54 × 54	4

表 7. Cyclone 10 GX デバイスにおける固定小数点演算用のリソース

デバイス	可変精度 DSP ブロック	独立した入力および出力 乗算演算子		18×19 Multiplier Adder Sum モード	[18..18] 36 ビット入力で加算される乗算加算器
		18×19 乗算器	27×27 乗算器		
10CX085	84	168	84	84	84
10CX105	125	250	125	125	125
10CX150	156	312	156	156	156
10CX220	192	384	192	192	192

表 8. Cyclone 10 GX デバイスにおける浮動小数点演算用のリソース

デバイス	可変精度 DSP ブロック	Single Precision Floating-Point Multiplication モード	Single-Precision Floating-Point Adder モード	Single-Precision Floating-Point Multiply Accumulate モード	ピーク ギガ単位での秒あたりの浮動小数点演算回数 (GFLOPs)
10CX085	84	84	84	84	76
10CX105	125	125	125	125	113
10CX150	156	156	156	156	140
10CX220	192	192	192	192	173



エンベデッド・メモリー・ブロック

デバイス内のエンベデッド・メモリー・ブロックには柔軟性があり、デザイン要件に合った最適な小規模メモリー・レイおよび大規模メモリー・レイを提供できるようデザインされています。

エンベデッド・メモリーの種類

Cyclone 10 GX デバイスには、2 種類のメモリー・ブロックが含まれています。

- 20 Kb M20K ブロック—専用メモリー・リソースのブロックです。M20K ブロックは多数の独立したポートを提供しており、大規模なメモリー・レイに最適です。
- 640 ビット・メモリー・ロジック・アレイ・ブロック (MLAB)—兼用ロジック・アレイ・ブロック (LAB) からコンフィグレーションされるエンハンスド・メモリー・ブロックで、幅が広くて深度の浅いメモリー・レイに最適です。MLAB はデジタル信号処理 (DSP) アプリケーション、およびフィルターの遅延ラインに使用するシフトレジスターの実装に最適化されています。各 MLAB は 10 個のアダプティブ・ロジック・モジュール (ALM) から構成されています。Cyclone 10 GX デバイスでは、これらの ALM を、10 個の 32×2 ブロックとしてコンフィグレーションし、MLAB ごとに 1 つの 32×20 シンプル・デュアルポート SRAM ブロックを提供することが可能です。

Cyclone 10 GX デバイ스에搭載されたエンベデッド・メモリーの容量

表 9. Cyclone 10 GX デ바이스에搭載されたエン베드드・메모리의 용량과 분배

製品ライン	M20K		MLAB		RAM ビットの総数 (Kb)
	ブロック	RAM ビット数 (Kb)	ブロック	RAM ビット数 (Kb)	
10CX085	291	5,820	1,044	653	6,473
10CX105	382	7,640	1,278	799	8,439
10CX150	475	9,500	1,843	1,152	10,652
10CX220	587	11,740	2,704	1,690	13,430

シングルポート・モードでのエンベデッド・メモリー・コンフィグレーション

表 10. Cyclone 10 GX デ바이스における싱글포트・엔베드드・메모리에서의 콘피그레이션

次の表は、シングルポート RAM モードおよび ROM モードでサポートされる最大のコンフィグレーションを示しています。

メモリー・ブロック	深度 (ビット)	プログラム可能な幅
MLAB	32	X16, x18, または x20
	64 ⁽⁴⁾	x8, x9, x10
M20K	512	x40, x32
	1K	x20, x16
	2K	x10, x8
	4K	x5, x4
	8K	x2
	16K	x1

(4) ソフトウェア・エミュレーションによってサポートされ、追加の MLAB ブロックを消費します。



クロック・ネットワークと PLL クロックソース

クロック・ネットワークのアーキテクチャーは、インテルのグローバル、リージョナル、およびペリフェラル・クロックのストラクチャーをベースにしています。このクロック・ストラクチャーは、専用クロック入力ピン、フラクショナル・クロック合成 PLL、およびインテジャー I/O PLL でサポートされています。

クロック・ネットワーク

Cyclone 10 GX のコア・クロック・ネットワークは、インダストリアル温度範囲の全体にわたって最高で 300 MHz のファブリックで動作可能です。外部メモリー・インターフェイスに対しては、クロック・ネットワークはクォーターレート転送で最大速度が 1,866 Mbps のハード・メモリー・コントローラーをサポートしています。

消費電力を削減するために、Quartus Prime Pro Edition は使用していないクロック・ネットワークのすべてのセクションを特定し、パワーダウンします。

フラクショナル合成 PLL と I/O PLL

Cyclone 10 GX デバイスは、コアでの特定および一般的な目的で使用可能なフラクショナル合成 PLL を最大 4 個、また I/O PLL を最大 6 個含みます：

- フラクショナル合成 PLL—トランシーバー・ブロックに隣接するカラムに位置しています
- I/O PLL—48 個の I/O バンクそれぞれに位置しています

フラクショナル合成 PLL

以下の目的でフラクショナル合成 PLL を使用できます：

- ボード上で必要なオシレータの個数を削減する
- 1 つのリファレンス・クロック・ソースから複数のクロック周波数を合成することで、デバイスで使用するクロックピンの個数を削減する

フラクショナル合成 PLL は以下の機能をサポートしています：

- トランシーバー CMU および ATX (Advanced Transmit) PLL に向けたリファレンス・クロック周波数の合成
- クロック・ネットワーク遅延補償
- ゼロ遅延バッファー
- トランシーバーに向けた直接的な送信クロッキング
- 2 つのモードに別々にコンフィグレーション可能です：
 - 汎用 PLL に相当する従来のインテジャー・モード
 - 3 次デルター・シグマ変調のあるエンハンスド・フラクショナル・モード
- PLL カスケード接続

I/O PLL

インテジャー・モードの I/O PLL は、48 個の I/O を持つ各バンクに配置されています。I/O PLL を使用すれば、外部メモリーと高速 LVDS インタフェースのデザインを簡素化できます。



I/O PLL は、各 I/O バンク内のハード・メモリー・コントローラーおよび LVDS SERDES に隣接しています。PLL は使用する必要がある I/O と密接に結びつけられているため、タイミングの収束が簡単に実行できます。

I/O PLL はクロック・ネットワーク遅延補償やゼロ遅延バッファといったコアの汎用アプリケーションに使用できます。

Cyclone 10 GX デバイスは、PLL 間のカスケードモードをサポートしています。

FPGA 汎用 I/O

Cyclone 10 GX デバイスは、高度にコンフィグレーション可能な GPIO を提供します。各 I/O バンクには 48 個の汎用 I/O と 1 つの高効率ハード・メモリー・コントローラーが含まれています。

以下に GPIO の機能を示します：

- 高電圧アプリケーション向け 3 V I/O と差動信号用の LVDS I/O から構成されています
 - 最大 3.0 V の I/O 規格をサポートする 3 V I/O が 1 つ
 - 最大 1.8 V の I/O 規格をサポートする LVDS I/O バンク
- シングルエンド・インターフェイスや差動 I/O インターフェイスなどの広範囲のインターフェイスをサポート
- LVDS 速度は最大 1.434 Gbps です
- 各 LVDS ピンのペアは差動入力バッファおよび差動出力バッファを備えており、それぞれのペアに対して LVDS をコンフィグレーションすることが可能です
- プログラマブル・バス・ホールドおよびウィークプルアップ
- プログラマブル差動出力電圧 (V_{OD}) およびプログラマブル・プリエンファシス
- OCT キャリブレーションを持つすべての I/O バンクに対して、終端インピーダンス変動を制限する目的で、直列 (R_S) と並列 (R_T) オンチップ終端 (OCT) があります
- シグナル・インテグリティのために直列終端と並列終端で変更可能なオンチップ・ダイナミック終端は、シグナル・インテグリティへの読み出しあるいは書き込みが共通バスに存在するかどうかによって左右されません
- 入力レジスターパス内でハード読み出し FIFO を使用するタイミング収束の容易なサポート、および微調と粗調のアーキテクチャーを持つ DLL (delay-locked loop) 遅延チェーン

関連情報

[I/O and Differential I/O Buffers in Cyclone 10 GX Devices, Cyclone 10 GX Core Fabric and General Purpose I/Os Handbook](#)

Provides more information about the GPIOs in Cyclone 10 GX devices.

外部メモリー・インターフェイス

Cyclone 10 GX デバイスは、最高 1,866 Mbps で動作可能な、外部メモリー帯域幅が最大 1×72 ビットもしくは 2×40 ビットの DDR3 メモリー・インターフェイスを備えています。この帯域幅により、デザインの容易さ、低い消費電力、ハード化された高性能メモリー・コントローラーのリソース効率といった利点が得られます。

Cyclone 10 GXFPGA 内のメモリー・インターフェイスは、使い勝手がよく、非常に高度なパフォーマンスを提供します。ハード・メモリー・コントローラーを使用する場合、最大幅 72 ビットまでコンフィグレーション可能です。

各 I/O は、リード/ライト・レベリング、レイテンシーを低減しマージンを向上する FIFO バッファリング、タイミング・キャリブレーション、およびオンチップ終端といったメモリー・インターフェースの重要な機能を処理する機能を持つ、ハード化されたリード/ライト・パス (PHY) を含んでいます。

タイミング・キャリブレーションは、インテルの Nios® II テクノロジーに基づくハード・マイクロ・コントローラーを含めることで補助されていますが、特に複数のメモリー・インターフェースを持つキャリブレーションの制御に適しています。このタイミング・キャリブレーションを使用すると、Cyclone 10 GX デバイスが Cyclone 10 GX デバイス自体あるいは外部メモリー内における、プロセス、電圧、温度といったあらゆる変化を補償することができます。アドバンスド・キャリブレーション・アルゴリズムは、すべての動作条件において最大の帯域幅と堅牢なタイミング・マージンを確実にします。

Cyclone 10 GX デバイスでサポートされるメモリー規格

I/O は、既存および新しい外部メモリー規格に向けて、高いパフォーマンスで対応できるようにデザインされています。

表 11. ハード・メモリー・コントローラーでサポートされるメモリー規格

この表はハードメモリー・コントローラーおよび異なる I/O バンクで達成可能な最大のスピードを一覧表示します。詳細を確認するには、External Memory Interface Spec Estimator と Cyclone 10 GX デバイスのダッシュボードを参照してください。

メモリー規格	レート・サポート	デバイスのスピード・グレード	ピンボン PHY サポート	周波数 (MHz)	
				LVDS I/O バンク	3V I/O バンク
DDR3 SDRAM	ハーフレート	-5	あり	533	225
			—	533	225
		-6	あり	466	166
			—	466	166
	クォーターレート	-5	あり	933	450
			—	933	450
		-6	あり	933	333
			—	933	333
DDR3L SDRAM	ハーフレート	-5	あり	533	225
			—	533	225
		-6	あり	466	166
			—	466	166
	クォーターレート	-5	あり	933	450
			—	933	450
		-6	あり	933	333
			—	933	333
LPDDR3	ハーフレート	-5	—	400	225
		-6	—	333	166
	クォーターレート	-5	—	800	450
		-6	—	666	333



PCIe Gen1 および Gen2 ハード IP

Cyclone 10 GX デバイスは、高性能かつ使いやすいように設計された PCIe ハード IP を備えています。

- PCIe スタックのすべての層を含みます—トランザクション層、データリンク層、物理層
- x1、x2、x4 レーンのコンフィグレーションにおいて PCIe Gen2 エンドポイントおよびルートポートをサポートします
- コアロジックから独立して動作します—CvP (Configuration via Protocol) オプションを使用すれば、Cyclone 10 GX デバイスが残りの FPGA 部分に対してプログラミング・ファイルのロードを完了させる間に、PCIe リンクが 100ms 以内でリンク・トレーニングを起動し完了させることが可能となります
- Single Root I/O Virtualization (SR-IOV) のような新しい機能やオプションのプロトコル拡張のサポートを容易にする追加機能を提供しています
- ECC を使用する、改良版エンドツーエンド・データパス保護を提供しています
- Gen1、および Gen2 スピードで PCIe を使用する FPGA CvP (Configuration via Protocol) をサポートしています。

Interlaken ならびに 10 Gbps イーサネット向けエンハンスド PCS ハード IP

Interlaken のサポート

Cyclone 10 GX のエンハンスド PCS ハード IP は、レーンあたり最高 12.5 Gbps の速度をサポートする Interlaken PCS を内蔵しています。

Interlaken PCS は、Intel の前世代 FPGA 向けに開発された、実績のある PCS の機能性に基づいており、Interlaken ASSP ベンダーとサードパーティ IP サプライヤーとの相互運用性が実証されています。Interlaken PCS は Cyclone 10 GX デバイスのすべてのトランシーバー・チャンネルに含まれています。

10 Gbps イーサネットのサポート

Cyclone 10 GX のエンハンスド PCS ハード IP は、IEEE 802.3 10 Gbps Ethernet (10GbE) に準拠した 10GBASE-R PCS をサポートしています。10GbE と 10 Gbps トランシーバーをサポートする内蔵ハード IP は、外部 PHY コスト、ボード面積とシステムの消費電力を低減します。

拡張可能な 10GbE ハード IP は、複数の独立した 10GbE ポートをサポートしながら、すべての 10GBASE-R PCS のインスタンス化に単独の PLL を使用し、コア・ロジック・リソースとクロック・ネットワークを節減します。

- XAUI から 10G への外付け PHY を必要とする XAUI インターフェイスより簡単なマルチポート 10GbE システム
- 標準的な 10 Gbps XFP 光モジュールと SFP + 光モジュールへの直接接続を可能にする電子分散補償 (EDC) を導入

低消費電力シリアル・トランシーバー

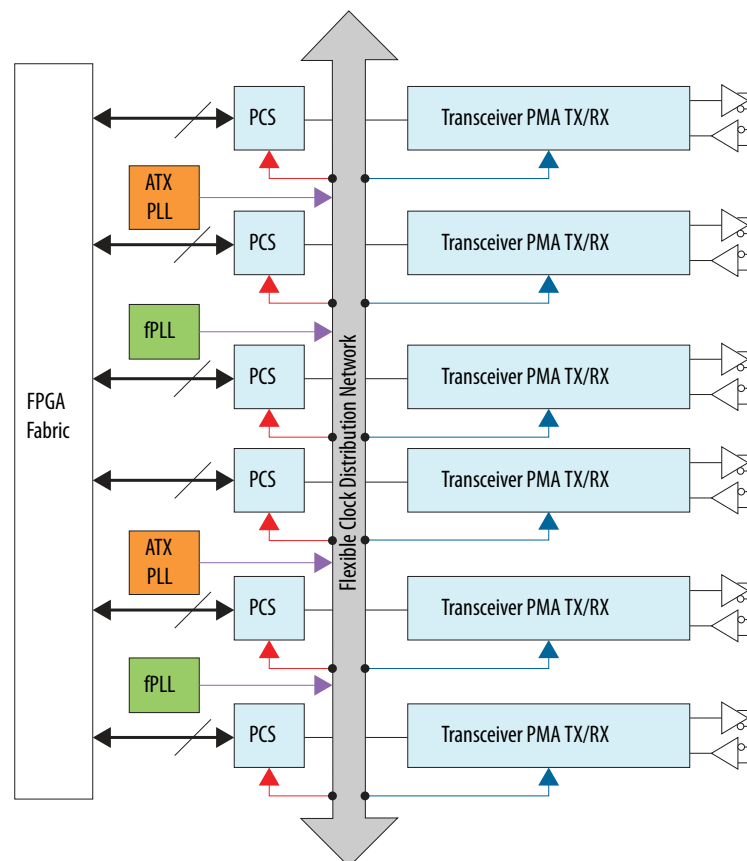
Cyclone 10 GXFPGA は、非常に低い消費電力でチャンネルごとに高帯域幅、スループット、低レイテンシーを提供します。トランシーバーは、チップ間アプリケーションで 125 Mbps から 12.5 Gbps におよぶ広範囲のデータレートをサポートします。

- 最小 168 mW をサポートする 10 Gbps トランシーバー
- 最小 117 mW をサポートする 6 Gbps トランシーバー

先進の 20 nm プロセス技術とアーキテクチャーを組み合わせることで、以下のような利点を提供します：

- ダイ面積と消費電力が大幅に削減されます
- 最適なシグナル・インテグリティを維持しつつ、前世代のデバイスと比較して最大 2 倍のトランシーバー I/O 集積度を達成します
- 最大 12 本のトランシーバー・チャンネル
- すべてのチャンネルが最大定格速度の連続データレートをサポートする機能を備えています

図 -4: Cyclone 10 GX トランシーバー・ブロックのアーキテクチャー



トランシーバー・チャンネル

すべてのトランシーバー・チャンネルは、専用のフィジカル・メディア・アタッチメント (PMA) とハード化されたフィジカル・コーディング・サブレイヤー (PCS) を備えています。

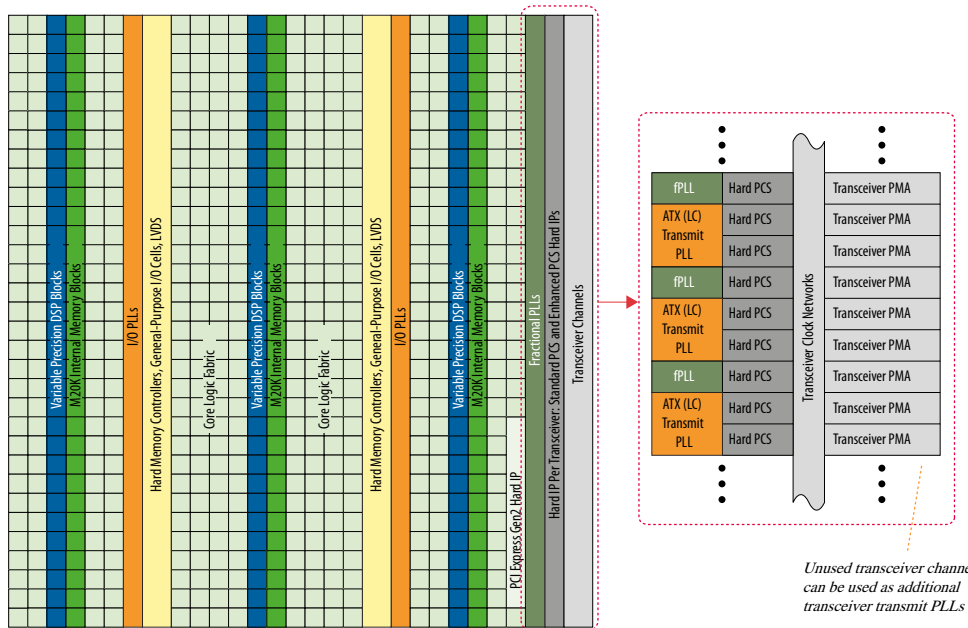
- PMA は、物理チャンネルに対して主要なインターフェイス機能を提供します。
- PCS は通常、FPGA コア・ファブリックにデータを転送する前にエンコードやデコード、またはワード・アライメントをはじめとする予備的処理を実行します。

トランシーバー・チャンネルは、PMA ブロックと PCS ブロックから構成されています。ほとんどのトランシーバー・バンクのチャンネル数は 6 ですが、中には 4 チャンネルしか含まないトランシーバー・バンクもあります。

高度にコンフィグレーション可能なクロック分配ネットワークを使用することで、多種多様なボンディングあるいはノン・ボンディング・データレートをコンフィグレーションすることができます。

図 -5: Cyclone 10 GX デバイスのデバイスチップの概要

以下の図は、上から見たシリコンダイをグラフィカルに表現したものです。これは、フリップチップ・パッケージの裏面図に相当します。Cyclone 10 GX デバイスには、この図に示したものと異なるフロアプランを持つものもあります。



PMA の機能

Cyclone 10 GX トランシーバーは、最大で 12.5 Gbps のデータレートの非常に優れたシグナル・インテグリティを提供します。クロックのオプションには、超低ジッタ ATX PLL (Lc タンクベース)、クロック乗算ユニット (CMU) PLL ならびにフラクショナル PLL が含まれます。

各トランシーバー・チャンネルは、CMU PLL またはクロック・データ・リカバリー (CDR) PLL として使用可能なチャンネル PLL を含みます。CDR モードでは、チャンネル PLL はトランシーバー・チャンネルでレシーバー・クロックとデータを復元します。

表 12. Cyclone 10 GX デバイスのトランシーバー PMA の機能

機能	性能
チップ間のデータレート	125 Mbps ~ 12.5 Gbps
バックプレーン・サポート	最大 6.6Gbps のデータレートでバックプレーンを動作します
光モジュールサポート	SFP+/SFP、XFP、CXP、QSFP/QSFP28、CFP/CFP2/CFP4
ケーブル駆動サポート	SFP+ Direct Attach、ケーブルを経由した PCI Express、eSATA
送信プリエンファシス	システムチャネルの損失を補償する 4 タップ送信プリエンファシスおよびディエンファシス
連続時間リニア・イコライザー (CTLE)	システムチャネルの損失を補償する高ゲインのリニア受信イコライゼーション
デジション・フィードバック・イコライザー (DFE)	クロストークのある、またノイズの多い環境下でのバックプレーン・チャネル損失をイコライズするための 7 つの固定 DFE と 4 つの浮動のタップ DFE
可変ゲインアンプ	CDR サンプリング前に信号振幅を最適化し、固定モードとアダプティブ・モードで動作します
高精度シグナル・インテグリティ・キャリブレーション・エンジン (PreSICE)	電源投入時にすべてのトランシーバー・コントロール・パラメーターを迅速にキャリブレーションするハード化されたキャリブレーション・コントローラーです。これにより、最適なシグナル・インテグリティとジッター・パフォーマンスが提供可能です。
ATX (Advanced Transmit) PLL	連続したチューニング範囲を持つ低ジッタ ATX (LC タンクベースの) PLL です。広範囲の標準プロトコルと独自開発プロトコルを網羅します。
フラクショナル PLL	オンボード水晶発振器に替わって使用が可能で、システムコストを削減するオンチップのフラクショナル周波数シンセサイザーです
デジタル・アシスト・アナログ CDR	高速ロック時間による優れたジッタ耐性
ダイナミック・リコンフィグレーション	トランシーバーのより良い柔軟性を達成するために、Avalon メモリーマップド・インターフェイスは各トランシーバー・チャネルを個別に制御することを可能にします。
PCS-PMA と PCS-PLD の多様なインターフェイス幅	デシリアライゼーション幅、エンコーディング、およびレイテンシー削減を柔軟にする、8 ビット、10 ビット、16 ビット、20 ビット、32 ビット、40 ビット、または 64 ビットのインターフェイス幅

PCS の機能

トランシーバー PCS を使用することで、125 Mbps から 12.5 Gbps におよぶ広範囲のプロトコルをサポートすることができます。

表 13. Cyclone 10 GX デバイスのトランシーバーの PCS 機能

この表は、Cyclone 10 GX トランシーバーの PCS 機能を要約しています。

PCS	説明
Standard PCS	<ul style="list-style-type: none"> 最大 12.5Gbps のデータレートで動作します PCI-Express、CPRI 4.2+、GigE などのプロトコルをサポートします ベーシックまたはカスタム (Standard PCS) のトランシーバー・コンフィグレーション・ルールを使用して、さまざまなプロトコルを実装します
エンハンスド PCS	<ul style="list-style-type: none"> PMA を介してオフチップにデータが送信される、または受信される前に、ほとんどのシリアルデータの業界規格に共通する、ワード・アライメント、エンコード / デコード、フレーミングといった機能を実行します FPGA ファブリックにおけるデータ転送を処理します PMA へ、または PMA からの内部的なデータ転送を処理します 周波数補償を提供します マルチチャネル低スキュー・アプリケーションのチャネル結合を実行します
PCIe Gen2 PCS	<ul style="list-style-type: none"> Gen1 と Gen2 のデータレート間でのデータおよびクロックのシームレスな切り替えをサポートします PIPE 3.0 機能に向けてサポートを提供します ハード IP がバイパスされた PIPE インターフェイスとハード IP がイネーブルされた PIPE インターフェイスをサポートします



PCS プロトコルのサポート

表 14. Cyclone 10 GX トランシーバー PCS がサポートするプロトコル (暫定版)

この表に、Cyclone 10 GX トランシーバー PCS がサポートするプロトコルの一部をリスト表示します。

プロトコル	データレート (Gbps)	トランシーバー IP	PCS のサポート
PCIe Gen2 x1, x2, x4	5.0	Native PHY (PIPE)	Standard PCS
PCIe Gen1 x1, x2, x4	2.5	Native PHY (PIPE)	Standard PCS
1000BASE-X ギガビット・イーサネット	1.25	Native PHY	Standard PCS
IEEE 1588v2 規格 1000BASE-X ギガビット・イーサネット	1.25	Native PHY	Standard PCS
10GBASE-R	10.3125	Native PHY	エンハンスド PCS
IEEE 1588v2 に準拠した 10GBASE-R	10.3125	Native PHY	エンハンスド PCS
Interlaken (CEI-6G-SR/CEI-11G-SR)	3.125 ~ 12.5	Native PHY	エンハンスド PCS
SFI-S/SFI-5.2	6.25	Native PHY	エンハンスド PCS
12G SDI	11.88	Native PHY	エンハンスド PCS
CPRI 6.0 (64B/66B)	0.6144~6.144	Native PHY	エンハンスド PCS
CPRI 4.2 (8B/10B)	0.6144~6.144	Native PHY	Standard PCS
OBSAI RP3 v4.2	0.6144~6.144	Native PHY	Standard PCS
SD-SDI/HD-SDI/3G-SDI	0.143 ⁽⁵⁾ ~2.97	Native PHY	Standard PCS

ダイナミック・リコンフィグレーション

Cyclone 10 GX デバイスはダイナミック・リコンフィグレーションをサポートします。ダイナミック・リコンフィグレーションを使用すると、トランシーバーのシームレスなリコンフィグレーションが可能になります。

デバイスが動作を継続している間に、PMA および PCS ブロックのリコンフィグレーションが可能です。この機能により、他のトランシーバー・バンクで進行中のデータ転送に影響を与えることなく、トランシーバー・バンク内のチャンネルのデータレート、プロトコル、およびアナログ設定を変更することができます。この機能はダイナミック・マルチプロトコルまたはマルチレートのサポートを必要とするアプリケーションに最適です。

⁽⁵⁾ 0.143 Gbps のデータレートは、FPGA ファブリックに実装する必要があるユーザーロジックのオーバサンプリングを使用することでサポート可能です。

エンハンスド・コンフィグレーションおよびプロトコル経由のコンフィグレーション

表 15. Cyclone 10 GX デバイスのコンフィグレーション・スキームと機能

Cyclone 10 GX デバイスは、1.8 V のプログラミング電圧および多様なコンフィグレーション・モードをサポートしています。

スキーム	データ幅	最大クロックレート (MHz)	最大データレート (Mbps) ⁽⁶⁾	圧縮復元	デザイン・セキュリティ ⁽⁷⁾	リモート・システム・アップデート
JTAG	1 ビット	33	33	—	—	—
EPCQ-L コンフィグレーション・デバイスを介したアクティブシリアル (AS)	1 ビット、4 ビット	100	400	あり	あり	あり
CPLD または外部マイクロコントローラーを介したパッシブシリアル (PS)	1 ビット	100	100	あり	あり	パラレル・フラッシュ・ローダー (PFL) IP コア
CPLD または外部マイクロコントローラーを介した高速パッシブパラレル (FPP)	8 ビット	100	3200	あり	あり	PFL IP コア
	16 ビット			あり	あり	
	32 ビット			あり	あり	
CvP (Configuration via Protocol) (PCIe*)	×1、×2、×4 レーン	—	5000	あり	あり	—

CvP (Configuration via Protocol) を使用して PCIe を介して Cyclone 10 GX デバイスをコンフィグレーションすることができます。Cyclone 10 GXCVP の実装は、PCIe 100 ms のパワーアップ・ツー・アクティブ時間要件に準拠しています。

SEU エラーの検出と修正

Cyclone 10 GX デバイスは、堅牢で使いやすい SEU (Single Event Upset) エラー検出ならびに訂正回路を提供します。

検出と訂正の回路には、コンフィグレーション RAM (CRAM) プログラミング・ビットとユーザーメモリーの保護が含まれます。CRAM は、連続的に動作する CRC エラー検出回路で保護されています。この回路には統合された ECC が装備されており、ECC は 1 ビットまたは 2 ビットのエラーを自動的に訂正し、それを超える複数ビットのエラーも検出します。エラーが 2 つ以上発生した場合、コア・プログラミング・ファイルのリロードにより訂正が実行され、FPGA が動作を継続する間、デザインが完全にリフレッシュされます。

Cyclone 10 GX CRAM アレイの物理的なレイアウトは、大部分の MBU (multi-bit upset) が内蔵の CRAM ECC 回路によって自動的に訂正される個別の 1 ビットまたは 2 ビット・エラーとして発生するように最適化されています。CRAM 保護に加えて、M20K メモリー・ブロックもエラー検出と訂正のために内蔵の ECC 回路を含み、レイアウトが最適化されています。MLAB は ECC を備えていません。

(6) 圧縮あるいはデザイン・セキュリティ機能のいずれかをイネーブルすると、最大データレートに影響を与えます。詳細については、Cyclone 10 GX デバイスのデータシートを参照してください。

(7) 暗号化と圧縮を同時に使用することはできません。



消費電力管理

Cyclone 10 GX デバイスは先進の 20 nm 技術、0.9V の低いコア電源、強化されたコア・アーキテクチャー、および消費電力を低減する様々なオプションを活用し、総消費電力を削減します。

Cyclone 10 GX デバイスは、消費電力削減に向けてプログラマブル・パワー・テクノロジーを採用しています。Quartus Prime Pro Edition ソフトウェアは、クリティカルではないタイミングパスを特定し、このようなパス内のロジックを高性能に向けてではなく消費電力の低減を目的としてバイパスします。

さらに、Cyclone 10 GX デバイスは、業界をリードする Intel の低消費電力トランシーバーを特色としています。また、ソフト実装と比較して見た場合、ロジックリソースを削減するだけでなく大幅な省電力を実現するハード IP ブロックが多数装備されています。通常、ハード IP ブロックは同等のソフトロジック実装と比較して、消費電力を最大 90%抑えることが可能です。

インクリメンタル・コンパイル

Quartus Prime Pro Edition のインクリメンタル・コンパイル機能は、コンパイル時間を短縮しつつ、タイミング収束が容易になるようパフォーマンスを維持します。

インクリメンタル・コンパイルは、トップダウン、ボトムアップ、およびチームベースのデザインフローに対応しています。この機能は、各設計者が並行してそれぞれのデザインのセクションをコンパイルするモジュール化、階層型、およびチームベースのデザインフローを容易にします。さらに、別々の設計者もしくは IP プロバイダーによるデザインの個々のブロックを個別に開発あるいは最適化することが可能です。このようなブロックはトップレベル・プロジェクトにインポートすることが可能です。

Cyclone 10 GX デバイスの概要 改訂履歴

日付	バージョン	変更内容
2017 年 5 月	2017.05.08	初版