

汎用デジタル QAM モジュレータ

日本語版追記：

このホワイト・ペーパーのオリジナルは 2006 年 1 月に書かれており、その時点で販売していた Stratix II FPGA ファミリのロジック構造「ALM」を活用して実装することを前提にしています。この内容は Stratix III、Stratix IV、Stratix V、Arria II、Arria V にも適用することができます。(2011 年 4 月)

はじめに

デジタルエンタテインメントとブロードバンド技術の発展に伴い、ケーブル回線や衛星通信を使ったビデオ・サービスにおいて、その受信契約者にデジタル情報を送信するための様々な方法が開発されてきた。現在、世界中でサービスが行われているデジタルケーブルシステムには、QAM (直交振幅変調) 方式が採用されている。この方式では、入力データのフレーミング構造、チャンネル順方向誤り訂正エンコーディング、フィルタリング、QAM マッピングが定義されている。デジタル・テレビ (DTV) の場合、典型的なダウンストリーム信号の送信には 64 QAM 方式または 256 QAM 方式が使われている。データソースは ATM パケットか MPEG2 トランスポートパケット (DTV アプリケーション向け) のどちらかが用いられる。QAM 方式はエラーコーディングの違いにより、Annex (付帯仕様) A、B、C に分類される。日本では Annex C のエンコーディング方式が採用されている。拡張 DSP ブロックを統合した「Stratix II」FPGA のロジック構造を使えば、どのような地域にも対応できる QAM 信号処理パスの主要要素を柔軟に実装できる。表 1 に、世界の主要な地域で採用されているデジタルケーブルの規格を示す。

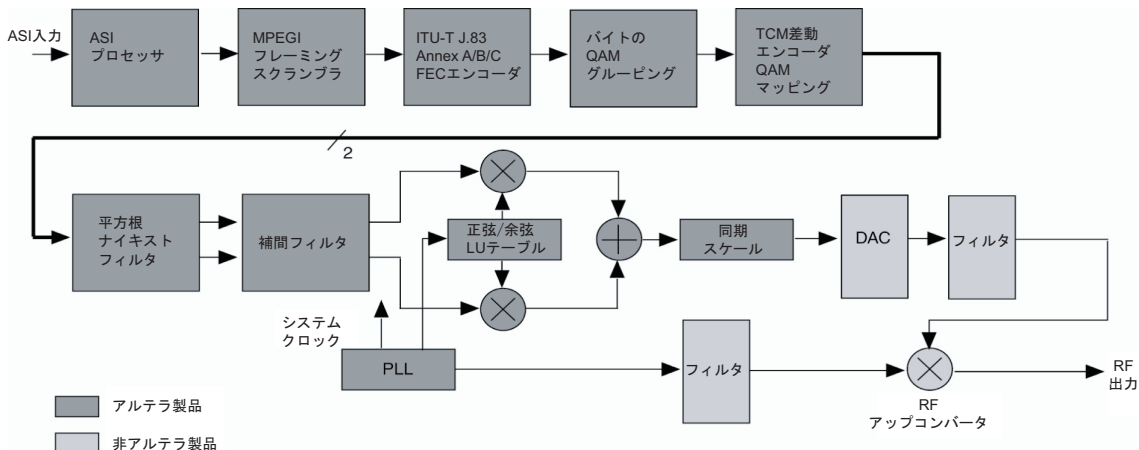
表 1. デジタルケーブル規格

地域	QAM 方式	Annex
北米	ITU-T/J.83B	B
ヨーロッパ	DVB-C	A
中国	DVB-C, DTV-C	A
日本	ITU-T/J.83B	C

QAM モジュレータのアプリケーション要件

機器メーカーは、地域ごとに異なったケーブル規格に適合する製品を販売しようとするれば、特定用途向け標準半導体 (ASSP) やカスタム ASIC を、ケーブルシステムの回路設計に用いるのは現実的ではない。多様な DTV 規格に対応するシステムの回路設計を行う際に有効なのが Stratix II FPGA である。設計者は、事前にすべてのベースバンド信号処理に対応するための機能を Stratix II デバイスに実装しておき、ケーブルシステムを動作させる時に、必要な機能が得られるように FPGA の設定を行うことができる。複数の QAM エンコーダチャンネルを 1 個の FPGA に実装することができれば、ハードウェアのアップグレードが容易になるほか、コスト削減にもつながる。図 1 に、標準的な 1 チャンネル QAM モジュレータの主要ブロックを示す。

図 1. 1 チャンネル QAM モジュレータ



データソース

DTV モジュレータのデータ入力フォーマットは、パラレルまたはシリアル MPEG2 トランスポートインタフェースである。ほとんどのヘッドエンド機器は DVB-ASI シリアルインタフェースを使用している。Stratix II デバイスの専用 LVDS I/O ピンは、最大 1 ギガビット / 秒 (Gbps) の処理能力を持っているため、複数の DVB-ASI チャンネル入力を実装する場合でも最適である。異なるビデオストリームは、FPGA に内蔵された送信用の QAM モジュレータで多重化して伝送することが可能だ。Annex A/C では、MPEG2 トランスポートストリームと同期バイト 0x07 (16 進数) との同期が取られる。この同期データが DVB/DAVIC 規格に基づいてスクランブルされる。Annex B では、入力ロジックが MPEG2 トランスポートストリームで同期バイトを検索し、それをチェックサム (Check Sum) バイトに置き換えることによって誤り検出の性能を向上させる。

データストリームの処理を行うには多くの汎用ロジック・ファンクションが必要となる。Stratix II ファミリは、5 入力や 6 入力のロジック・ファンクションも 1 エンティティで効率的に実装できるロジック容量を収容しており、固定サイズの単純な 4 入力 LUT 構造の FPGA を上回るロジック構造となっている。Stratix II アダプティブ・ロジック・モジュール (ALM) であれば、多くの 7 入力ファンクションを実装できる。ALM につき 4 つ以上のロジック・ファンクションをサポートできることから、Stratix II のロジック構造を用いることによって以下のような利点が生まれ、設計のパフォーマンスを向上させることができる。

- 組み合わせロジック全体で、必要なロジックレベルの数を低減。
- 固定サイズの単純な 4 入力 LUT の実装に必要な追加のプログラマブル配線を低減。
- 一般配線に必要なリソースを低減。

調査結果から、LUT の規模が大きくなればなるほどパフォーマンスが向上し、小規模になればなるほどロジック効率が良くなることがわかっている。Stratix II の ALM は、理想的なパフォーマンスを実現している。その上、入力数の異なるロジック・ファンクションを柔軟に実装できるため、従来の FPGA に比べてロジック効率は 25% 以上を達成している。

Stratix II の ALM では、以下のようなことが可能になるため、設計のロジックリソース要件を低減できる。

- 入力数の多いファンクションと入力数の少ないファンクションとの組み合わせ (例えば Stratix II デバイスでは、5 入力ファンクションと 3 入力ファンクションを 1 つの ALM に配置できる)。
- 異なる組み合わせロジックに共通の入力を使用し、ロジックリソースを共有することでロジック重複を低減。
- 複雑な算術ファンクションの実装、データ選択してから加算 / 減算するといった論理演算と算術演算の組み合わせ。
- 加算器ツリーなどの入力数の多い算術ファンクションの実装。
- レジスタのパッキング。
- レジスタチェーンの使用。

チャンネルエンコーディングに使用されるメモリとマルチプレクサ

通信チャンネルのパフォーマンスを上げるために、順方向誤り訂正 (FEC) チャンネルコーディングは伝送時の誤りを訂正する。FEC は実際のデータペイロードに対するオーバーヘッドとなる。最も一般的な FEC は、送信側でデータパケットに付加されるチェックサムを計算するリードソロモン・エンコーディングである。受信側でチェックサムに差異があれば、伝送時に誤りがあったことを示す。リードソロモン方式ではブロック誤りが訂正される。ブロック誤りは一般的に伝送チャンネルでのバースト誤りによって生じる。さらに、誤りのあるワードに対しては、最大で 2 チェックサムワードにつき 1 回の訂正を実行することができる。ここで用いるリードソロモン・エンコーダは、すでに実証済みのアルテラ MegaCore ファンクションである。

ITU J.83 Annex B の FEC では、トレリス・コーディングと呼ばれる、さらに別の強力なチャンネルコーディング方式が用いられている。トレリス・コーディングは変調プロセスに組み込まれているため、トレリス符号化変調 (TCM) と呼ばれることも多い。詳細については「トレリス符号化変調」のセクションを参照されたい。

インタリーブ

データを一定の規則で並び替えるインタリーブは、リードソロモン・デコーダでは処理できない連続バースト誤りを防ぐための手法で、インタリーブを行わなければ、多くの連続誤りを訂正できなくなる。データ・インタリー

ブでは、連続パケットの内容にスペースを挿入してデータが伝送される。これによってバースト誤りが、多くのデータパケットに分散されるため、FEC が各パケットで訂正する誤りが少なくなる。

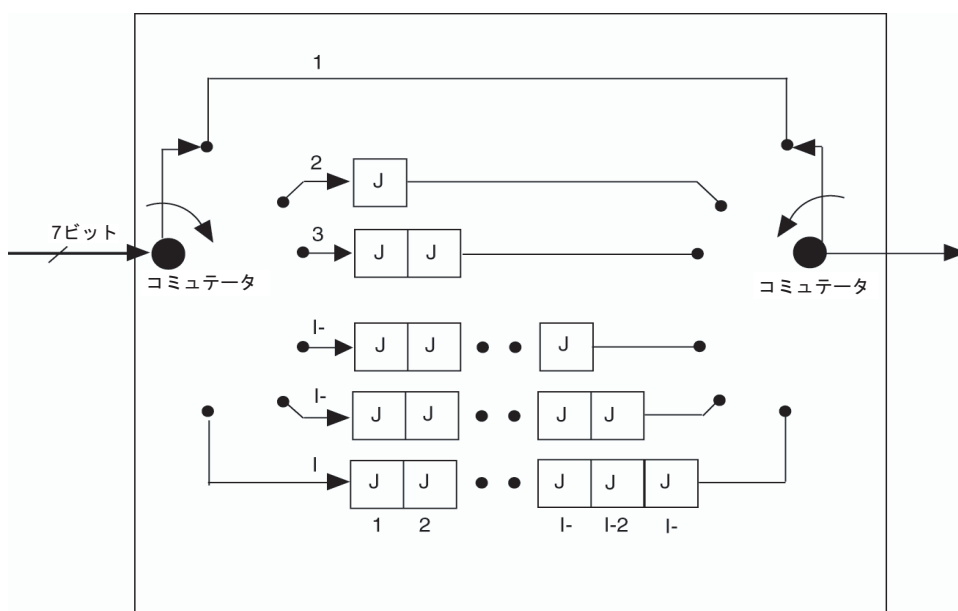
データ・インタリーブでは、現在のパケットの先頭ワード、前のパケットの先頭ワード、さらにその前のパケットの先頭ワードといった順番で、まずすべてのパケットの先頭ワードが伝送される。次に、すべてのパケットの 2 番目のワード、3 番目のワード、という順ですべてのデータが伝送される。

データ・インタリーブには多くのメモリと多重化処理が必要となる。Stratix II デバイスのロジック構造は、マルチプレクサ構造とデマルチプレクサ構造の構築に適しており、大規模マルチプレクサ、バレルシフタ、クロスバースイッチ、ステートマシンを効率的に実装できる。Stratix II デバイスには、最大 9M ビットの専用メモリブロックが組み込まれており、これをデータ・インタリーブに用いることができる。

必要であれば、外部メモリインタフェースを使用してさらに深いインタリーブを行うこともできる。また、Stratix II デバイスは拡張ピンパッケージで提供されているため、使用可能なピン数を増やしつつ、その一方で基板面積を節約できる。例えば、Stratix II ファミリは 1508 ピン FineLine BGA (FBGA) パッケージで提供されており、このうち最大 1150 ピンをユーザー I/O として使用できる。ピン数の多いこれらのパッケージを使えば、外部メモリチップやシステム内の他のサポートデバイスへの I/O ピンの割り当てが容易になる。

インタリーブは 2 つのパラメータ I および J によって定義される。I×J は、パケットサイズまたはパケットサイズの倍数となる。図 2 は典型的なインタリーブを示している。

図 2. インタリーブのブロック図

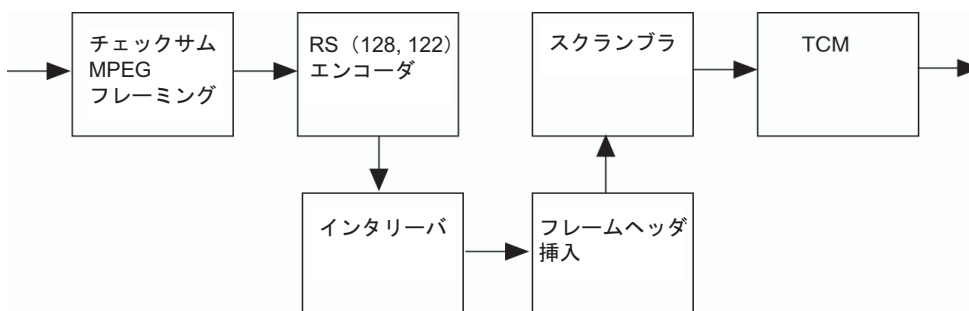


Annex B ではパケットサイズが 128 ワード (122 データワード + 6 RS チェックサムワード) であるため、実現可能なインタリーブは $I = 128 \times J = 1$ 、または $I = 64 \times J = 2$ 、または $I = 32 \times J = 4$ となる。拡張インタリーブであれば、 $I = 128 \times J = 2$ 、または $I = 128 \times J = 3$ 、最大 $I = 128 \times J = 8$ となる。

$I = 128 \times J = 1$ は 128 パケットが 1 セットあることを示す。 $I = 128 \times J = n$ の場合は、128 パケットが「n」セットあることを意味する。 $I = m \times J = n$ は、 $m \times n = 128$ というように「m」パケットが「n」セットあることを示す。

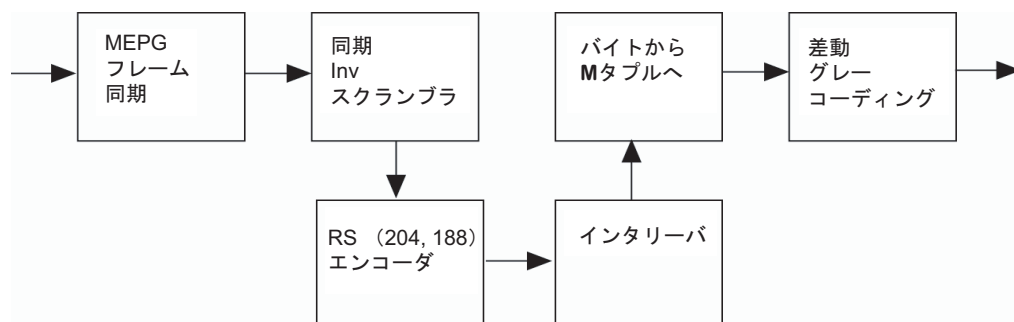
図 3 は、Annex B のチャネルエンコーダのブロック図を示している。インタリーブの深さは、DOCSIS では 8、12、16、32、64、128 のいずれか、EuroDOCSIS では 12 となる。DOCSIS のデフォルト値は 8 である。

図 3. ITU J.83 Annex B チャンネルエンコーダ



Annex A/C ではパケットサイズが 204 ワードであり、インタリーブは $I = 12 \times J = 17$ に固定されている。図 4 は Annex A/C のチャンネルエンコーダのブロック図を示している。

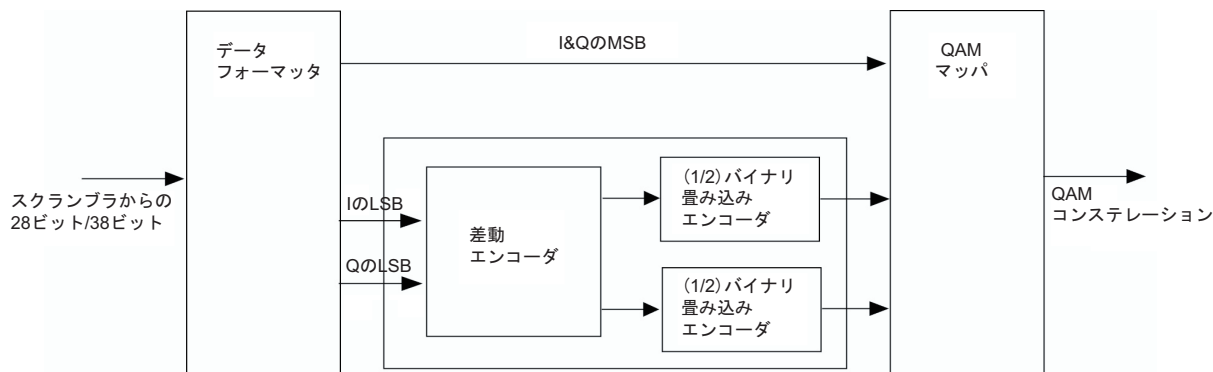
図 4. ITU J.83 Annex A/C チャンネルエンコーダ



トレリス符号化変調

TCM (トレリス符号化変調) は、データストリームと QAM コンステレーションのマップから最適なシーケンスを選択するエンコーダである。一般的に TCM のコンステレーションはデータストリームに要求されるものより大きく、エンコーダはコンステレーション内の遷移距離が最大になるようにマップされた、より広いワードシーケンスを生成する。図 5 に典型的な TCM の汎用ブロック図を示す。

図 5. TCM ブロック図



コンステレーション・サイズを増やす目的は、コンステレーションの遷移が、前のデータに基づいて他のいくつかの特定地点まで行くことのみ許可される (すべての組み合わせが許可されるわけではない) コーディング規則

を実装するためである。この狙いはデータストリームシーケンスで遷移距離を広げることにある。TCM は信号ノイズ比 (SNR) に対する誤りの確率を低減する。したがって、一定の誤り率では SNR をコーディングゲインと呼ばれる「x」dB 分だけ低減できる。ITU J.83 Annex B の TCM コーディングゲインは、64 QAM および 256 QAM で約 4.5 である。TCM ブロックは、差動エンコーダ、バイナリ畳み込みエンコーダ、QAM マップで構成される。図 6 および図 7 は、それぞれ 64 QAM と 256 QAM のコンステレーションのマッピングを示している。

図 6. 64 QAM コンステレーション

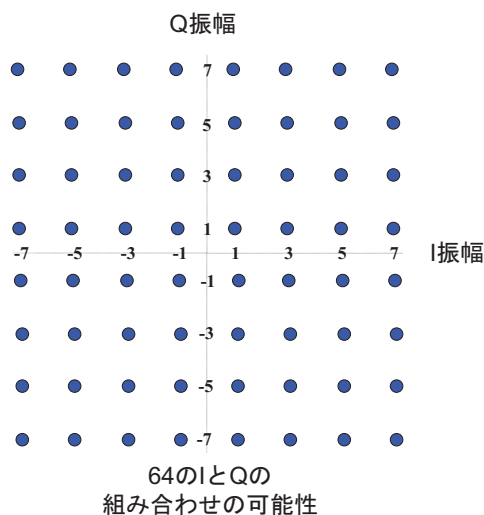
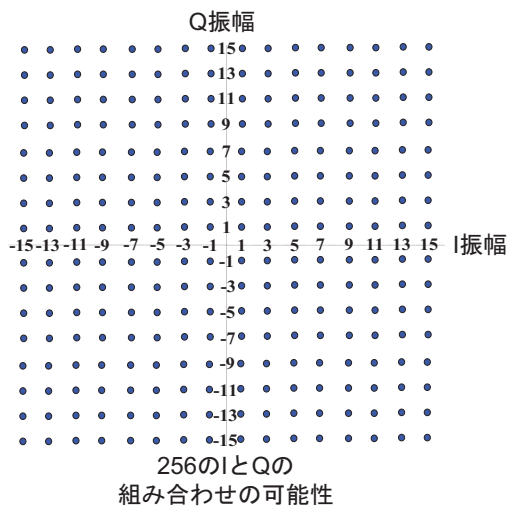
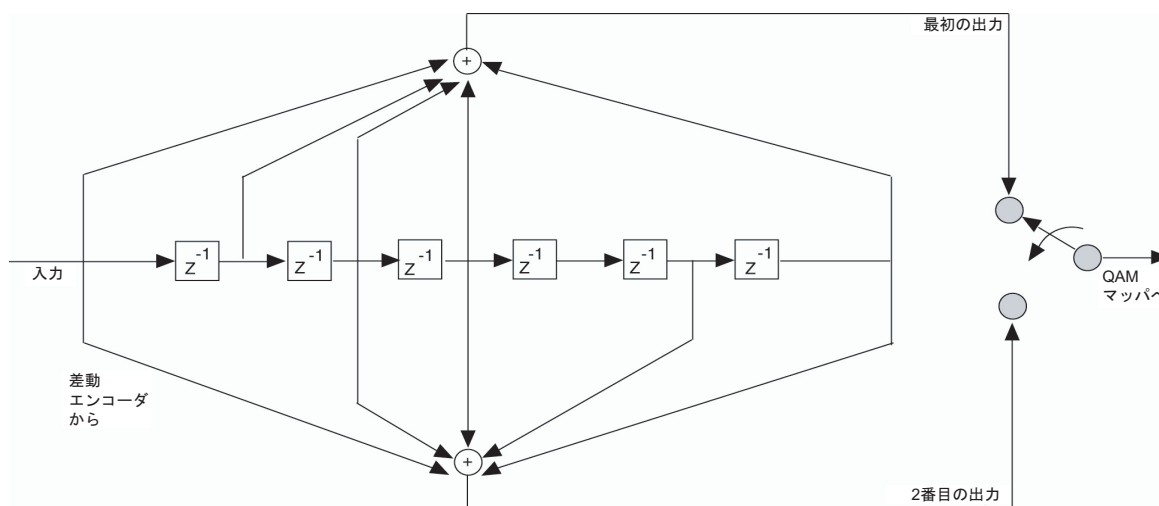


図 7. 256 QAM コンステレーション



設計者は Stratix II デバイスの DSP ブロックを使ってバイナリ畳み込みコードを実装できる。畳み込みコードの構造はデジタルフィルタに似ている。図 8 は、畳み込みエンコーダのブロック図を示している。

図 8. バイナリ畳み込みエンコーダ



二乗余弦フィルタ

帯域制限チャンネルを介したビデオデータの伝送には、符号間干渉 (ISI) を制御または除去できるようにデジタルパルスを形成するためのフィルタが必要となる。通常、ケーブル伝送設備でのパルス形成には、プログラマブルな平方根二乗余弦フィルタ (有限インパルス応答 (FIR) フィルタ) が使用されている。その伝達関数を以下に示す。

$$H(t) = \left(\frac{\sin\left(\frac{\pi t}{T}\right)}{\frac{\pi t}{T}} \right) \left(\frac{\cos\left(\frac{\alpha \pi t}{T}\right)}{1 - \left(\frac{2\alpha t}{T}\right)^2} \right)$$

余剰帯域幅係数 α 値は、使用される規格により、12%、15%、18% のいずれかとなる。Stratix II デバイスの拡張 DSP ブロックを使用すれば、ケーブル変調向けのプログラマブルフィルタを効率的に実装できる。

表 2 は、アルテラ製 FIR コンパイラ 3.0 を使ったときの 128 タップ FIR デシメーティングフィルタの向上点を比較したものである。この設計のデジタルフィルタは以下の設計仕様を満たしている必要がある。

- 16 ビットデータおよび係数
- 帯域外阻止 80 dB
- パイプライン = 1
- チャンネル数 = 4
- パラレルアーキテクチャ

表 2. Stratix と Stratix II の FIR ベンチマーク比較

パラメータ	Stratix	Stratix II
加算器ツリーのタイプ	2 進	3 進
加算器の数	123	73
ロジックエレメント (I)	3,691	1776
メモリ使用量 (M512)	28	21
速度 (f_{MAX})	248 MHz	372.72 MHz

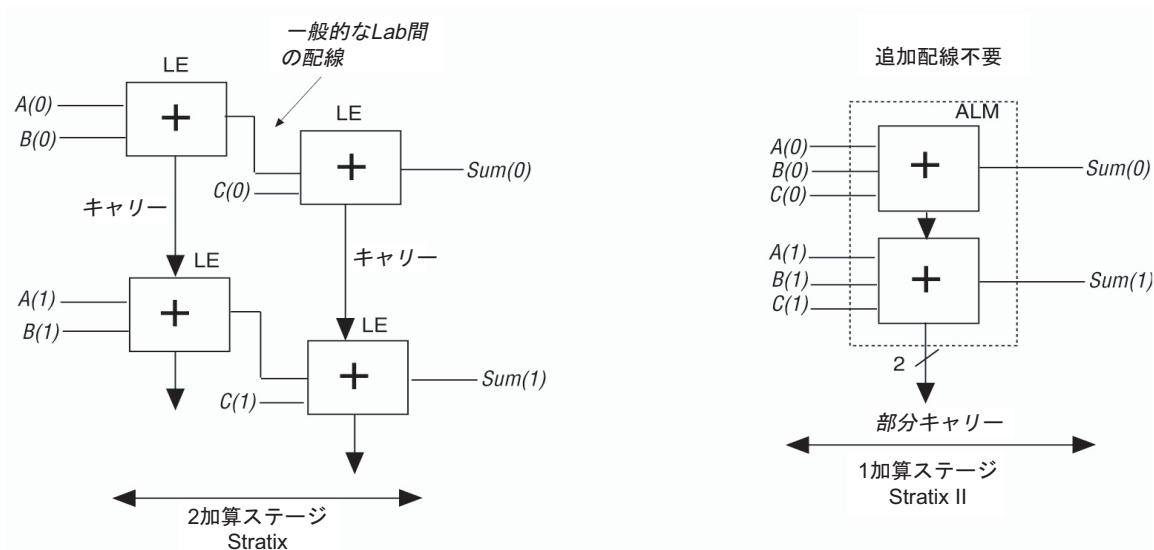
備考:

- (1) Stratix II デバイスのロジックエレメント数は、Quartus II ソフトウェアで報告された ALUT 数である。
- (2) 上記は速報値である。

デジタルフィルタの主要な要素は加算器である。Stratix II ALM では 3 つの数を 1 ステップで加算できるため、加算器ツリーのパフォーマンスが向上する。

Stratix II デバイスの 3 進加算器機能により全体の加算器数が減り、従来の Stratix デバイスに比べると、ロジックリソースの使用率を 18% 低減することができる。Stratix II デバイスのパフォーマンスは Stratix デバイスより 22% も上回っている。そのフィルタ設計は 35.1 GMAC を実現しており（現在入手可能な最速 DSP プロセッサ能力の 12 倍以上）、EP2S180 のロジックリソースの使用率は 3% 未満である（4683/180000 相当のロジックエレメント数）。図 9 は、Stratix および Stratix II デバイスの単純な 3 入力加算器を示している。

図 9. Stratix と Stratix II の 3 入力加算器



Stratix デバイス、あるいはロジック構造で 2 入力加算しかサポートしていない FPGA デバイスで 3 入力加算を実装する場合、その合計値は 1 演算につき 2 値ずつの加算を繰り返すことによって生成される。この 2 進ツリー方式による加算のパフォーマンスは、各加算ステージの遅延と、各加算ステージ間のプログラマブル配線の遅延により制限される。

Stratix II ALM では（共有演算モードで）3 進加算器がサポートされており、2 加算ステージが 1 加算ステージに減少し、余分なプログラマブル配線が不要となることからパフォーマンスが向上する。

デジタルアップコンバータ

数値制御発振器（NCO）は、数値入力に基づいてデジタル周波数を出力するロジックブロックである。出力波形は様々だが、のこぎり（ランプ）波、正弦波、あるいは正弦波 / 余弦波が一般的である。出力周波数はマスタック周波数の半分に制限される。

NCO は、プログラマブルカウンタと波形ルックアップテーブルで構成される。カウンタ、すなわち位相アキュムレータは、周波数入力に基づいてカウントする。この周波数入力が入力クロックエッジごとの現在のカウンタ値に加算される。入力値が大きくなるほど、カウンタが最大値に速く到達してロールオーバーする。カウンタ値はルックアップテーブル（LUT）へのインデックスとして使用され、LUT 出力が波形出力を決定する。

ベースバンドの実信号を複雑な信号にアップコンバートする 1 つの方法は、LUT ファンクションを使用して正弦（位相）乗算器と余弦（90 度位相）乗算器を作成する方法である。アルテラの NCO コンパイラは、このデジタルアップコンバータの高精細正弦波形を生成することができる。したがって、設計者は Stratix II DSP ブロックを、

内蔵した TriMatrix メモリブロックとともに使用することで、サンプリングレートが 300 Mbps を超える中間周波数 (IF) アップコンバータの実装が可能となる。

変調システムの厳しい要件により、NCO はスプリアスフリーダイナミックレンジ (SFDR) で測定される高品位信号を生成しなくてはならない。3G の標準的な SFDR 要件は 110 dB を超える。このブロックに以下のパラメータを用いてアルテラの NCO コンパイラ 2.2.0 を実装する。

- 位相アキュムレータ精度 32 ビット
- 角度精度 18 ビット
- 変調精度 18 ビット
- アルゴリズム：乗算器ベース
- ディザリング ON

表 3. Stratix デバイスと Stratix II デバイスの NCO ベンチマーク比較

パラメータ	Stratix	Stratix II
ロジックエレメント (I)	139	236
メモリ使用量 (M4K)	6	6
DSP ブロック 9 ビットエレメント	8	8
最大周波数 (MHz)	279 MHz	360.88 MHz

備考：

- (1) このベンチマーク結果は、プレリリース版 Quartus II ソフトウェアおよびプレリリース版 FIR フィルタコアに基づいている。商用版の Quartus II ソフトウェアを使用した場合は結果が異なる可能性がある。
- (2) 上記は速報値である。

まとめ

ケーブル用 QAM モジュレータには高い信号処理性能が要求される。Stratix II デバイスの革新的なロジック構造、拡張専用 DSP ブロック、そして画期的な TriMatrix メモリブロックを統合した Stratix II デバイスは、柔軟性とタイムツーマーケットの短縮を要求されているケーブル用ヘッドエンド機器の設計者にとって完璧なソリューションである。Stratix II デバイスの高度な機能に加え、アルテラでは設計プロセスを簡素化する卓越した IP コアと EDA ツールも提供している。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2005 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.