

## FPGA 性能のベンチマーク手法

## はじめに

このホワイトペーパーでは、FPGA ファミリの厳密なベンチマーク手法について説明します。ベンチマークの目的は、ある FPGA ファミリーと別の FPGA ファミリーの結果をさまざまな計測基準に基づいて比較することです。FPGA 業界は、標準的なベンチマーク手法に準拠していないため、このホワイトペーパーではアルテラが採用しているベンチマーク手法について詳しく説明し、ベンチマーク手法に不備があると結果が歪曲され、誤った結論が導かれる可能性があることについて解説します。

今日のデザインの複雑さと FPGA のおよびコンピュータ支援設計 (CAD) ツール機能の多様性のために、ベンチマークは困難で費用のかかる作業となっています。ベンチマーク結果を意味のあるものにするには、比較に使用されるデザインの詳細を理解すると同時に、FPGA デバイスの機能および CAD ツールを熟知していることが必要です。ベンチマーク・プロセスに不備があると、あいまいな結果や、不正確な結果になる可能性があります。アルテラでは、ベンチマーク結果の精度を確保するために大きなリソースを投資しています。

アルテラのベンチマーク手法は、FPGA の性能を測定する有用で正確な方法として業界のエキスパートから支持されています。

FPGA を評価するためにアルテラが構築したベンチマーク手法は、アルテラおよび競合の両方のツールとデバイスを公平に評価しています。実験は、工業用ベンチマークの回路上で動作する様々なエンドユーザの動作状況を考慮して行われています。これらの実験結果は実験に基づく変動を強調し、結果を公正に見極めるために解析されます。私は、この実験手法はアルテラのデバイスと競合製品と比較した使用効率やスピードに関する公正な特性評価を行っていることを確信しています。

- Russell Tessier, Associate Professor at the University of Massachusetts, Amherst

アルテラは、デバイスやツールの主要な性能特性の測定およびモニタを可能にした優れた手法を構築しました。公正で正確なテスト手法をデザインすることは困難なことです。アルテラはこれに成功しました。これらのシステムは、包括的で代表的なテスト・スイート、様々な FPGA ファミリー間で発生するテクノロジーや IP の差異の補完、合成およびレイアウト・ツールから最適な結果を得るためのデザイン制約の自動生成を含んでいます。

- Kevin Morris, Editor, FPGA and Programmable Logic Journal

## ベンチマーク手法

アルテラはベンチマークのために、リスト・エフォート、タイミング制約、およびベスト・エフォートの3つの比較を提唱しています。エフォート・レベルは、結果を得るためのユーザのエフォート（ユーザに求められる作業量）およびツールのエフォート（必要な総コンパイル時間）の両方を反映したものです。このホワイトペーパーでは、デザインの最大周波数 ( $f_{MAX}$ ) に重点を置いて説明します。

- リスト・エフォート実験の目的は、ユーザの介入がほとんどなく、比較的短いコンパイル時間で良好な結果を得ることです。この実験は（推奨される独自の設定を使用して）簡単に実行できるため便利であり、性能の初期推定値を把握することができます。
- タイミング制約比較の目的は、デフォルトの CAD ツール設定値を使用しながら、CAD ツールを性能に合わせて最適化することです。
- ベスト・エフォート比較の目的は、達成可能な最良の結果を示すことです。このベンチマーク比較の実験では、各コンパイルにデフォルトのプッシュボタン・コンパイルよりも長い時間をかけ、1 つのデザインに対してコンパイルを複数回行う必要があります。これらの性能結果は、リスト・エフォート比較およびタイミング制約比較の結果よりもはるかに優れたものになる場合があります。

ベンチマーク結果は、デザインの選択、CAD ツール設定、ユーザ制約、結果の解釈など、多くの要因によって影響を受ける可能性があります。この項の残りの部分では、ベンチマーク結果に影響を与える主な要因について詳しく説明し、アルテラの手法では以下のような要因にどのように対処するかを示します。

- ベンチマーク・デザインの選択
- ハードウェア記述言語 (HDL) の最適化
- ソフトウェアの設定および制約
- 結果の解釈ソフトウェア・ツール間でのタイミング解析の相違点
- ベンチマーク結果の報告

## ベンチマーク・デザインの選択

アルテラでは、ベンチマークに実際のカスタマ・デザインのみを使用しており、人為的な回路を構築したり、孤立した IP コアを使用することはありません。使用されるデザインは、ネットワークング、テレコミュニケーション、ワイヤレス、および家電製品などのさまざまな市場セグメントでのデザインと、他のベンダの ASIC、ゲート・アレイ、FPGA などの幅広い実装テクノロジーを使用したものです。アルテラは、広範なカスタマ・デザインのベンチマークを行うことにより、ベンチマーク・デザインのロジックおよび接続が正確で、大規模なデザインや FPGA CAD ツールの複雑な相互作用を表すものであることを保証します。

アルテラはカスタマ・デザインを使用するために、各種合成ツールや CAD ベンダと連携するためのデザイン変換にかなりのリソースを投資しています。また、アルテラは、機能が保持され、特定の FPGA ベンダ向けに適切なコード最適化が行われることを保証します (デザインは通常、特定の FPGA に対して最適化されるように開発されている場合が多いため、この最適化が必要です)。アルテラのベンチマーク比較では、使用される高性能セグメントのすべてのデザインが、Synplify という同じ合成ツールで合成されます。低コスト FPGA 比較では、Synplify と各 FPGA ベンダの統合合成ツールの両方を使用します。

## ハードウェア記述言語の最適化

前の項で説明したように、ベンチマークでは実際のカスタマ・デザインを使用するため、各デザインがテスト対象のアーキテクチャで動作するように変換しなければなりません。アルテラのエンジニア・チームは、デザイン変換および最適化プロセスに専念しています。確実に公正な比較を行うために、各デザインがアルテラ FPGA および Xilinx FPGA アーキテクチャの両方に備わった専用機能を完全に利用できるよう、デザインごとに変換および性能最適化プロセスに数週間をかけます。

## ソフトウェアの設定および制約

すべての CAD ツールは、デザイン性能、ロジック・リソースの消費量、コンパイル時間、およびメモリ使用の間でトレードオフを図った設定を提供します。あるデザインで最良の結果が得られた設定であっても、別のデザインで最良の結果が得られるとは限りません。また、ユーザ制約を設定して CAD ツールを操作すれば、結果を改善できる場合もあります。カスタマ・デザインを表すデザイン・セットの場合でも、ベンチマークの結果はソフトウェア設定と適用される制約に応じて大きく変化します。

このホワイトペーパーで説明するリスト・エフォート比較の場合、各デザインはデフォルト設定および制約なしで独自にコンパイルされます。タイミング制約比較の場合、デフォルトの CAD 設定が使用されますが、積極的なタイミング制約が設定されます。各デザインの積極的なタイミング制約を決定するには、制約が各クロックで達成可能な値をちょうど越えた値になるよう、対象となるデザインの各クロックに周波数 ( $f_{MAX}$ ) 制約を適用します。最適な制約を決定するには、制約が満足されなくなるまで制約を増やしていきます。

また、ソフトウェア最適化設定でも大きな違いが生じることがあります。最適な設定を決定できるように、Quartus® II 開発ソフトウェアは、特定のデザインに対するさまざまな設定の結果を自動生成する、デザイン・スペース・エクスプローラ (DSE) と呼ばれる機能を備えています。最適な設定を自動選択する利点に加えて、Quartus II ソフトウェアはフィジカル・シンセシス用の高度なアルゴリズムも備えています。デザインの最高性能を自動的に達成するには、これらの高度な機能が不可欠です。また、Xilinx ISE ソフトウェアも現在 Xplorer という同様のツールを備えています。ベスト・エフォート比較では、積極的なタイミング制約が設定され、使用可能な最良の CAD ツール設定が性能を最大化するために使用されます。アルテラの場合、DSE およびフィジカル・シンセシスがベスト・エフォート・ベンチマークで使用されます。Xilinx の場合は、使用可能なすべての Xplorer オプションが試されます。

また、公正で正確なベンチマーク結果を得るには、デバイスの選択も重要です。デザインが適合する最小デバイスは、ロジック・リソースとデザインに必要なメモリや乗算器などの専用機能が使用可能かどうかに基づいて選択されます。

## 結果の解釈 - ソフトウェア・ツール間でのタイミング解析の相違点

結果の解釈は、実験を正しく実行することと同様に重要です。アルテラは、クロック・ドメイン全体の性能結果の平均値を報告します。ただし、各ツールにおけるタイミング解析の相違点に細心の注意を払わずに、Quartus II および ISE ソフトウェアからの結果を安易に比較すると、誤った結果を生じることがあります。

タイミング解析に対する仮定とタイミング制約の解釈には相違があります。ツールのこれらの側面は、報告されるタイミング数に大きく影響する場合があります。Quartus II のデフォルトのタイミング解析では、堅実な想定でデザインを解析し、できるだけ多くの情報をユーザに提供します。ISE トレース・タイミング・アナライザは、ユーザが明示的に制約した内容のみを報告し、制約されていないパスは報告されません。したがって、タイミング解析ツールの解析対象となっているパスについて十分に理解していないと、誤った結論に達する可能性があります。

アルテラでは、ベンチマーク実験で Quartus II および ISE ツール間で確実に同等なタイミング解析が実行されるよう、かなりのリソースを投資しています。表 1 に、ツール間の相違点についてまとめます。



詳細な解析、例、および同等なタイミング解析を実行するためのツールのコンフィギュレーション方法は、Performing Equivalent Timing Analysis Between the Altera Quartus II Software and Xilinx ISE ホワイトペーパー ([www.altera.com/literature/wp/wp\\_timingAnalysis.pdf](http://www.altera.com/literature/wp/wp_timingAnalysis.pdf)) に記載されています。

表 1. Xilinx ISE のタイミング解析問題

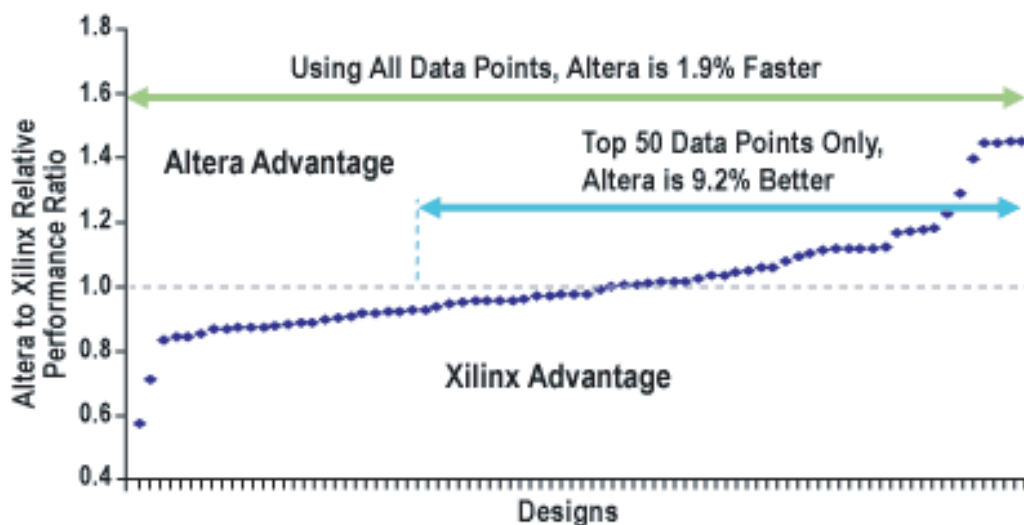
デザイン構造	Xilinx ISE	アルテラ Quartus II ソフトウェア
ラッチされたクロック	クロック間の関係が推測されないため、多くの正しいパスが無視される。明示的に制約されている場合は、レジスタの出力が独立したクロック・ドメインとして扱われ、関連するパスが解析される。	クロック間の関係が推測され、クロック間のパスが解析される。ユーザは明示的な制約を設定し、必要に応じてクロック・ドメイン間のパスを無視できる。
派生（ゲートド）クロック	明示的に制約されている場合にのみ解析される。	クロック間の関係が推測され、クロック間のパスが解析される。各派生クロックは、制約付きの独立したクロック・ドメインとして扱うことができる。
DCM (Digital Clock Manager) または PLL (Phase-Locked Loop) を用いたデザイン	DCM の入力に制約が適用された場合に解析される。	PLL MegaWizard® Plug-In の PLL クロック設定に基づいて解析される。
I/O: セットアップ時間 & クロック出力時間	入力または出力レジスタの前にラッチされさクロックは解析されない。	すべてのワースト・ケース構造が解析される。
組み合わせループ	解析されない。警告が報告される。	デフォルトでは解析されるが必要に応じてユーザが省略可能。

## ベンチマーク結果の報告

ベンチマーク結果の報告に使用するデータ点は、結論に大きく影響することがあります。これを説明するために、図 1 にベンチマーク実験の結果を示します。この図に示すように、FPGA アーキテクチャや CAD ツールでの相違のために結果がばらつくのが普通です。デザインには特定のアーキテクチャや CAD ツールでは良好に実装できるものもあれば、そうでないものもあります。デザインのサブセットを使用すると、多数の異なる誤った結論が生成される可能性があることが容易にわかります。

また、図 1 は、結果が有利な場合と不利な場合に大きく異なる可能性があるため、1 つの例だけで全体的な性能の優位性を表すのはまったく信頼に足りない可能性があることを示しています。デバイスと CAD ツールの実際の性能を理解するには、数多くのデザインを使用しなければなりません。個々のデザイン結果にはばらつきがあるため、デザイン・セット全体 (73 のデザイン) での平均的な結果が性能の指標となります。図 1 は、上位 50 のデザインだけを使用した場合、全部のデザインでの平均結果とは異なる場合があることを示しています。同等なアルテラ・デバイスと Xilinx デバイスを比較した場合、上位 50 のデザインには平均 9.2% の性能アドバンテージがあり、デザイン・セット全体では 1.9% の性能アドバンテージがあります。

図 1. ベンチマーク実験の結果



注:

- (1) ベンチマーク・データは、解析時に使用可能な最新の Quartus および ISE ソフトウェアを使用した、アルテラ・デバイスと同等の Xilinx デバイスの比較に基づいています。

どの結果が示されているか、また結果が特定のデザイン状況に関連するかどうかをユーザはどのような方法で知ることができるのでしょうか？残念ながら、2つの理由からこれらを把握するのは困難です。最初の理由は、どの FPGA ベンダも独自のベンチマーク用デザイン・セットを持っていることです。もう1つの理由は、これらのデザインは実際のカスタム・デザインであることが多く、通常は機密保持契約によって保護されているため、デザインに関する情報を開示できないことです。

## まとめ

このホワイトペーパーでは、FPGA の性能比較は、ベンチマーク手法によって大きく異なることについて説明しています。特に、結果に大きく影響する可能性がある要因として、使用するデザイン、設定および制約、タイミング解析の相違などがあります。アルテラ Quartus II ソフトウェアは、設計者がデザインの最高性能を得るためのシンプルな自動メカニズムを備えています。また、Quartus II ソフトウェアは、デフォルトにより詳細なタイミング解析を実行し、不適切なタイミング解析が原因でデザイン障害が発生するリスクを最小限に抑えます。

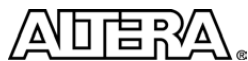
ベンチマーク結果を検討する場合、設計者はこのホワイトペーパーに記載されているすべての検討事項を熟考するだけでなく、ツールでの過去の経験や、結果を発表している企業の評判についても評価する必要があります。当社のベンチマーク結果は、高集積 FPGA の場合、65 nm および 90 nm プロセス・ノードの両方ともアルテラ・ファミリ FPGA が他の競合製品よりも少なくとも 1 フル・スピード・グレード高速であることを示しています。アルテラ Stratix® III ファミリは、Xilinx Virtex 5 ファミリよりも 1 フル・スピード・グレード高速であり、アルテラ Stratix II ファミリは、Xilinx Virtex-4 ファミリよりも 1 フル・スピード・グレード高速です。低コスト FPGA の場合、アルテラ 90 nm Cyclone® II ファミリの性能は、Xilinx 90 nm Spartan 3 ファミリよりも平均で 60% 高くなります。

アルテラのベンチマーク手法は、同じベンダおよび競合ソリューション間で FPGA の性能を判定できる信頼性のある正確な方法として、サードパーティの業界エキスパートから支持されてきました。

## 詳細情報について

- Performing Equivalent Timing Analysis Between the Altera Quartus II Software and Xilinx ISE :  
[www.altera.co.jp/literature/wp/wp\\_timingAnalysis.pdf](http://www.altera.co.jp/literature/wp/wp_timingAnalysis.pdf)
- Stratix II Device Performance and Logic Efficiency Analysis :  
[www.altera.co.jp/literature/wp/wpstxiiple.pdf](http://www.altera.co.jp/literature/wp/wpstxiiple.pdf)
- Stratix vs. Virtex-II Pro PFGA Performance Analysis :  
[www.altera.co.jp/literature/wp/wpstxvrtxII.pdf](http://www.altera.co.jp/literature/wp/wpstxvrtxII.pdf)
- Xilinx white paper, WP226, Cyclone vs. Spartan-3 Performance Analysis
- Xilinx white paper, WP206, The 40% Performance Advantage of Virtex-II Pro FPGAs Over Competitive PLDs, version 1.2, March 1, 2004

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
<http://www.altera.com>

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.