

本ホワイトペーパーでは、Altera 製 FPGA がサポートしている、LVDS (Low voltage differential signaling) インタフェースを用いてボードを設計する際の、PCB (プリント配線板) レイアウトの基本ガイドラインについて述べる。

はじめに

LVDS は、シングルエンド I/O 規格に比べて高速、低電圧、低電力、低ノイズといった特徴を持つ汎用 I/O インタフェース規格である。低電圧振幅で差動電流モードの出力は、電磁干渉 (EMI) を大幅に低減することができる。また、これらの出力のエッジレートは高速であるため、信号パスは伝送線路の役割を果たせる。したがって、LVDS インタフェース内蔵の Altera 製 FPGA が搭載されたボードを設計する時には、超高速ボード設計と差動信号の理論を理解しておくことがとても重要である。さらに、LVDS ボードを設計する際、差動トレース、インピーダンス・マッチング、クロストーク、EMI といった様々な要因も考慮しなくてはならない。

差動トレース

LVDS インタフェースでは差動伝送方式が用いられる。つまり、各 LVDS 信号が 2 本のラインを使用し、これら 2 本のライン間の電圧差によって LVDS 信号の値が決まる。差動トレースを介して LVDS 信号を正常に伝送するための、ボードレイアウトに関するガイドラインを以下に示す。

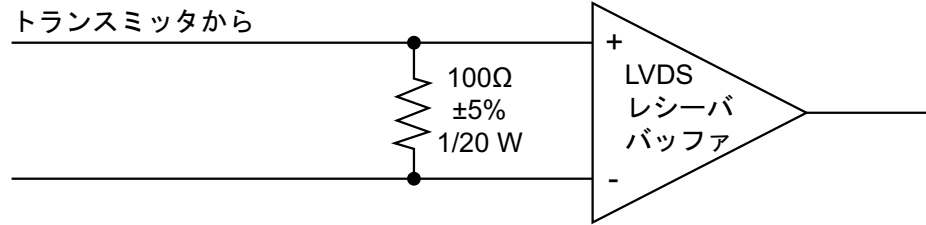
- 反射を最小限に抑え、レシーバのコモンモードノイズの除去を維持するためには、駆動 IC 外の差動トレースをできるだけ近接するように配線する。また、差動インピーダンスの不連続を避けるために、トレース全体にわたって差動 LVDS 信号間は等間隔を保つことが重要である。
- スキューを最小限に抑えるには、差動 LVDS トレース間の電気的長さを同じにしなければならない。一方の信号が他方より早く到達すると、信号ペア間で位相ずれが発生し、レシーバのスキュー・マージン (RSKM) が減少する。この結果、システムのパフォーマンスが低下する。
- 信号パス上のビア、あるいはその他の不連続の数を最小限に抑える。
- 差動ペアの各ラインにおいて、キャパシタンスなどの寄生負荷は等量になる必要がある。
- 信号の不連続性を避けるためには、角度が 90 度ではなく、弧または 45 度のトレースが望ましい。

インピーダンス・マッチング

LVDS は高速伝送であるために、どんな短いラインであっても、インピーダンス・マッチングは極めて重要である。差動 LVDS トレースでの不連続性が信号を反射させ、それが信号品質の低下につながる。このような不連続性は、コモンモードノイズも増大させることになり、EMI として放射される。電流モード出力としての LVDS 出力にはループを閉じるための終端

抵抗が必要であり、抵抗終端がなければ機能しない。この終端抵抗 (RT) の値は、伝送線路の差動インピーダンスとマッチングするように選択されており、 $90\Omega \sim 110\Omega$ (標準 100Ω) の範囲と考えられる。図 1 に、終端抵抗の正しい使い方を示す。

図 1. LVDS 終端方式



LVDS チャネルの終端抵抗を選ぶ際のガイドラインを以下に示す。

- トランスミッタからの差動相互接続の遠端に終端抵抗を置く。100Ω抵抗が1つあれば十分である。
- 0603 または 0805 サイズの表面実装用厚膜チップ抵抗を使用する。
- 終端抵抗はレシーバにできる限り近づけて、レシーバから 7mm 以内に実装する。

LVDS とシングルエンド信号のクロストーク

LVDS と、LVTTTL、SSTL-3、SSTL-2 など類似した規格のシングルエンド信号とのクロストークを低減するには、差動 LVDS 信号をシングルエンド信号から分離したほうがいい。LVDS とシングルエンド信号との距離が十分に離れていないと、シングルエンド信号が差動ペア配線と何らかの干渉を起こす可能性がある。シングルエンド信号トレースに最も近い LVDS 信号は、遠いほうの LVDS 信号よりも大きな影響を受け、LVDS レシーバによってコモンモードノイズとして除去されない電位差を生じさせる。この干渉が LVDS レシーバを誤ってトリガする可能性は低いものの、LVDS 信号の品質を低下させることとなり、ノイズマージンは減少する。クロストーク効果を避けるには、同じ PCB 層でシングルエンド信号を LVDS 信号から 12mm 以上離すべきである。LVDS 信号層とシングルエンド信号層の分離には、VCC とグラウンド・プレーンを使用することもできる。図 2 は、電源プレーンを使用して LVDS 層をシングルエンド信号層からシールドする例を示している。

図 2. 電源プレーン

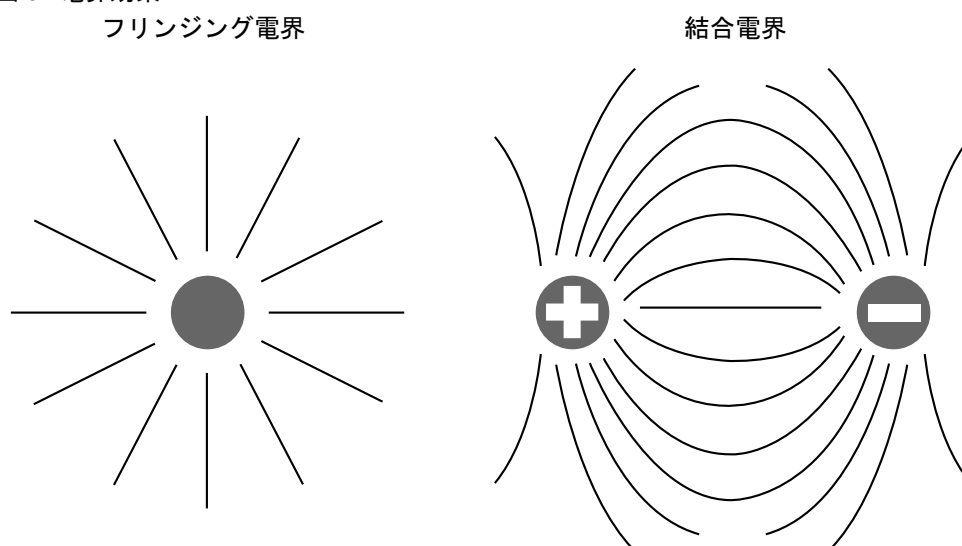


電磁干渉

電磁放射は、TEM (Transverse Electromagnetic) 波で伝搬する可能性があることから、設計者にとっては大きな懸念材料のひとつである。TEM 波はシールドから漏れることがあるため、システムが電磁適合 (EMC) 試験に不合格となる原因となる。CMOS や TTL といったシングルエンド伝送では、フィールドラインのほぼすべてが導体から離れて自由に放射する。これらフィールドラインの中には TEM 波として伝搬し、システムから漏れて EMC 問題をひき起こすこともある。

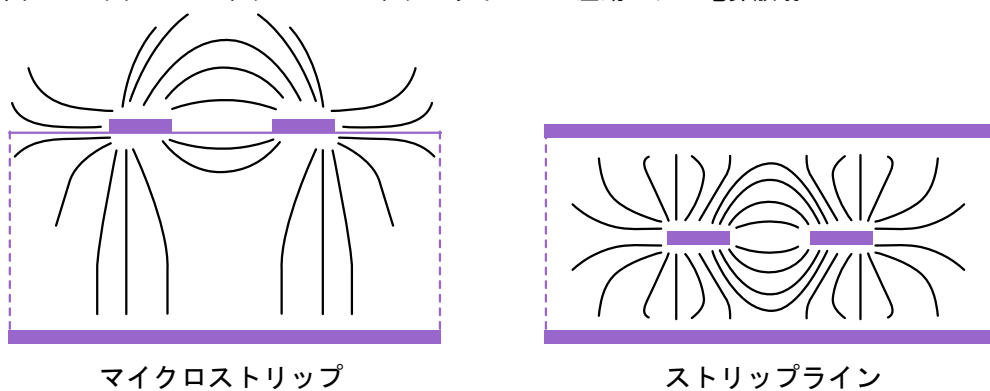
LVDS 差動信号では、近接する 2 つのフィールドラインが、互いに相殺する電磁場を作成するため、電界が結合する傾向がある。結合された電界は互いに拘束されるため、漏れることはない。この結合から漏れるのはわずかなフリッジング電界のみである。したがって、差動伝送システムである LVDS は、CMOS 信号や TTL 信号に比べて EMI は小さくなる。図 3 に、シングルエンドトレースと差動ペアの電界効果を示す。

図 3. 電界効果



LVDS 信号は、PCB マイクロストリップ (外部層) とストリップライン (中間層) に配線することができる。図 4 は、ストリップラインとマイクロストリップの LVDS トレースの電界放射を示している。

図 4. マイクロストリップとストリップラインでの差動ペアの電界放射

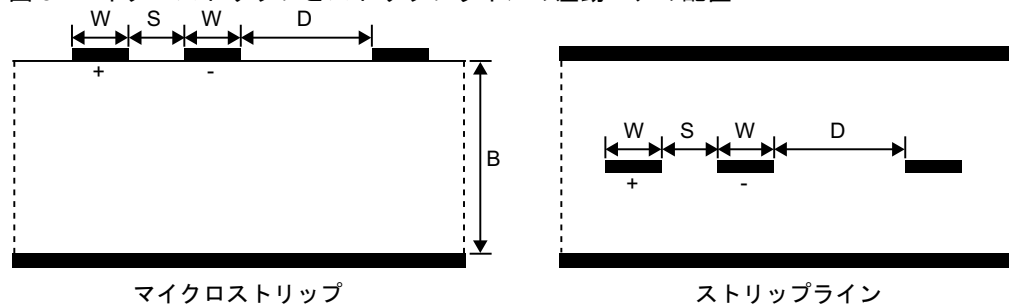


マイクロストリップでは、下のグラウンド層がさらにフィールドラインを結合させるため、より多くのフィールドラインが拘束され、EMI 効果が低減される。ストリップラインではすべてのフィールドラインが結合されるため、EMI が大幅に低減される。しかし、以下のような課題もある。

- マイクロストリップに比べて伝搬時間が著しく遅くなる（一般に 1.5 倍）。
- より多くのビアが必要となる。
- より多くの層が必要となる。
- 100Ω 差動インピーダンスを正確に実現することが困難である。

磁界ラインの結合を最大限に高めるには、差動ペアの 2 つの導体間の間隔を最小限に抑える必要がある。図 5 は、ストリップラインとマイクロストリップでの差動ペアの配置を示している。

図 5. マイクロストリップとストリップラインの差動ペアの配置



- W = 差動ペアの 1 つのトレースの幅
- S = 差動ペアの 2 つのトレース間隔
- D = 2 つの隣接する差動ペア間隔
- B = ボードの厚み


差動ペアの 2 つの導体間で良好な結合が得られるようにするには、以下に挙げるルールを順守しなければならない。

- 導体間隔が、幅の 2 倍未満であること ($S < 2W$)。
- ボードの厚みが導体間隔を超えていること ($B > S$)。
- 2 つの隣接する差動ペア間隔が、2 つの導体間隔の 2 倍以上であること ($D > 2S$)。

PCB に関する一般的なガイドライン

このセクションでは、PCB のレイアウトおよび供給電圧に関する一般的なガイドラインを述べる。

- 低い周波数 (500 ~ 600MHz) を用いる用途には、広く使われている FR-4 (ガラス・エポキシ) 基板が適している。高速動作の回路設計となる場合には G-TEK またはテフロンなどの材料を用いることがある。
- 必要なデカップリングコンデンサの数量、数値データ、タイプを見積もれば、プリレイアウトのシミュレーションに時間をかけることなく、設計の初期段階で効率的な PCB デカップリング方策を立てることができる。Altera の「Power Delivery Network (PDN)」ツールを使うことで、これらの重要な情報を提供することができる。

 使用中の FPGA に対応した PDN ツールの詳細については、[電源分配ネットワーク・デザイン・ツールのウェブページ](#)を参照のこと。

- LVDS デバイスを使う際は、VCC_CKCLK ピンと VCC_CKOUT ピンのすべてを、マイカ、セラミック、またはポリスチレン製の、0.1 μF 、0.01 μF 、ならびに 0.001 μF の容量を持つ、0805 サイズの面実装チップコンデンサを並列接続してバイパスする。これらのコンデンサはピンのすぐ下に配置する。これらのコンデンサに加え、もう 1 つ別の 2.7 μF コンデンサをピン付近に配置する。
- LVDS ドライバとレシーバは、できる限りどのコネクタとも近づける。
- データスキューを低減するため、トランスミッタ出力とコネクタ間の各トレースの物理的な長さの誤差は 5mm 以内に収める。
- クロストークを低減するために LVDS 信号を TTL 信号から隔離する（できれば異なる層に配線する）。
- LVDS グ라운드・プレーンと電源プレーンを分ける。
- 広帯域幅のオシロスコープと一緒に、高インピーダンス、低キャパシタンスのプロブを必ず使用する。
- スタブ長を出来る限り短くする。
- 電源プレーンとグラウンド・プレーンへの接続には複数のビアを使用する。

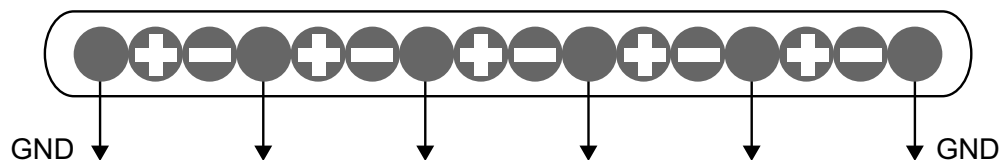
LVDS ケーブル

ボード間で LVDS 信号を伝送するにはケーブルを使用することができる。しかし、インピーダンス・マッチングと低スキューの要件によっては、標準的なケーブルだと LVDS に適さない場合がある。LVDS アプリケーション用のケーブルを選ぶ際には、以下のガイドラインが参考となる。

- 使用するケーブルは、VLDS の「整合インピーダンス」要件を満たしている必要がある。
- 超低スキューのケーブルを使用する。
- 導体ペアが平衡している必要がある（つまり、2 つの導体がケーブル内で発生させる遅延が同じでなくてはならない）。

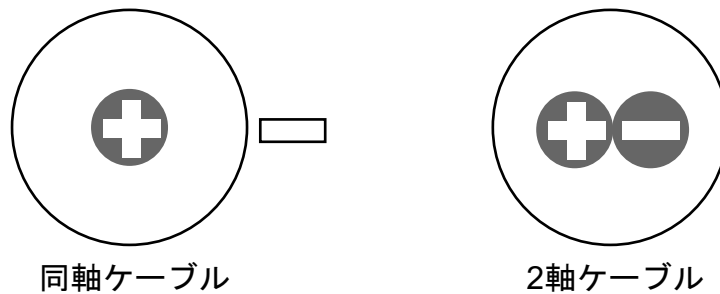
低速で、かつ非常に短いラインでは、リボンケーブルを使用することができる。より長く、高速のラインでは、ツイストペアケーブルを使う（このアプリケーションでは平衡ツイストペアケーブルが適している）。リボンケーブルを使用する場合は、信号ペアをグラウンド線で分離する必要がある、リボンケーブルの端部導体を信号の伝送に使用してはならない。図 6 に、LVDS 用途に使われるリボンケーブルを示す。

図 6. 低速 LVDS 向けのリボンケーブル



2 軸ケーブルは同軸ケーブルよりもはるかに平衡しているため、LVDS 用途では 2 軸ケーブルを使用することもできる。同軸ケーブルに比べると、2 軸ケーブルではその磁界相殺効果によって EMI の発生をかなり抑えることができる。図 7 は、同軸ケーブルと 2 軸ケーブルを示している。

図 7. 同軸ケーブルと 2 軸ケーブル

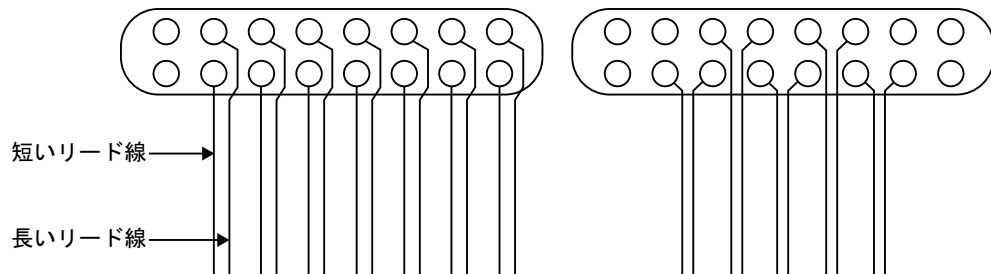


最適なパフォーマンスを得るためにはツイストペアケーブルを使うべきである。その理由は、これらのケーブルが拾うどんな小さなコモンモード電磁放射も、LVDS レシーバが除去してくれるからである。短い距離（約 0.5m）であれば CAT3 平衡ツイストペアケーブルが適している。0.5m を超える距離で、データレートが 500 MHz を超える場合には、CAT5 平衡ケーブルがよい。

LVDS コネクタ

ボード間でコネクタを使って LVDS 信号を伝送することができる。図 8 は、LVDS コネクタの良い例と悪い例を示している。図の右側の例では、差動ペアが同じ長さである。図の左側の例では、同じ差動ペアの信号線の長さが異なるため、スキューが発生する。

図 8. LVDS コネクタの良い例（右側）と悪い例（左側）



LVDS 用途に使うコネクタを選ぶ際は、以下のガイドラインが参考になる。

- インピーダンスが整合している低スキューのコネクタを使用する。
- スキューとクロストークを低減するには、リード線の長さが同じコネクタを選択する。
- 同じ差動ペアの 2 本のラインは、コネクタ上で互いに隣接して配置する必要がある。
- グラウンドピンは差動ペアの間に配置する。
- コネクタの末端ピンはできる限り接地し、高速信号に使用してはならない。
- コネクタの末端ピンはできる限り接地し、高速信号に使用してはならない。

結論

LVDS の高速性と低ノイズ性を活かすには、オンボードとコネクタ、またはケーブル内の両方で、差動トレース導体が密結合されるように設計する必要がある。その結果、ノイズが低減され、導体が平衡することで低スキューとインピーダンス・マッチングが達成される。

詳細情報について

- 電源分配ネットワーク・デザイン・ツール：
<http://www.altera.co.jp/technology/signal/power-distribution-network/sgl-pdn.html>

文書改訂履歴

表 1 は、本書の改訂履歴を示している。

表 1. 文書改訂履歴

日付	バージョン	変更内容
2010 年 9 月	v2.1	■ インピーダンス・マッチングの若干の修正
2010 年 7 月	v2.0	■ 「PCB に関する一般的なガイドライン」を更新 ■ 図 6、APEX デバイス内の LVDS を削除 ■ 文章の若干の修正
2000 年 7 月	v1.0	初版