

FPGA を使用したビデオ監視の実装

はじめに

現在、ビデオ監視業界では監視システムのベースとして、アナログ CCTV カメラおよびインターフェースを使用しています。これらのシステム・コンポーネントは容易に拡張できないうえ、ビデオ解像度が低く、信号処理もほとんどあるいはまったく行われません。しかし、次世代のビデオ監視システムでは、これらのコンポーネントが新型のデジタル LAN カメラ、複雑な画像処理、および Video-over-IP ルーティングに置き換わります。このような次世代のビデオ監視システムは、単なる監視カメラ・システムではなく、ビデオ通信システムでもあります。

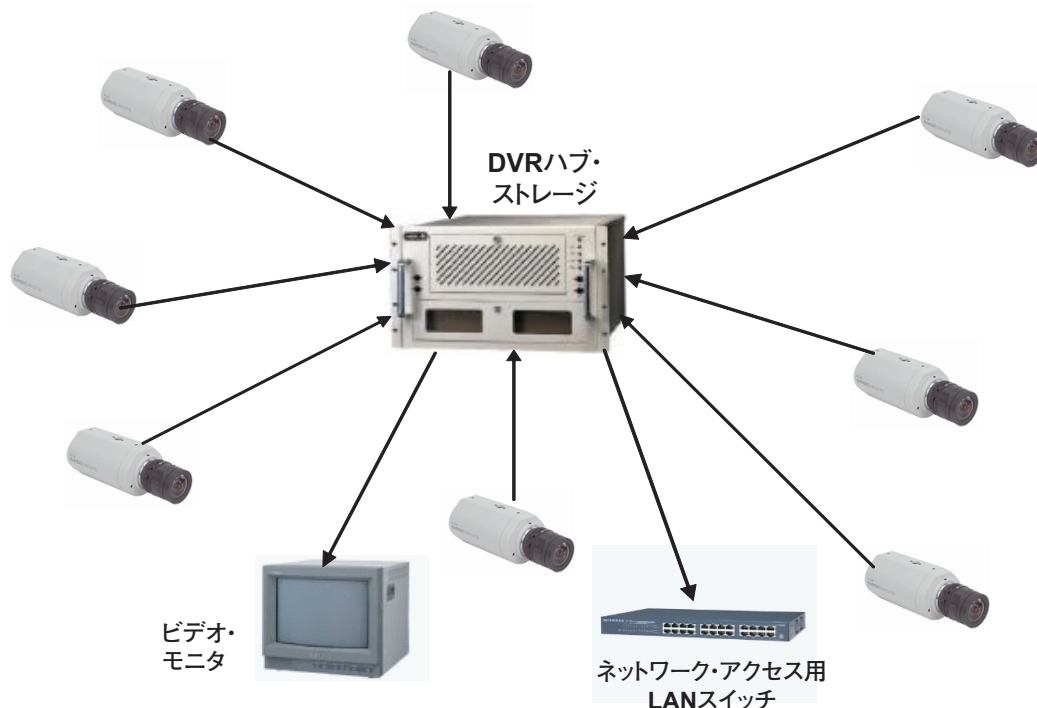
新しいビデオ監視システムのインターネット・プロトコル (IP) ベースの構造により、拡張性、柔軟性、およびサイバー・セキュリティが実現します。各種のエンコーディングおよびデコーディング規格により、ビデオ・ストリームが転送されます (今日、標準規格として使用されているのは MPEG4 CODEC です)。CODEC 機能に加え、画像の前処理および後処理によって、低レイテンシでリアルタイムに画質が向上します。エンベデッド DSP ブロック、メモリ、インターフェース、および標準 IP ソリューションを搭載したプログラマブル・ロジックによって、設計者は新しいシステム要件を満たすことができます。

デジタル・ビデオ・レコーダのアーキテクチャ

デジタル・ビデオ・レコーダ (DVR) システムでは、複数のアナログ CCTV カメラがストレージ、スケーリング、画像処理、および表示のために、中央のビデオ・スイッチング・ハブに配線されます。ビデオの解像度と品質は一般的に低く、複雑な圧縮を避けコストを低減させます。動き検出などの特殊処理によって、セントラル・ハブのストレージ空間の容量が減少します。したがって、このアーキテクチャは柔軟性を欠くか、あるいは容易に拡張できないため、ビデオ・モニタリングは質と量の両面で制限されます。

標準的な DVR システム (図 1 に示す) は、内部または外部ビデオ・マトリックス・スイッチャのいずれかに連結されて、映像をカメラからモニタまで転送します。このタイプのシステムには複数の入力および出力の多重化が必要であり、プログラマブル・ロジックを使用してシステムの柔軟性と拡張性を実現するのに最適です。

図 1. DVR システム



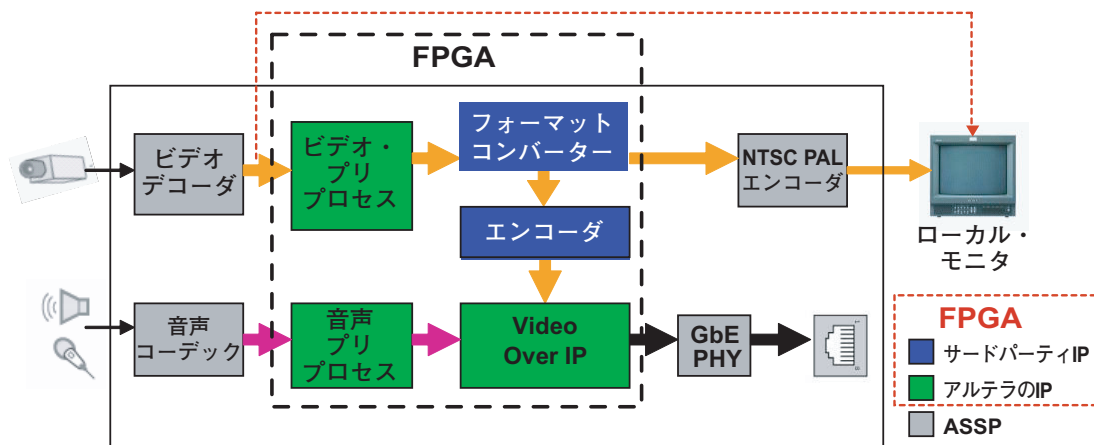
ビデオ圧縮および画像処理

ビデオ・データ圧縮にはさまざまな規格があり、JPEG、H.263、Motion JPEG、MPEG、Wavelet などが一般的です。メモリ、データ・レート、ストレージ容量などのハードウェア・システム要件は、使用する圧縮のタイプの影響を受けます。ただし、次世代の監視システムでは圧縮効率の理由から、H.264 規格が使用されることが予想されます。効率は、帯域幅が制限されたネットワークで高品質ビデオを転送する上での重要な要素です。例えば、30 fps、640 × 480 でのカラー転送では 26 Mbytes/sec のデータ・レートが必要です。このデータ・レートは、ツイスト・ペア銅線で転送可能な、より管理しやすいデータ・レートまで低減する（圧縮する）必要があります。

ビデオ圧縮データ・レートには固定ビット・レート（CBR）と可変ビット・レート（VBR）の 2 種類があります。CBR はデータ・レートを制限し、帯域幅が制限されたリアル・タイム通信チャネルに使用します。ただし、CBR で高度なモーションの詳細を圧縮すると、画質が劣化し、表示に画像ブロックが発生します。VBR により、データ・レートはモーションの有無に適応できます。これは、ビデオ監視システムのストレージには非常に便利です。VBR による H.264 圧縮では、最良のセキュリティ・ビデオ・ストレージ効率が得られます。

デインタレーシング、スケーリング、2D フィルタリングを使用したノイズ・リダクション、色空間変換などの前処理および後処理技術も、ビデオ監視システムの重要な部分です。これらの機能はアルテラのビデオ / 画像処理スイートに含まれています。図 2 に、FPGA および ASSP を使用した、代表的なビデオ監視システムのセットアップを示します。

図 2. FPGA による監視システム



高解像度化と高圧縮化に伴い、迅速なアップグレードに対応できる柔軟なアーキテクチャを維持しながら、高い性能が求められます。テクノロジーが成熟し、生産量が増加するにつれて、関心はコストの削減に移ります。システム・アーキテクチャの選択肢には、スタンダード・セル ASIC、ASSP、またはデジタル信号処理（DSP）やメディア・プロセッサおよび FPGA などのプログラマブル・ソリューションがあります。どのアプローチにも長所と短所があり、最終的にはエンド装置の要件とソリューションの可用性に応じて選択します。上記のトレンドを想定した場合、理想的な監視アーキテクチャの特性としては、高性能、柔軟性、容易なアップグレード可能性、低い開発コスト、アプリケーションの成熟と生産量の増加に伴う低コスト・デバイスへの移行パスがあります。

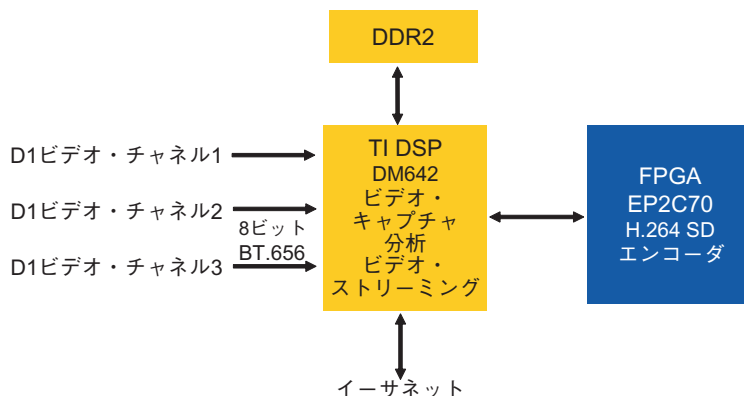
高性能

性能は圧縮に適用されるだけでなく、前処理および後処理機能にも適用されます。実際、多くの場合、これらの機能は圧縮アルゴリズム自体よりも性能を費やします。これらの機能の例として、スケーリング、デインタレーシング、フィルタリング、色空間変換があります。

ビデオ監視の場合、高性能が求められるため、プロセッサのみのアーキテクチャは除外されます。このようなアーキテクチャでは、1 個のデバイスで性能要件を満たすことはできません。1 GHz で動作する最先端 DSP は、H.264 HD デコーディングまたは H.264 HD エンコーディングを実行できず、H.264 HD エンコーディングはデコーディングよりも約 10 倍複雑です。FPGA は、この問題に対処できる唯一のプログラマブル・ソリューションです。場合によっては、FPGA と外部 DSP プロセッサの組み合わせが最良のソリューションになります。

この FPGA コプロセッシング・アプローチは、大幅な性能の向上を実現し、これにより設計者はシステムを分割して各デバイスの利点を得ることができます。図 3 にブロック図を示します。

図 3. FPGA および TI DSP によるアーキテクチャ



柔軟性による「Time-to-Market」の短縮と容易なアップグレードの実現

テクノロジーが急速に進化する中、アーキテクチャには柔軟性とアップグレードの容易さが求められます。このため、スタンダード・セル ASIC と ASSP はこれらのアプリケーションから除外されます。一般に、ASSP は大量生産のコンシューマ市場向けに設計されており、すぐに陳腐化することが多く、ほとんどのアプリケーションにとって ASSP の選択は高いリスクを伴います。

低い開発コスト

マスクおよびウェハ、ソフトウェア、デザイン検証、およびレイアウトのコストを加算すると、一般的な 90-nm スタンダード・セル ASIC の開発コストは 3000 万 US ドルにも達する可能性があります。このような膨大な開発コストが正当化できるのは、大量生産のコンシューマ市場に限られます。

より低い AUP への移行パス

標準規格が安定し、生産量が増加するにつれて、低コストの移行パスを持つソリューションが重要になります。通常、これは特定の市場に的を絞った ASSP か、スタンダード・セルのカスタム ASIC デバイスのいずれかを意味します。ただし、カスタム・シリコンのコストの高騰により、これらのソリューションを経済的に実現できるのは、大量生産のコンシューマ・アプリケーションのみではありません。ビデオや画像をターゲットにしたシリコン企業が、ビデオ・カムコーダ、セットトップ・ボックス、デジタル・スチル・カメラ、携帯電話やその他のポータブル製品、LCD テレビおよびモニタなどの量産アプリケーションに注目しています。したがって、生産量の少ないアプリケーションを設計する場合、必要な機能セットのみ備えた ASSP が存在する可能性はほとんどなく、最良の標準ソリューションでさえも、陳腐化の可能性を考慮すると高いリスクを伴う選択なので、最善策は FPGA を検討することです。

アルテラのビデオ / 画像処理ソリューション

上記の理由により、FPGA は、多くのビデオ / 画像処理アプリケーションの要件を満たすのに特に適しています。アルテラの FPGA には、ビデオ / 画像処理アーキテクチャにとって非常に魅力的な、以下の特性があります。

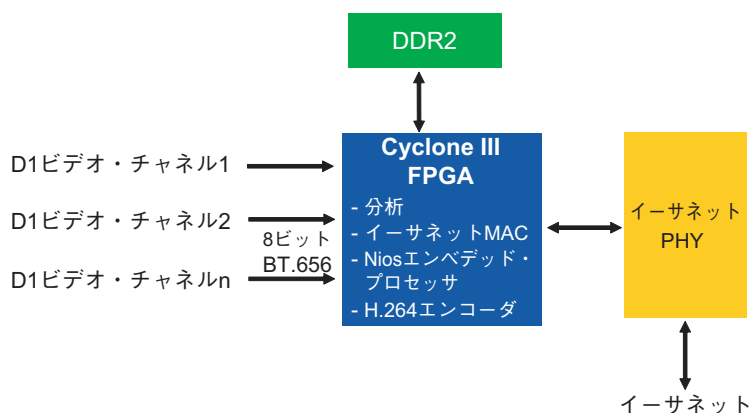
- 高性能：HD 処理は 1 個のアルテラ FPGA に実装できます。
- 柔軟性：アルテラ FPGA は迅速なアップグレードが可能で、進化する要件に対応でき、また拡張性のために FPGA を低コストの高性能システムに使用することもできます。
- 低い開発コスト：アルテラのビデオ開発キットの価格は 1,095 US ドルからであり、これにはアルテラ FPGA を使用してビデオ・システムを開発するのに必要なソフトウェア・ツールが含まれています。
- 陳腐化の防止：アルテラの FPGA には、発売後多年にわたって製品を出荷している膨大なカスタマ・ベースがあります。さらに、FPGA デザインはあるプロセス・ノードから次のプロセス・ノードに容易に移行できます。
- より低い生産コストへのプラン：アルテラはユーザの製品生産量が増加したときのためのプランを提供します。
 - 初期生産に Stratix® シリーズ FPGA を使用している場合、ストラクチャード ASIC への低コストな移行パスを提供します。アルテラの HardCopy® ストラクチャード ASIC は 100 万 ASIC ゲートに対して 10 万個からスタートでき、初期費用はわずか 10US ドルです。
 - 同様に初期生産には Stratix シリーズ FPGA を使用し、現在の Cyclone III FPGA ファミリのような Cyclone シリーズの将来のバージョンを使用することにより、著しく低いコストで十分な性能および機能を実現します。

- ビデオ / 画像処理ソリューション：これには、アルテラのビデオ / 画像処理スイート、最適化された DSP デザイン・フロー、インタフェース、サードパーティ・ビデオ圧縮 IP、およびビデオ・リファレンス・デザインなどがあります。

FPGA およびストラクチャード ASIC での ASSP 類似機能

ソリューション数が増加する中、アルテラとパートナーは、FPGA またはストラクチャード ASIC の形で ASSP 機能を提供しています。一例として、FPGA を ASSP の場合と同様に使用できる H.264 エンコーダ (図 4 に示す) があります。FPGA ソリューションが従来の ASSP アプローチよりも優れている点は、迅速に進化し陳腐化のリスクがないことです。

図 4. Cyclone III FPGA スタンドアロン H.264 エンジン



このソリューションは優れた柔軟性を提供し、現在チャンネルあたり最も低コストのデバイス 1 個で 16 チャンネル以上をサポートすることができ、低コスト・システムから高機能システムに拡張します。コストと H.264 性能の比較については、1 秒あたりのフレーム数を記載した表 1 を参照してください。

表 1. H.264 性能に対する Cyclone III FPGA のスケーリング

D1 (フレーム / 秒)	FPGA	HardCopy II ストラクチャード ASIC
40	EP3C25	HC210
80	EP3C40	HC210
120	EP3C55	HC210
160	EP3C80	HC210
240	EP3C120	HC220
480	2 EP3C120	2 HC220
720	3 EP3C120	3 HC220
960	4 EP3C120	4 HC220

また、このソリューションの柔軟性は、製品の陳腐化の可能性を最小限にし、将来のデザインに対応できる利点を提供します。

DSP デザイン・フロー

アルテラはカスタム開発のために、いくつかの異なる方法でデザインを表現できる最適化された DSP デザイン・フローを提供しています。これには、VHDL/Verilog、モデルベース・デザイン、C ベース・デザインなどがあります。アルテラのビデオ / 画像処理コア・スイートは、これらのデザイン・フロー・オプションと共に使用できます。

アルテラと The MathWorks 社は協力して、設計者が The MathWorks 社のモデル・ベース・デザイン・ツールである Simulink を利用しながら、アルテラ FPGA の価格と性能面での利点を十分に生かせる包括的な DSP 開発フローの作成にあたっています。アルテラの DSP Builder は、Simulink とアルテラの業界最先端 Quartus® II 開発ソフトウェアを接続する DSP 開発ツールです。DSP Builder はシームレスなデザイン・フローを提供しており、設計者は MATLAB ソフトウェアでのアルゴリズム・デザインおよび Simulink ソフトウェアでのシステムレベル・デザインを実行し、そのデザインを Quartus II 開発ソフトウェアで使用するために、ハードウェア記述言語 (HDL) ファイルにポーティングすることが可能です。DSP Builder ツールは SOPC Builder ツールに密接に統合されます。これにより、ユーザは Simulink デザインとアルテラのエンベデッド・プロセッサおよび IP (Intellectual Property) コアを組み込んだシステムを構築できます。この開発フローは、プログラマブル・ロジック・デザイン・ソフトウェアを使用した十分な経験がない設計者にも簡単であり、直感的に理解できます。

ビデオ / 画像処理スイート

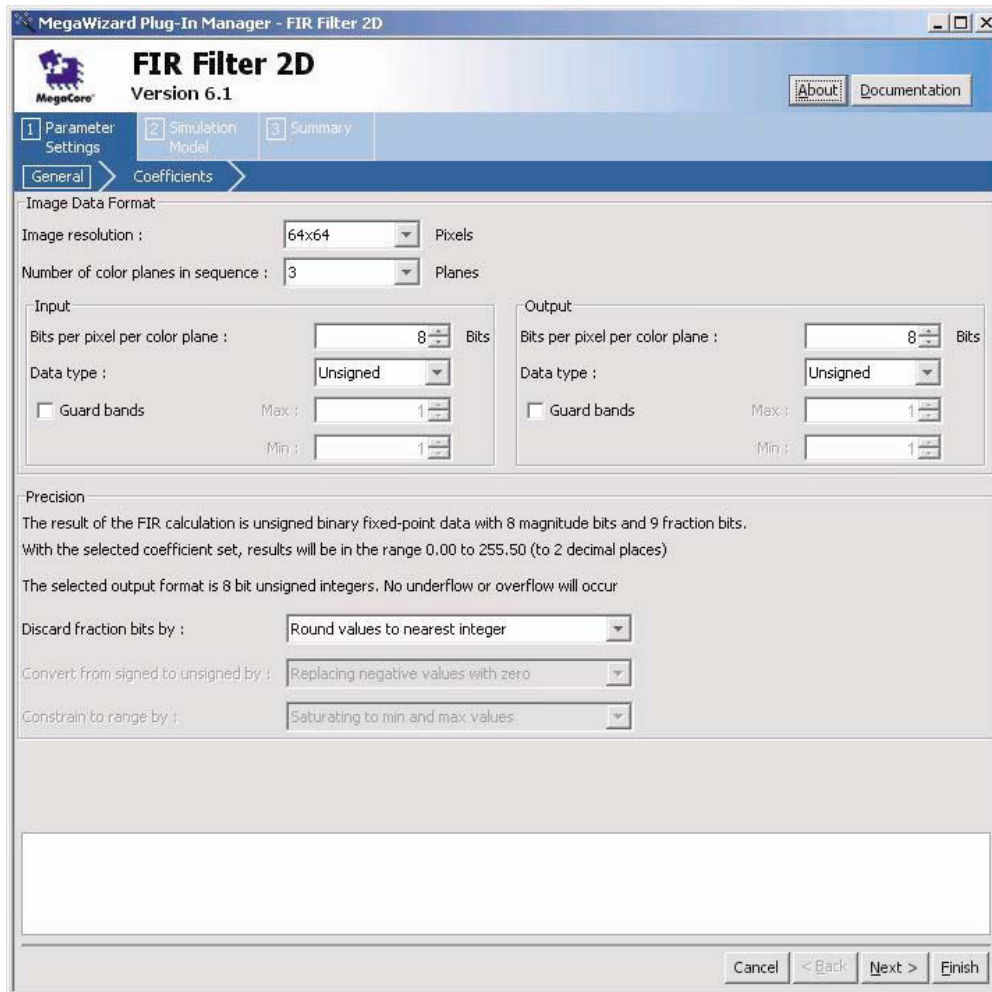
ビデオ / 画像処理スイート (Video and Image Processing Suite) は、スタティックまたは、場合によってはダイナミックに変更可能なパラメータを備えた 9 つの MegaCore ファンクションで構成されています。これらのファンクションを使用して、[図 2](#) に示すビデオ監視システム・セットアップのビデオ・プリプロセス・セクションを作成することができます。[表 2](#) に、これらの MegaCore ファンクションをまとめます。

表 2. ビデオ / 画像処理スイートの IP MegaCore ファンクション

IP MegaCore	説明
デインタレーサ	インタレース・ビデオ・フォーマットをプログレッシブ・ビデオ・フォーマットに変換します
カラー・スペース・コンバータ	画像データを様々なカラー・スペース間で変換します
スケーラ	画像フレームをサイズ変更や切り抜きします
アルファ・ブレンディング・ミキサ	複数の画像ストリームを混合およびブレンドします
ガンマ・コレクタ	カラー・プレーン / スペースでガンマ補正を実行します
クロマ・リサンブラ	画像フレームのクロマ・データのサンプリング・レートを変更します
2D フィルタ	画像データ・ストリームに 3×3 、 5×5 、または 7×7 の FIR (Finite Impulse Response) フィルタを使用し、画像をソフトまたはシャープにします
2D メジアン・フィルタ	3×3 、 5×5 、または 7×7 フィルタを使用して、各ピクセル値を隣接ピクセルとの中間値に置換することにより、画像のノイズを除去します
ライン・バッファ・コンパイラ	画像用ライン・バッファをアルテラのオンチップ・メモリに効率的に配置します

[図 5](#) に示す 2D フィルタ GUI は、ビデオ / 画像処理スイートで提供されるコアで使用可能なユーザ・コンフィギュレーションのタイプを示す一例です。分解能、1 サンプルあたりのビット数、および FIR フィルタのサイズは、すべて 2D フィルタ・コアでサポートされるスタティック・パラメータです。

図 5. 2D フィルタ GUI



ビデオ圧縮

サードパーティの何社かは、アルテラ FPGA およびストラクチャード ASIC をターゲットにしたビデオ圧縮ソリューションを提供しています。表 3 に、一般的なビデオ圧縮規格と関連のサードパーティを何社か示します。

表 3. サードパーティ・ビデオ圧縮ソリューション

ファンクション	企業
H.264 メインおよびハイ・プロファイル	ATEME
H.264 ベースライン・プロファイル	CAST、W&W、4i2i
JPEG/JPEG2000	Barco、Broadmotion、CAST
MPEG4 SP/ASP	Barco、CAST、4i2i

Video over IP

アルテラは、Video over IP 用のリファレンス・デザインを提供しています。このデザインは、ビデオ・トランスポート・ストリーム (TS) を IP ベース・ネットワーク上で転送し、1 つまたは複数の圧縮ビデオ・ストリームと IP パケットを 100-Mbps または 1-Gbps イーサネット上でブリッジします。このリファレンス・デザインは TS データを受け付けるとイーサネット上で伝送するためにカプセル化し、またイーサネットからフレームを受信して TS データを生成します。

TS データをイーサネット用にカプセル化するとき、IP とユーザ・データグラム・プロトコル (UDP) が使用されます。リアルタイム・トランスポート・プロトコル (RTP) もオプションで使用できます。専用ハードウェアでカプセル化を実行すると、リファレンス・デザインのスループットが最大化され、レイテンシが最小限に抑えられます。フレームは、イーサネット回線レートで処理、送信、および受信できます。これにより、ギガビット・イーサネット・リンク用に 900 Mbps を超える合計 TS 帯域幅がサポートされます。複数の TS インタフェースがある場合、リファレンス・デザインは各 TS インタフェースを個別に特定の UDP/IP ソケット (IP アドレスと UDP ポートの組み合わせ) にマップします。他のすべてのカプセル化パラメータも TS ごとに個別にコンフィギュレーションできます。リファレンス・デザインは IP マルチキャストをサポートし、Nios[®] II プロセッサを含んでいます。Nios II プロセッサ上で動作するソフトウェアは、リファレンス・デザインの動作をコンフィギュレーションし、すべてのイーサネット管理トラフィックを処理します。

システム・インタフェース

アルテラとパートナーは、ビデオ監視システムに関連するいくつかのインタフェース・コアを提供しています。これには、DDR2 SDR DRAM コントローラ、ATA ハード・ディスク・ドライブ・コントローラ、PCI Express などがあります。

ベンチマーク

アルテラの Cyclone III EP3C55 FPGA に、H.264 ベースライン・プロファイル・エンコーディング、デインタレーシング、スケーリング、色空間変換、および 2D FIR フィルタリングを使用したノイズ・リダクションを備えた 4 チャンネル D1 ソリューションまたは 16 チャンネル CIF ソリューションを実装できます。

まとめ

理想的な監視アーキテクチャには、高性能、柔軟性、容易なアップグレード可能性、低い開発コスト、アプリケーションの成熟と生産量の増加に伴う低コスト・デバイスへの移行パスがあります。アルテラの FPGA は、機能豊富なアルテラ・ビデオ / 画像処理スイート、アルテラの Video over IP リファレンス・デザイン、およびパートナーの圧縮ソリューションと併せて、ビデオ・システムの設計者にビデオ・システムを作成するのに必要なすべての主要構成要素を提供します。

詳細情報について

- アルテラのビデオ / 画像処理ソリューション：
www.altera.co.jp/video_imaging
- アルテラの画像処理リファレンス・デザイン：
www.altera.co.jp/end-markets/refdesigns/sys-sol/broadcast/ref-post-processing.html

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.