

FPGA を使用したビデオおよび画像処理デザイン

はじめに

本書では、開発者が過去に使用してきたアーキテクチャの再考を迫る、ビデオおよび画像処理におけるトレンドについて考察します。本書では、各種アーキテクチャのトレードオフを解説し、この分野におけるアルテラの新しいソリューションの詳細とベンチマークを示して結論を述べています。低コスト FPGA およびストラクチャード ASIC により、高精細ソリューションを 1,000 ロジック・エレメント (LE) あたり 1US ドル未満で実装できるようになりました。

ビデオ / 画像処理のトレンド

HDTV やデジタル・シネマなどの新しい魅力的な技術革新の多くは、ビデオおよび画像処理、そしてこの技術の急激な進化を中心に展開しています。画像キャプチャの進歩は目覚しく、この技術革新の背後ではディスプレイ解像度、高度な圧縮技術、およびビデオ・インテリジェンスが原動力として働いています。

特にここ数年は解像度の大幅な向上がみられます。表 1 に異なるエンド装置タイプにおける最先端の解像度を示します。

表 1. エンド装置別の解像度

エンド装置	解像度
HDTV	1920 × 1080 ピクセル
デジタル・シネマ	4096 × 1714 ピクセル
ビデオ会議	1280 × 720 ピクセル
医療用画像	3000 × 3000 ピクセル
工業用監視	1280 × 720 ピクセル
軍用監視	4000 × 4000 ピクセル
マシン・ビジョン	4000 × 4000 ピクセル

標準精細 (SD) から高精細 (HD) への移行は、処理が必要なデータが 6 倍に増加することを意味します。ビデオ監視も標準的な要件として、CIF (Common Intermediate Format) (352 × 288) から D1 フォーマット (704 × 576) に移行しつつあり、一部の工業用カメラは 1280 × 720 の HD にさえも移行しています。軍用監視、医療用画像、およびマシン・ビジョン・アプリケーションも超高解像度画像に移行しています。

高度な圧縮技術によって旧世代のテクノロジーが置き換えられ、より高度なストリーミング機能と同様の拡張機能が提供され、特定の品質を達成するための高度な圧縮、および低レイテンシが提供されます。JPEG 2000 は、デジタル・カメラの標準規格として、軍用、医療用画像、および監視において勢力を拡大しています。H.264 は、放送 TV アプリケーションで MPEG2、ビデオ監視システムで MPEG4 Part 2、およびビデオ会議で H.263 を置き換えることが予想されます。このような新しい圧縮ソリューションが採用される中、現在の規格に関する活動は、H.264 および JPEG2000 規格を継続的に強化しています。

DICOM 医療用画像規格には、3D 医療用イメージ圧縮のための JPEG 2000, Part 2 でのマルチコンポーネント変形を含む追加仕様 105 の最終仕様があります。追加仕様 106 は、JPIP を JPEG 2000 を使用して圧縮した医療用画像のリモート・ブラウジングのためのプロトコルが含まれます。

MPEG 4 Part 10 (H.264 AVC) に対する次の拡張は、SVC (Scaleable Video Coding) です。SVC は、利用可能なシステム・リソースを使用した異質ネットワーク上で多様なクライアントにビデオを確実に配信するためのコーディング方式を扱い、特にダウストリーム・クライアント能力、システム・リソース、およびネットワーク条件が事前に不明な状況に対応します。例えば、クライアントは異なるシステム解像度を持つことができ、システムは異なるキャッシングまたは中間ストレージ・リソースを持つことができます。ネットワークは可変帯域幅、損失レート、およびベスト・エフォートまたはサービスの品質 (QoS) 能力を持つことができます。AVC/H.264 の拡張が JVT (Joint Video Team) によって開発されており、ビットストリーム・レベルで良好な圧縮効率によるスケーラビリティ提供し、スケーラブル・モード (空間、時間、および SNR/ 忠実度) の自由な組み合わせを可能にします。アプリケーション分野としては、ビデオ監視システム、モバイル・ストリーミング・ビデオ、ワイヤレス・マルチチャネル・ビデオ制作および配信、マルチパーティ・ビデオ電話通信 / 会議などがあります。

もう一つの急激に進化している分野は、ビデオ・インテリジェンスです。カメラは、パン、チルト、ズーム、パノラマの機能を備えています。手動操作ではなく、システム・インテリジェンスによってドライブされるものが多くなっています。モーション検出により、モーション・スレッショルドを通過したビデオ・フレームをアーカイブするだけで、より効率的なハード・ディスク・ストレージが可能になります。期待されるビデオ・オブジェクトの認識は、自動化された監視モニタリングを可能にし、手動による監視モニタリングよりもはるかに効率的です。

高解像度化と高圧縮化に伴い、迅速なアップグレードに対応できる柔軟なアーキテクチャを維持しながら、高い性能が求められます。テクノロジーが成熟し、生産量が増加すると、コストの低減も要求されます。

ビデオ / 画像処理システム・アーキテクチャ

システム・アーキテクチャの選択肢には、スタンダード・セル ASIC、ASSP、またはデジタル信号処理 (DSP) やメディア・プロセッサおよび FPGA などのプログラマブル・ソリューションがあります。どのアプローチにも長所と短所があり、最終的にはエンド装置の要件とソリューションの可用性に応じて選択します。上記のトレンドを想定した場合、理想的なアーキテクチャの特性としては、高性能、柔軟性、容易なアップグレード、低い開発コスト、アプリケーションの成熟と生産量の増加に伴う低コスト・デバイスへの移行パスがあります。

高性能

性能は圧縮に適用されるだけでなく、前処理および後処理機能にも適用されます。実際、多くの場合、これらの機能は圧縮アルゴリズム自体よりも性能を費やします。これらの機能の例として、スケーリング、デインタレーシング、フィルタリング、色空間変換があります。

上記の市場の場合、高性能が求められるため、プロセッサのみのアーキテクチャは除外されます。このようなアーキテクチャでは、1 個のデバイスで性能要件を満たすことはできません。1 GHz で動作する最先端 DSP は、H.264 HD デコーディングと H.264 HD エンコーディングを実行できず、H.264 HD エンコーディングはデコーディングよりも約 10 倍複雑です。FPGA は、この問題に対処できる唯一のプログラマブル・ソリューションです。場合によっては、FPGA と外部 DSP プロセッサの組み合わせが最良のソリューションになります。

柔軟性による「Time-to-Market」の短縮と容易なアップグレードの実現

テクノロジーが急速に進化する中、アーキテクチャには柔軟性とアップグレードの容易さが求められます。このため、スタンダード・セル ASIC と ASSP はこれらのアプリケーションから除外されます。一般的に、ASSP は大量生産のコンシューマ市場向けに設計されており、すぐに陳腐化することが多く、ほとんどのアプリケーションにとって ASSP の選択は高いリスクを伴います。

低い開発コスト

マスクおよびウェハ、ソフトウェア、デザイン検証、およびレイアウトのコストを加算すると、一般的な 90 nm スタンダード・セル ASIC の開発コストは 3000 万 US ドルにも達する可能性があります。このような膨大な開発コストが正当化できるのは、大量生産のコンシューマ市場に限られます。

低ユニット・コストへの移行パス

標準規格が安定し、生産量が増加するにつれて、低コストの移行パスを持つソリューションが重要になります。通常、これは特定の市場に的を絞った ASSP か、スタンダード・セルのカスタム ASIC デバイスのいずれかを意味します。ただし、カスタム・シリコンのコストの高騰により、これらのソリューションを経済的に実現できるのは、大量生産のコンシューマ・アプリケーションしかありません。大部分のシリコン企業が、ビデオ・カムコーダ、セットトップ・ボックス、デジタル・スチル・カメラ、携帯電話やその他のポータブル製品、または LCD TV およびモニタなど、ビデオや画像をターゲットにしたアプリケーションに注目しています。したがって、生産量の少ないアプリケーションを設計する場合、必要な機能セットのみ備えた ASSP が存在する可能性はほとんどなく、最良の標準ソリューションでさえも、陳腐化の高い可能性を考慮するとリスクを伴う選択なので、最善策は FPGA を検討することです。

アルテラのビデオ / 画像処理ソリューション

前述の理由により、FPGA は、多くのビデオ / 画像処理アプリケーションの要件を満たすのに特に適しています。アルテラの FPGA には、ビデオ / 画像処理アーキテクチャにとって非常に魅力的な、以下の特性があります。

- 高性能：HD 処理は 1 個のアルテラ FPGA に実装できます。
- 柔軟性：アルテラ FPGA は迅速なアップグレードが可能で、進化する要件に対応でき、また拡張性のために FPGA を低コストの高性能システムに使用することもできます。
- 低い開発コスト：アルテラのビデオ開発キットの価格は 1,095 US ドルからであり、これにはアルテラ FPGA を使用してビデオ・システムを開発するのに必要なソフトウェア・ツールが含まれています。
- 陳腐化の防止：アルテラの FPGA には、発売後多年にわたって製品を出荷している膨大なカスタム・ベースがあります。また、FPGA デザインはあるプロセス・ノードから次のプロセス・ノードに容易に移行できます。
- ストラクチャード ASIC、低コストへの移行パス：アルテラのストラクチャード ASIC の場合、100 万 ASIC ゲートに対して 10 万個からスタートでき初期費用は 15 US ドルです。
- アルテラのビデオ / 画像処理ソリューション：これには、最適化された DSP デザイン・フロー、アルテラのビデオ / 画像処理スイート、インタフェースおよびサードパーティ・ビデオ圧縮 IP、ビデオ・リファレンス・デザインなどがあります。

FPGA/ ストラクチャード ASIC の ASSP ライクな機能

ソリューション数が増加する中、アルテラとパートナーは、ASSP 機能を FPGA またはストラクチャード ASIC の形で提供しています。一例として、ATEME の H.264 メイン・プロファイル標準精細エンコーダ製品があります。この製品を組み込むことで、FPGA を ASSP の様に使用します。FPGA ソリューションが従来の ASSP アプローチよりも優れている点は、迅速に進化し陳腐化のリスクがないことです。

DSP デザイン・フロー

アルテラはカスタム開発のために、いくつかの異なる方法でデザインを表現できる最適化された DSP デザイン・フローを提供しています。これには、VHDL/Verilog、モデルベース・デザイン、C ベース・デザインなどがあります。アルテラのビデオ / 画像処理コア・スイートは、これらのデザイン・フロー・オプションと共に使用できます。

アルテラと The MathWorks 社は協力して、設計者が The MathWorks 社のモデル・ベース・デザイン・ツールである Simulink を利用しながら、アルテラ FPGA の価格と性能面での利点を十分に生かせる包括的な DSP 開発フローの作成にあたっています。アルテラの DSP Builder は、Simulink とアルテラの業界最先端 Quartus® II 開発ソフトウェアを接続する DSP 開発ツールです。DSP Builder はシームレスなデザイン・フローを提供しており、設計者は MATLAB ソフトウェアでのアルゴリズム・デザインおよび Simulink ソフトウェアでのシステムレベル・デザインを実行し、そのデザインを Quartus II 開発ソフトウェアで使用するために、ハードウェア記述言語 (HDL) ファイルにポーティングすることが可能です。DSP Builder ツールは SOPC Builder ツールに密接に統合されます。これにより、ユーザは Simulink デザインとアルテラのエンベデッド・プロセッサおよび IP (Intellectual Property) コアを組み込んだシステムを構築できます。この開発フローは、プログラマブル・ロジック・デザイン・ソフトウェアを使用した十分な経験がない設計者にも簡単であり、直感的に理解できます。

ビデオ / 画像処理スイート

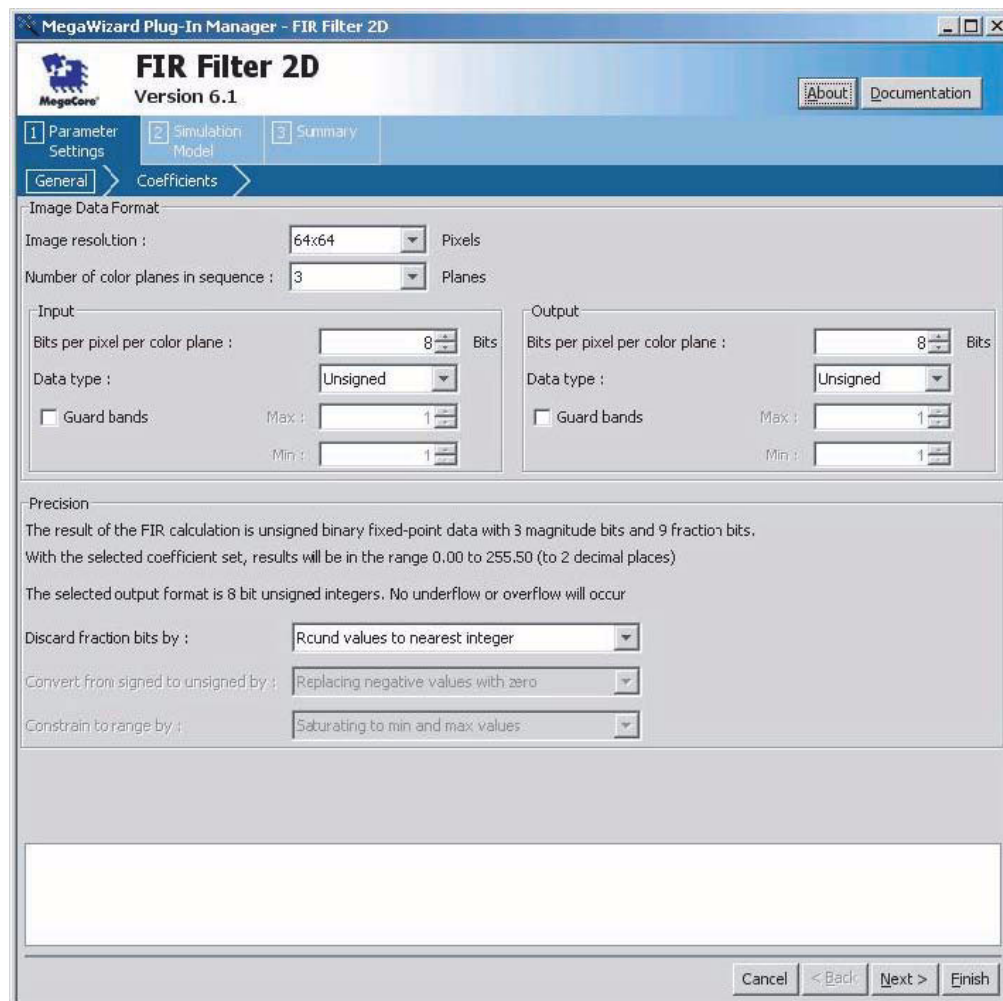
ビデオ / 画像処理スイート (Video and Image Processing Suite) は、スタティックまたは、場合によってはダイナミックに変更可能なパラメータを備えた 9 つの MegaCore ファンクションで構成されています。表 2 に、これらの MegaCore ファンクションをまとめます。

表 2. ビデオ / 画像処理スイートの IP MegaCore ファンクション

ファンクション	説明
デインタレーサ	インタレース・ビデオ・フォーマットをプログレッシブ・ビデオ・フォーマットに変換します
カラー・スペース・コンバータ	画像データを様々なカラー・スペース間で変換します
スケーラ	画像フレームをサイズ変更や切り抜きします
アルファ・ブレンディング・ミキサ	複数の画像ストリームを混合およびブレンドします
ガンマ・コレクタ	カラー・プレーン/スペースでガンマ補正を実行します
クロマ・リサンプラ	画像フレームのクロマ・データのサンプリング・レートを変更します
2D フィルタ	画像データ・ストリームに 3×3 、 5×5 、または 7×7 の FIR (Finite Impulse Response) フィルタを使用し、画像をソフトまたはシャープにします
2D メジアン・フィルタ	3×3 、 5×5 、または 7×7 フィルタを使用して、各ピクセル値を隣接ピクセルとの中間値に置換することにより、画像のノイズを除去します
ライン・バッファ・コンパイラ	画像用ライン・バッファをアルテラのオンチップ・メモリに効率的に配置します

図 1 に示す 2D フィルタ GUI は、ビデオ / 画像処理スイートで提供されるコアで使用可能なユーザ・コンフィギュレーションのタイプを示す一例です。分解能、1 サンプルあたりのビット数、FIR フィルタのサイズ、エッジの処理方法、オーバフローの処理方法、および乗算累積器の長さは、すべて 2D フィルタ・コアでサポートされるステイック・パラメータです。

図 1. 2D フィルタ GUI



ビデオ圧縮

いくつかのサードパーティは、アルテラFPGAおよびストラクチャードASICをターゲットにしたビデオ圧縮ソリューションを提供しています。表3に、一般的なビデオ圧縮規格と関連するサードパーティを示します。

表 3. サードパーティ・ビデオ圧縮ソリューション

ファンクション	企業
H.264 メインおよびハイ・プロファイル	ATEME
H.264 ベースライン・プロファイル	CAST、W&W
JPEG/JPEG2000	Barco、Broadmotion、CAST
MPEG4 SP/ASP	Barco、CAST

ビデオ・インタフェースおよびシステム IP

アルテラとパートナーは、ビデオ・システムに通常必要なインタフェース・コアも提供しています。これには、ASI、SDI、10/100/1000 イーサネット、DDR/DDR2 メモリ・コントローラなどがあります。表4に、これらのタイプのコアとリファレンス・デザインの一部を示します。

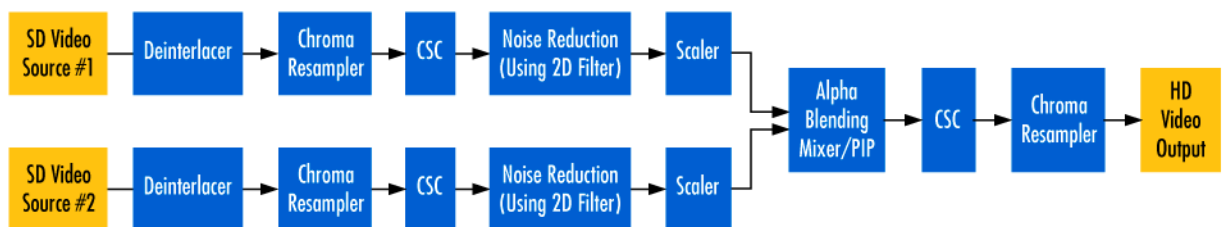
表 4. ビデオ・インタフェースおよびシステム IP

ファンクション	企業
10/100/1000 イーサネット	アルテラ、MoreThanIP
DDR/DDR2 メモリ・コントローラ	アルテラ
32 ビット RISC プロセッサ	アルテラ (Nios [®] II プロセッサ)
外部プロセッサへの SRIO インタフェース	アルテラ
TI EMIF インタフェース	アルテラ・リファレンス・デザイン
ATA ハード・ディスク・ドライブ・インタフェース	Nuvation
NOR フラッシュ	アルテラ
コンパクト・フラッシュおよび SD インタフェース	アルテラ
Video Over IP	アルテラ・リファレンス・デザイン
ASI	アルテラ
SDI	アルテラ

ビデオ・デザイン例

ビデオ / 画像処理スイートを使用した標準的なビデオ・システムを図2に示します。

図 2. デザイン例のブロック図



■ Common video and image processing function available as an Altera core

ベンチマーク

表 5 および表 6 に、ファンクション例と、実装に必要な対応する FPGA を示します。アルテラの Cyclone III 低コスト FPGA は、最大 4 Mbits のエンベデッド・メモリ、260MHz で動作する 488 個の 9 × 9 エンベデッド乗算器、および 120,000 個の LE を搭載しています。Cyclone III EP3C40 デバイスは、このファミリのミッドレンジ FPGA で、250k 個注文時の単価は 20US ドル以下です。

Stratix II 高性能、高集積デバイスは、最大 9 Mbits のエンベデッド・メモリ、450 MHz で動作する 768 個の 9 × 9 エンベデッド乗算器、および 179,000 個の LE を搭載しています。これらのファンクションは、アルテラの HardCopy® II ストラクチャード ASIC デバイスに実装することもできます。

表 5. エンコーディング規格ベンチマーク

エンコーディング規格	FPGA 実装
H.264 ベースライン・プロファイル SD エンコーディング	Cyclone III EP3C40 (1)
H.264 ベースライン・プロファイル 1280 × 1024 エンコーディング	Stratix II EP2S30 (1)
H.264 メイン・プロファイル SD エンコーディング	Stratix II EP2S130
H.264 ハイ・プロファイル 720p エンコーディング	複数の Stratix II FPGA
JPEG2000 デジタル・シネマ・エンコーディング (2k)	Stratix II EP2S130

注：

(1) 大量のロジック、メモリ、および DSP リソースが前処理および後処理ファンクション用に残されています。

表 6. 前処理および後処理ベンチマーク

前 / 後処理	FPGA 実装
720p 用 5 × 5 2D フィルタ	Cyclone III EP3C10
720p 用 5 × 5 2D 中間値フィルタ	Cyclone III EP3C10
720p に対する SD 用線形補間スケラ	Cyclone III EP3C5

まとめ

FPGA は、放送インフラストラクチャ、医療用画像、HD ビデオ会議、ビデオ監視、および軍用画像などのビデオおよび画像処理アプリケーションに最適です。アルテラの FPGA のビデオおよび画像処理ソリューションには、最適化された開発ツールおよびキット、リファレンス・デザイン、ビデオ圧縮 IP、インタフェースおよびシステム IP、そしてアルテラのビデオおよび画像処理 IP スイートが含まれます。これらのソリューションでは、多くのビデオおよび画像アプリケーションのコスト、性能、および生産性を改善できます。

詳細情報について

- アルテラのビデオ / 画像処理ソリューション：
www.altera.co.jp/video_imaging
- ビデオ処理リファレンス・デザイン：
www.altera.co.jp/end-markets/refdesigns/sys-sol/broadcast/ref-post-processing.html

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.