

FPGA への統合による、ビデオ / 画像処理アプリケーションの性能向上

概要

JPEG2000 は、医療用画像処理、軍用システム、セキュリティ・システム、デジタル・シネマなど広範なビデオ / 画像処理アプリケーションに対処するため策定された規格です。JPEG2000 は、こうしたアプリケーションを有効にするため、拡張性、関心領域のサポート、可逆圧縮サポート、低レイテンシなどの多数の独自機能を備えています。DSP プロセッサベースの JPEG2000 ソリューションは存在しますが、最良の価格 / 性能で実装するには、ハードウェア・アクセラレーションが必要です。そのため、ASSP ベースの JPEG2000 ソリューションが開発されてきました。しかし、特性が固定されているため最高の性能を達成することはできず、このテクノロジーに注目しているエンド・マーケットにおいても、長期的な視点からのデバイス入手可能性が懸念されています。このホワイトペーパーでは、こうしたニーズに対応する FPGA による JPEG2000 の実装について解説し、FPGA への実装がもたらす性能、コスト、インテグレーションの面における大きな利点を示します。

JPEG2000 に対するニーズ

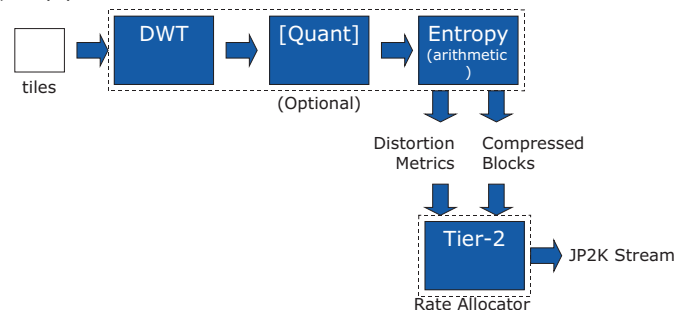
多くのビデオ / 画像処理アプリケーションは、アナログからデジタルに移行しています。その理由は、保存や操作が簡単である、完全なコピーが作成できる、伝送品質を管理できるなど、多岐にわたります。こうした移行における大きな課題の 1 つは、生のデジタル画像に必要なファイル・サイズが大きいことが挙げられます。例えば、640 × 480 の VGA RGB 画像は 1 M バイト、2048 × 1536 の 8 ビット・グレースケール医療用画像は 3 M バイト、4096 × 2160 の 36 ビット・デジタル・シネマ画像は 38 M バイトとなります。また、各アプリケーションの要件には若干の相違があるため、従来の圧縮規格では十分に対応できません。高品質の画像圧縮に対するニーズ、およびさまざまなエンド・アプリケーションの異なるニーズに対応するために、JPEG2000 が策定されました。

JPEG2000 は、1 つのアルゴリズムで不可逆圧縮および可逆圧縮の両方をサポートしています。JPEG2000 は、ブロック・アーチファクトの除去、関心領域のサポート、および非反復的かつ最適速度制御により、同じ圧縮率でより高い品質を提供します。また、オン・スクリーン表示およびコンピュータ画像の処理を容易にし、ビット・ストリームの拡張性が大幅に向上しています。この拡張性には、エンベデッド高速プレビューが含まれており、リファインメントの強化と帯域幅を瞬時的に利用可能という特長を備えています。しかしながら、こうした機能と圧縮効率のために、アルゴリズムの複雑さは増大しました。JPEG2000 は、JPEG と比較して、実装の複雑さが最大 6 倍あるため、ハードウェア・アクセラレーションは効率的なソリューションのための必要条件となっています。FPGA は、パラレル処理で算術演算を高速化する機能を提供しているため、DSP プロセッサのみに依存するソリューションより、JPEG2000 アプリケーションに適しているといえます。

JPEG2000 アルゴリズムにおけるハードウェア・アクセラレーションの要素特定

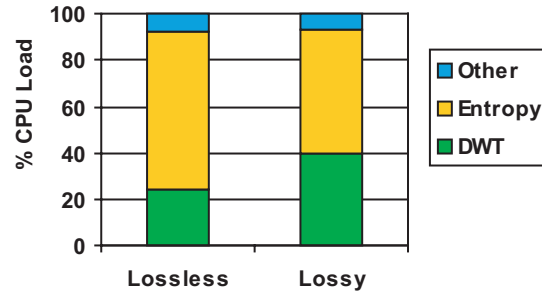
図 1 に、JPEG2000 アルゴリズムを示します。処理は、破線枠で囲まれている 2 つの段階に分かれます。最初の段階では、離散ウェーブレット変換 (DWT) ベースの圧縮によるエンコーディング、オプションの量子化、エントロピー・エンコーディングが実行されます。第 2 段階では JPEG2000 のストリームが蓄積されます。この段階には、事後レート・アロケータが含まれます。

図 1. JPEG2000 ブロック図



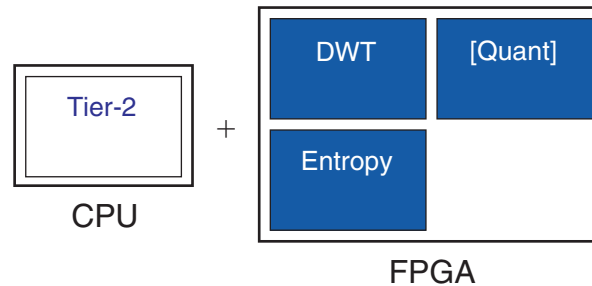
JPEG2000 は強力な機能を備えているため、従来の JPEG 規格と比較して、同等のエンコーディング / デコーディング速度を達成するには、より多くの演算資源を必要とします。図 2 に、不可逆圧縮および可逆圧縮を行うための JPEG2000 アルゴリズムのソフトウェア・ベンチマークを示します。こうした圧縮においては、プロセッサ時間の大部分がエントロピー・エンコーディングに費やされています。こうした傾向は特に、多くのエンコーディング・パスを必要とする可逆圧縮に当てはまります。

図 2. JPEG2000 ソフトウェア・ベンチマーキング



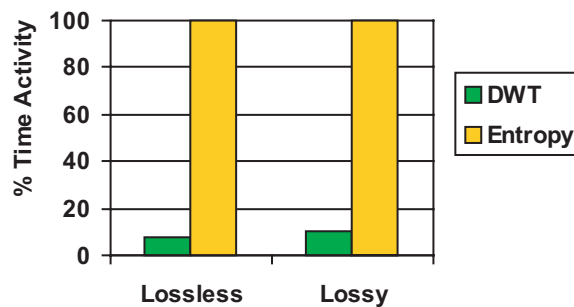
Barco Silex 社は、JPEG2000 の性能向上のために、膨大な計算を必要とするウェーブレット、量子化、エントロピー・エンコーディングのタスクを、アルテラ FPGA コプロセッサが分担するアーキテクチャを開発しました。これを図 3 に示します。

図 3. コプロセッシング・アーキテクチャ



ハードウェア FPGA の実装により、DWT 圧縮および量子化の操作をパイプライン化することで高速化することができます。ただし、エントロピー・エンコーディングは、ビット・シリアル構造のため、最適化は難しくなります。図 4 のグラフは、アルテラ FPGA コプロセッサのアーキテクチャが、DWT およびエントロピー・エンコーディングの操作に費やす時間を示したものです。ボトルネックとなっているのは、永久動作 (100% として表示) を示すエントロピー・エンコーディング・ステージです。ハードウェア DWT がアクティブになる時間は、対応するデータのエントロピー・エンコーディングに必要な時間の 7 ~ 10% にすぎません。

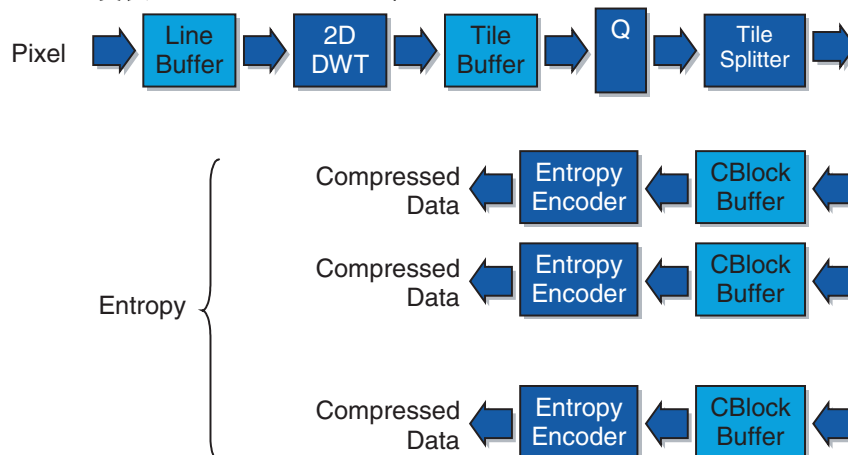
図 4. JPEG2000 ハードウェア・ベンチマーキング



この低速のエントロピー・エンコーディングを補正し、JPEG2000 エンコーディングにおける多様なブロック活動とのバランスを改善するためには、エントロピー・エンコーダを並列に配置して、1 つのウェーブレット・エンジンで生成されるコード・ブロックを個別に処理する必要があります。

図 5 は、アルテラ FPGA に実装された Barco Silex 社 JPEG2000 エンコーダのブロック図です。この図には、主要な機能モジュールとインタフェースの概観が示されています。ブロック図はコアの平行構造を示しており、この構造ではいくつかのエントロピー・エンコーダが、ウェーブレット・エンジンにより生成されたデータを処理します。ピクセル・データはピクセル・インタフェースを介して入力され、圧縮されたストリームは圧縮インタフェースで、歪み指数と併せて使用可能になります。

図 5. アルテラ FPGA に実装された Barco Silex 社 JPEG2000 エンコーダ・アルゴリズムのブロック図



アルテラの FPGA は、多数の高速 RAM ブロック、ハードウェア・マルチプライヤ、多数のロジック・エレメント (LE) など、多くの機能を備えているため、JPEG2000 ソリューションの実装に最適です。Cyclone® II FPGA はコストが低く、コスト効率が極めて高いソリューションです。一方、Stratix® II FPGA はメモリが豊富なため、外部メモリを使用することなく、完全でより高性能のソリューションを実装できます。表 1 に、Cyclone II および Stratix II FPGA に実装された、Barco Silex 社 JPEG2000 エンコーダ・コアのデバイス稼働率と性能を示します。

表 1. アルテラ FPGA における JPEG2000 エンコーダの稼働率と性能の解析 (1)

デバイス・ファミリ	デバイスの速度・グレード	エントロピー・チャンネル数	ロジック使用率	必要な内部メモリ (2)	必要な外部 SDRAM 帯域幅	性能
Cyclone II	-6	3	LE 数: 13,500	64-M4K RAM ブロック	81 Mbps	16 MSPS(3)
Stratix II	-5	8	LE 数: 22,000	124-M4K RAM ブロック 2-MRAM ブロック	なし	56 MSPS

注:

- (1) 8 ビット・サンプルのワースト・ケースの 9/7 (不可逆) エンコーディングの結果です。
- (2) M4K RAM ブロックおよび M-RAM ブロックは、アルテラ FPGA で使用可能なエンベデッド・メモリ・リソースです。M4K RAM ブロックは 4 K ビット、M-RAM ブロックは 512 K ビットを提供します。ただし、M-RAM ブロックは Stratix シリーズ FPGA にしかありません。
- (3) MSPS = 1 秒あたりのメガサンプル数

これらの結果は、ソフトウェア実装の性能見積もりと比較することができます。JPEG2000 エンコーダのメモリ要件を満たす、最も小さな Stratix II FPGA は EP2S60C-5 で、56 MSPS を達成します。Cyclone II では、EP2C35-6 などが JPEG2000 エンコーダに適合し、16 MSPS を達成可能です。こうしたアルテラ・デバイスにおける性能は、6 MSPS の 600 MHz Texas Instruments 社 TMS320DM642-600 DSP プロセッサや、10 MSPS の 3 GHz Pentium IV と比較して、大幅に向上しています。

価格対性能比の点においても、アルテラはより適切なソリューションを提供します。DSP プロセッサの 10 K 時の単価は 40 ドル (概算) で、価格対性能比は 6.7 ドル /MSPS の計算となります。価格対性能比が最も良くなる FPGA ソリューションは、**Stratix II** を使用する場合です。EP2S60C-5 の 10 K 単価は 125 ドルで、価格対性能比は 2.2 ドル /MSPS となり、DSP ソリューションよりも大幅に上回るものとなります。FPGA を使用するソリューションにおいては、より多くのエンコード・エンコーダ・チャンネルを並列に追加すると、さらに高い性能を達成でき、性能とデバイス稼働率の間でトレードオフを図ることが可能です。高性能化と量産による低コスト化を実現するためには、もう 1 つ選択肢があります。それは、アルテラの **HardCopy® II ASIC** を使用することです。これにより、**Stratix II** FPGA を使用するデザインと比較して、最高 1/10 のコストで最大 50% の性能向上を図ることが可能となります。

アルテラの鉛フリー製品で、RoHS の準拠を容易に実現

アルテラは、業界で最も幅広い RoHS 準拠製品ラインナップを誇り、1,200 を超える鉛フリー・パッケージの製品を提供しています。環境に優しいプログラマブル・ロジック・ソリューションを提供する優良サプライヤとして、2002 年以降、8,500 万個以上の鉛フリー製品を出荷してきました。アルテラの RoHS 準拠デバイスは、鉛 (Pb)、水銀、カドミウム、六価クロム、多臭素化ビフェニル (PBB)、およびポリ臭化ジフェニル・エーテル (PBDE) に関して、有害物質の使用制限に関する欧州連合指令 (RoHS Directive) No.2002/95 で要求される最大濃度に準拠しています。RoHS に準拠しない ASSP を、アルテラの PLD で統合することにより、RoHS に準拠する製品を容易に開発することができます。

まとめ

JPEG2000 は、プログレッシブ・ビット・ストリーム、正確な速度制御、関心領域、高品質の可逆圧縮および不可逆圧縮など、幅広い機能を提供可能なアルゴリズムを定義しています。DSP プロセッサ、あるいは ASSP を使用する JPEG2000 ソリューションでは、こうした機能の実現のためには、アルゴリズムの複雑化が避けられません。アルテラ FPGA を使用する JPEG2000 アルゴリズムの実装は、こうした複雑化に対応しながら、実際のアプリケーションの要求性能を達成する、最もコスト効率に優れた方法となります。

リソース

詳細については、アルテラ・ウェブサイトの次のセクションを参照してください。

- その他のシステム・インテグレーション・ソリューション：
www.altera.co.jp/technology/integration/int-index.html
- アルテラの DSP ソリューション：
www.altera.co.jp/technology/dsp/dsp-index.jsp
- Barco Silex 社 JPEG2000 エンコーダ・コア：
www.altera.co.jp/products/ip/dsp/image_video_processing/m-bar-jpeg_2000_enc.html
- Barco Silex 社 JPEG2000 デコーダ・コア：
www.altera.co.jp/products/ip/dsp/image_video_processing/m-bar-jpeg_2000_dec.html
- アルテラの IP Megastore におけるビデオ / 画像処理ソリューション：
www.altera.co.jp/products/ip/dsp/image_video_processing/ipm-index.jsp
- アルテラのコード DSP ソリューション、顧客事例紹介：
www.altera.co.jp/corporate/cust_successes/customer_showcase/view_product/csh-vproduct-codedsp.jsp

謝辞

Barco Silex 社の Olivier Cantineau 氏の本プロジェクトへのご協力に感謝申し上げます。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2008 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.