White Paper

3Gbps SDI ビデオ (SMPTE 424M)

はじめに

高まる消費者の要求に応えて、映画業界が消費者に配信するため作成する高精細（HD）ビデオ・コンテンツは、ますます高画質化しています。HD 1080p方式をサポートするために制作スタジオで現在使用されている方法は、カメラからミキシングおよび録画装置までをデュアル・リンク接続（SMPTE 372）で繋ぐ方法です。デュアル・リンク接続はシングル・リンク接続の 2 倍の数のケーブルを必要とするため、装置のコストが上昇し、スタジオ内の設備は複雑になります。SMPTE（Society of Motion Picture and Television Engineers）委員会では、SMPTE 424M と呼ばれるシングル・リンク、1080p 対応の標準規格を開発しています。この新しい規格により、ハードウェアの設計が簡素化され、コストの上昇と設備の複雑さが抑えられます。この規格は、2 つの高詳細、シリアル・デジタル・インタフェース（HD-SDI、または SMPTE 292M）データ構造を使用して、非圧縮デジタル・ビデオ・ストリームを伝送する手段を提供します。各データ構造は 1.485 Gbps で動作し、結果的にシングル 2.970 Gbps ビデオ・リンク・インタフェース、つまり 3 Gbps SDI がショート・フォームで実現されます。委員会が 3 Gbps SDI の標準化を進めるのに伴い、SMPTE 424M の初期トライアル版が現在定義されています。このホワイトペーパーでは、新しい標準規格をサポートする 3 Gbps SDI ビデオ・インタフェースをアルテラがどのように実装するかについて説明します。

高精細の定義

HD は 1920 x 1080 ピクセル、またはフレーム当たり 2 メガピクセルと定義されています。HD ビデオにはインタレース・ビデオとプログレッシブ・ビデオの 2 種類があります。表 1 に一般的なビデオ方式をまとめます。

表 1 HD ビデオ方式

方式	スキャンの種類	アクティブ・ライン	アクティブな水平画素数	データ・レート（Gbps）	主要な用途	SDI リンク
1080p60	プログレッシブ	1080	1920	2.970	映画向け HD	デュアル
1080p59.64	プログレッシブ	1080	1920	2.970/1.001	映画向け HD	デュアル
1080p50	プログレッシブ	1080	1920	2.970	映画向け HD	デュアル
1080i60	インタレース	1080	1920	1.485	テレビ・ネットワーク	シングル
1080p59.94	インタレース	1080	1920	1.485/1.001	テレビ・ネットワーク	シングル
1080p50	インタレース	1080	1920	1.485	欧州向け HD TV	シングル
720p60	プログレッシブ	720	1280	1.485	テレビ・ネットワーク	シングル
720p59.94	プログレッシブ	720	1280	1.485/1.001	テレビ・ネットワーク	シングル
1035i60	インタレース	1035	1920	1.485	日本向け TV	シングル

今日のビデオ配信システムまたはビデオ・スイッチャ/ ルータの大半は、データ・レート 1.485 Gbps、または 1.485/1.001 Gbps の HD-SDI を使用しています。映画業界では現在、ビデオ・コンテンツの配信およびストレージに 3 Gbps SDI を採用しており、テレビ・ネットワークで評価が高まっています。最終的には、消費者は 1080p バージョンの HDTV を受信することになります。

3 Gbps SDI ビデオ処理に利用されるテクノロジ

Stratix® II GX FPGA は、4 ～ 20 本の全二重トランシーバ・チャネルで、HD-SDI または 3 Gbps SDI のいずれかのシリアル・データ速度をサポートすることができます。動作範囲 622 Mbps ～ 6.375 Gbps のネイティブ周波数とオーバサンプリング手法により、270 Mbps で動作する SD-SDI が提供されます。Stratix II GX FPGA の トランシーバ回路には、ハードコードされたクロック・データ・リカバリ（CDR）機能とシリアライザ / デシリアライザ（SERDES）機能が組み込まれています。クロック - データ間のスキューをなくすために、FPGA の CDR 回路では外部基準クロックを使用し、その動作制御発振器（VCO）ループによって、着信データと位相および周波数が一致するクロックを回復しています。

図 1 に 3 Gbps SDI の代表的なシステム要件を示します。

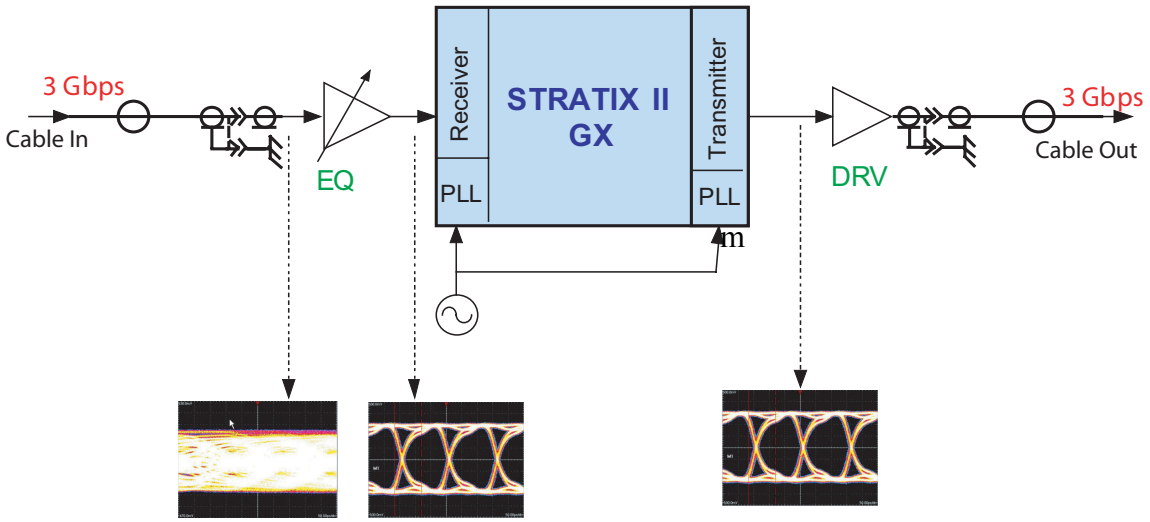

図 1. システム構成

トランシーバは高速シリアル・データを低速の 20 ビット・パラレル・データ形式に変換し、受信側の FPGA コアで処理できるようにします。FPGA は内部メモリと DSP ブロックを使用して、埋め込みオーディオのデマルチプレキシング、ビデオのスイッチング / 再ルーティング、またはビデオ処理を実行します。処理されたデータはトランシーバの送信側で高速シリアル信号に戻すこともできます。ノイズ・フィルタリング性能を向上させるため、受信側と送信側の両方の PLL (Phase-Locked Loop) で真のアナログ PLL 回路が使用されます。

FPGA トランシーバへの物理インタフェースでは、Belden 1694A 75Ω 同軸ケーブル用の外部ケーブル・イコライザとケーブル・ドライバが必要です。ケーブルの長さはデータ・レートに応じて 100 ～ 300 メートルになります。ケーブル・イコライザは複雑なアナログ・コンポーネントであり、ケーブルが長い場合に発生する分散的な信号喪失の後で、ケーブルの長さに合わせて自動的に信号データのアイ・ダイアグラム開口部を復元します。送信側では、ケーブル・ドライバに長い同軸ケーブルの負荷を処理するための十分なドライブ電流が必要です。

マルチレート SDI MegaCore

マルチレート SDI MegaCore® には、270 Mbps、1.485 Gbps、および 2.970 Gbps の主要な 3 つのデータ・レートに対する受信および送信ビルディング・ブロックがすべて含まれています。受信ブロックには、CRC デコーダ、ライン番号抽出、ビデオ・フレーミングおよびタイミング抽出、フォーマット検出器があります。送信ブロックは CRC エンコーダとライン番号挿入で構成されています。レガシー SD-SDI ブロックには、送信側用にワード・スクランブラ、受信側用にはデスクランブルと共にワード・アラインメントが含まれます。図 2 に、マルチレート SDI MegaCore のブロック図を示します。

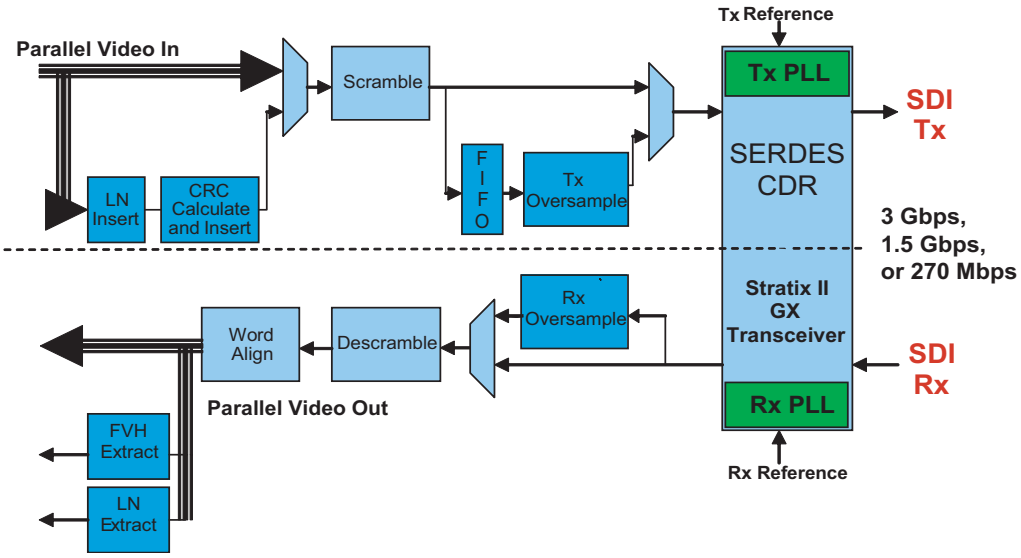

図 2. SDI MegaCore のブロック図

3 Gbps SDI の設計

クリーンな 3 Gbps SDI システムを設計する際には、IC ベンダが設定しているレイアウトおよび高速シグナル・インテグリティ設計の規則に従うことが課題となります。FPGA のトランシーバと PLL 部分には、十分なドライブ電流を持つ別々のリニア･レギュレータが必要です。デカップリングでは、低周波数ノイズに対するバルク・デカップリングと高周波数ノイズに対するローカル・デカップリングの 2 種類が使用されます。バルク・デカップリングの量は、FPGA の出力スイッチング数、負荷キャパシタ、スルー・レート、および PCB プレーンと配線パターンのインダクタンスに依存します。デカップリング・コンデンサとその配線パターンは、不要な直列インダクタンスを生成せず、できるだけ近接して配置する必要があります。影響を受けやすいアナログ回路はパワー・プレーンとグランド・プレーンを別々にしなければなりません。また、伝送経路の厳密な配線ガイドラインを遵守することも必要です。

まとめ

3 Gbps SDI システムは、コストを削減し、ブロードキャスト装置メーカに対してはハードウェア設計を簡素化します。アルテラの Stratix II GX FPGA と標準の ASSP ケーブル・イコライザおよびケーブル・ドライバの組み合わせは、完全な 3 Gbps SDI ソリューションを提供します。3 Gbps SDI ソリューションは多数の IC ベンダによって ITU および SMPTE に提出されており、次世代のシリアル・ビデオ標準規格になると予想されています。

詳細情報

- Using Stratix GX in HDTV Video Production Applications
  www.altera.co.jp/literature/wp/wp_hdtv.pdf
- SDI Reference Design
  www.altera.co.jp/end-markets/refdesigns/sys-sol/broadcast/ref-sdi.html
- SDI With Stratix GX
  www.altera.co.jp/literature/an/an339.pdf

101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
http://www.altera.com

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.