

このホワイトペーパーでは、ARM ベースの組み込みシステムの実装に向けた、アルテラのプログラマブル・システム・オン・チップ (SoC) によるアプローチについて解説します。このシングルチップ・アプローチは、迅速な市場投入、コスト、性能、デザインの再利用、および長寿命化に対する厳しい要求に直面している組み込みシステム開発者に特に有効です。

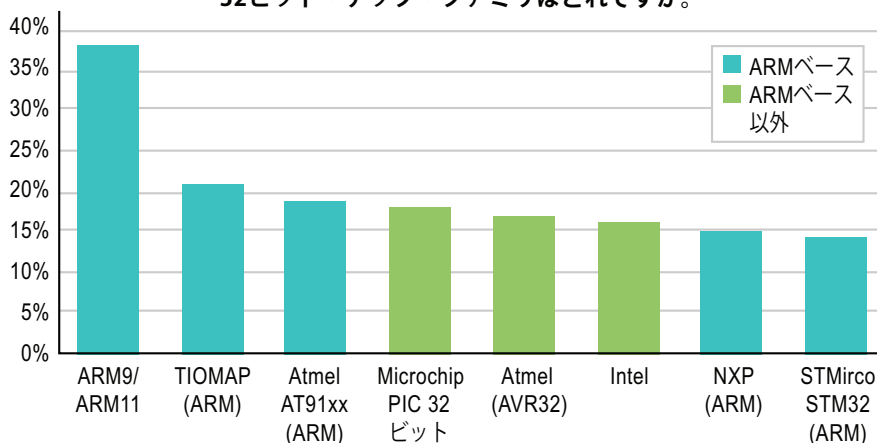
はじめに

今日の組み込みシステム開発者は、競争力のある製品を迅速に市場投入するという取り組みにおいて、今までにない課題に直面しています。最近まで、ほとんどのシステム実装オプションは、ソフトウェアに重点をおいた消費電力の大きいマルチチップ・システムか、またはコストのかかる SoC ASIC に限られていました。しかしながら、市場動向とリソースの制約によって、これらのアプローチの実現可能性が低下してきています。そこで、FPGA テクノロジ、IP (Intellectual Property)、およびデザイン・ツールの進歩により、ユーザー・カスタマイズ可能な SoC FPGA が ARM ベースの組み込みシステム向けに登場しました。この SoC FPGA は、従来のアプローチの弱点を克服するだけでなく、組み込みシステムの実装に独自の卓越した利点をもたらします。

ユビキタスな ARM プロセッサ

ほんの数年前まで、プロセッサ市場は非常に細かく分かれていました。PowerPC、RISC、MIPS、SPARC、およびその他の多くのプラットフォームが市場を制しようとして競争していました。ところが、市場が成熟して専門化が進む中で、特定のアプリケーション分野でいくつかのプラットフォームが主流になり始めました。組み込みシステム・アプリケーションでの ARM® プロセッサほどこの傾向が顕著な分野は他にありません (図 1)。

図 1. 組み込みシステム・アプリケーションで一般的なプラットフォーム
次期組み込みシステム開発プロジェクトに検討している
32ビット・チップ・ファミリはどれですか。



出典：EE Times Group, Copyright 2010 by UBM/EE Times Group

急成長を続ける組み込みシステム市場における ARM のユビキタス性は、設計者にとって喜ばしい兆候です。まず、ソフトウェア、開発ツール、および ARM 互換デバイスのエコシステムが確立され拡大していることで、利用可能なソリューションのツールボックスがもたらされます。次に、成長しつつある ARM 市場のスケール・メリットのおかげで、さらに高度な新しいシステム実装オプションを選択できるようになってきています。

経済的圧力

組み込みシステムの開発者は、費用効率の高いシステムを開発しなければなりません。急速に拡大を続けるグローバル市場では、さらに多くのことが設計者に求められます。中国、インド、中南米などの新興市場で増加しつつある存続可能性の高い機会の重要性は無視できないほど大きくなっています。このように広がり続ける顧客層に対応するには、さまざまな規格、価格、性能、および機能プラットフォームをサポートする必要があります。その上、世界的に競争が激化しており、マーケット・ウィンドウ（ある製品が売れる期間）が短縮する中で機能の豊富な製品を提供する、というさらに大きな圧力がかけられています。

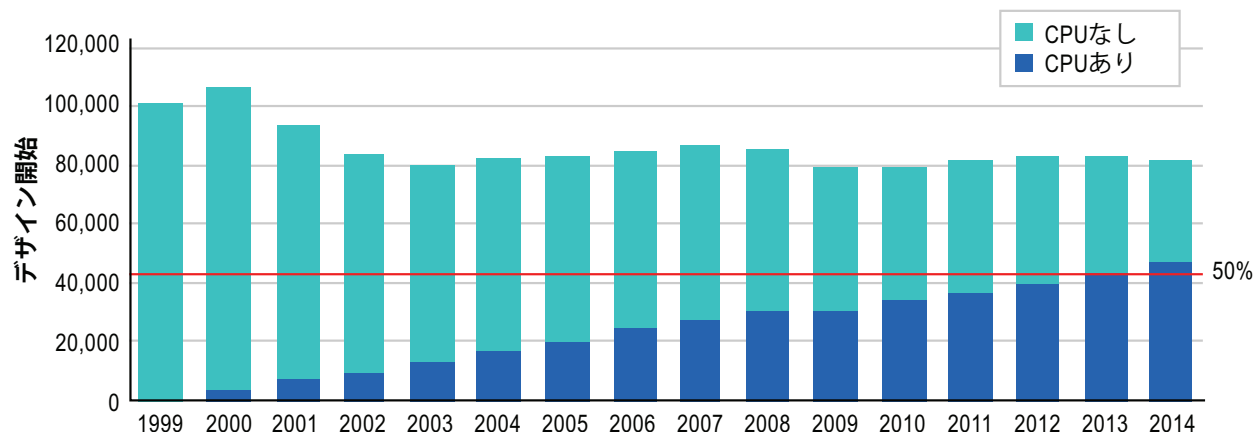
残念ながら、組み込み製品にさらに多くのことが要求されるのと時を同じくして、開発グループの規模は縮小しています。経済的圧力により多くの企業が規模の縮小を余儀なくされており、設計リソースも例外ではありません。その結果、作業負荷は増加しているにもかかわらず、開発グループの人員は削減されています。

コスト意識を持つ ARM ベースの組み込みシステム設計者は、従来の実装アプローチの弱点をさらに意識し始めています。マルチチップ・ソリューションは比較的実装しやすいものの、大きなコストがかかる上に、今日のアプリケーションに要求される柔軟性や性能／消費電力要件を満たしていない可能性があります。ソフト・プロセッサ・コアを採用するシングルチップ・ソリューションも比較的実装が容易ですが、消費電力と性能の目標を満たさない場合があります。ハード化された ARM コアを搭載する ASIC SoC は、消費電力、性能、および最適化に優れていますが、市場投入までに時間がかかり、柔軟性が低く、大半のアプリケーションにとって許容できないほどのコストがかかります。組み込みシステム開発者が競争力を備えるには、さらに高い柔軟性と効率によって高度に差別化された製品の開発を可能にするソリューションが必要です。

新しいタイプの SoC

FPGA への組み込みプロセッサの搭載は、過去 10 年間で安定して増え続けています (図 2)。アルテラの FPGA テクノロジーの進歩により、今日の組み込みシステム・アプリケーションに必要な幅広い機能を提供する、新しいタイプの SoC デバイスが登場しました。ARM ベース SoC FPGA は、ハード化された ARM プロセッサ、メモリ・コントローラ、およびペリフェラルを 1 つの SoC 内のカスタマイズ可能な FPGA ファブリックと組み合わせています。このような SoC FPGA は、設計者が抱える課題の多くを解決し、今までにない製品の差別化、価格/性能比の最適化、迅速な市場投入、および製品の長寿命化を実現します。

図 2. FPGA に搭載されるプロセッサの増加

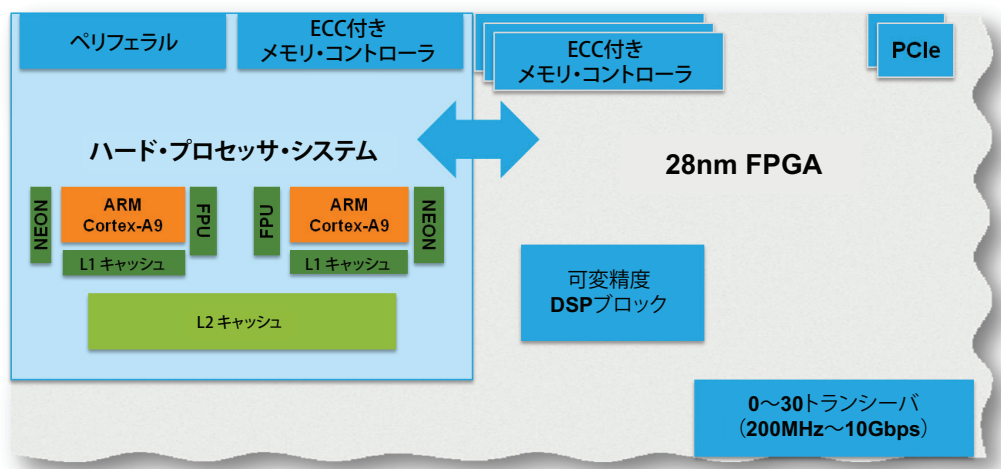


出典：ガートナー2010年9月

SoC FPGA

ARM ベース SoC FPGA (図 3 を参照) は、高度に最適化された「ハード」プロセッサ・システム (HPS) ブロックをオンチップ FPGA と密結合します。デュアルコア ARM プロセッサ、マルチポート・メモリ・コントローラ、および複数のペリフェラルを含む HPS は、1.8 W 未満で最大 4,000 MIPS (Dhrystone 2.1 ベンチマーク) の処理性能を発揮します。このようなハード IP ブロックは、消費電力とコストを低減しながら高い性能を発揮し、製品を差別化するためにロジック・リソースを解放します。ユーザーは、オンチップ FPGA ファブリックをカスタマイズしてアプリケーション固有のロジックを作成できます。プログラミングが可能のため、新しい通信規格、変更された通信規格、ネットワークング・プロトコル、性能調整などに迅速に対応できます。

図 3. FPGA ファブリックと密統合したプロセッサ



SoC FPGA プラットフォームは、従来のソリューションと比べてはるかに大きな性能上の利点をもたらします。ハード化されたペリフェラルはソフト IP の同等のペリフェラルと比べて高度に最適化されているため、使用するプロセス・ノードで実現可能な最高の性能、最小の消費電力、および最高の実装密度を得ることができます。FPGA は新しいプロセス・ノードで初めて製造されるデバイスになることが多いため、SoC FPGA を利用する設計者は、利用可能な最新かつ最高の半導体テクノロジーを使用できます。オンチップ・バス接続によって実現されるペリフェラル間の密結合も、ボード・ベースのソリューションより優れた性能と消費電力効率を実現します。システム全体から見ると、SoC FPGA を実装することによってシステムのサイズ、システムの消費電力、およびコストが大幅に削減されます。

市場投入の早期化

フィールド・プログラマブル・プラットフォームを使用すれば、他のカスタム・デバイスに必要となる時間とコストのたった何分の一かで、市販のデバイスを使用したカスタム ARM ベース SoC FPGA を構築できます。実績のある FPGA デザイン・ツール、直感的なシステム統合ツール、および確立された ARM エコシステムの組み合わせによって、迅速かつ低リスクの開発サイクルが保証されます。FPGA を初めて実装する方でも、今日一般的に入手できるツールが複数のインターフェース形式と規格をサポートしており、レガシー・ソフトウェア、IP、およびその他のデザイン内容を比較的容易に活用したり、再利用したりできることがわかります。開発者は、FPGA プラットフォームと対応する開発インフラストラクチャを使用して、組み込みシステム市場の機会に極めて迅速に対応できます。

柔軟性

組み込みシステム市場で競争するには機敏さが必要です。ネットワークアプリケーションと通信アプリケーションは、新しい規格や規格の変更に対応する必要があります。工業分野や医療分野のプロバイダは必ずしも大量生産は必要ないかもしれませんが、それでも製品の高度な専門化は必要です。具体的なアプリケーション分野が何であっても、組み込みシステム開発者は、熾烈な競争に参加し、最新テクノロジーの進歩を利用し、新しい市場機会に素早く対応する柔軟性を備える必要があります。

SoC FPGA は、組込み市場の要求に独自の方法で応えています。多くの変更や調整は、ARM ベース SoC FPGA のロジック部分に容易に吸収することができます。SoC FPGA 内のこのロジックはフィールド・プログラマブルであり、製品の差別化、更新、あるいは製品バリエーションを展開するための変更を、迅速かつ容易に行うことができます。必要となれば、デバイスをフィールドに展開した後でリコンフィギュレーションを行うことも可能です。

拡張性とデザインの再利用

デザインの再利用は、コスト、マーケット・ウィンドウの短縮、限られた設計リソースを管理するための主な手段です。複数のデバイスやファミリにまたがって設計内容を拡張したり再利用したりできる機能は、計り知れない価値を持つことがあります。このような機能によって、既存のデザインや IP ブロックを、サイズ、消費電力、または性能要件が異なるデバイスに実装する際に、ゼロから再設計する必要性が最小限に抑えられます。地理的に分散した開発グループが増える中、再利用によって、生産性が向上するだけでなく、内容を共有して有効活用することが可能です。

SoC FPGA のアーキテクチャは、複数の IP コア・オプションと異なるデバイス・ファミリへの拡張性を備えています。その再利用性や拡張性により、価格 / 性能 / 消費電力 / その他の制約が異なる幅広いアプリケーションへ容易に適用することができます。プロセス・テクノロジーの進歩に伴い、このような FPGA ファミリ内で次世代への IP の移植によって、次のプロセスノードへの移行も大幅に簡素化されます。

製品の長寿命化

多くのアプリケーションにおいて、製品の長寿命化は、検討すべき重要な課題です。製品のライフ・サイクルは、特に医療、工業、および軍用デバイスで 10 年～15 年以上になる可能性があります。ところが、IC プロバイダは 5 年～7 年のうちに製品を徐々に廃止することが普通です。多くの場合、そのような IC のユーザーは、最終製品のライフ・サイクルが IC コンポーネントのライフ・サイクルより長いと、多額のコストを負担して貴重な設計リソースを設計の移行やリスピンに振り向けなければなりません。

製品の陳腐化や障害による想定外の問題を避けるために、展開期間が長期化する可能性のある組込みシステムには、信頼性が厳しくテストされ、製品の想定ライフ・サイクルにわたってベンダー・サポートを受けることを実現方法として探す必要があります。FPGA が長年にわたって工業、軍用、航空宇宙、自動車、および医療アプリケーションに展開されているのは、長寿命、移行の容易性という FPGA の特徴によるものです。デバイスの長寿命化によってフィールドでの製品メンテナンスが減ることで、メンテナンス・コストが削減され、設計リソースを新製品に振り向けることができます。

アルテラの SoC FPGA

アルテラは、2011 年に開始した「エンベデッド・イニシアチブ」の一環として、組込みシステム市場に ARM プロセッサ・ベース SoC FPGA を提供します。これらのアルテラ製品には、以下のような特徴があります。

- ハード化された高度な ARM プロセッサ、ペリフェラル、および高速インタコネク
- オンチップ・アルテラ FPGA ファブリック、セカンダリ・メモリ・コントローラ、および PCI Express® (PCIe®) インタフェース

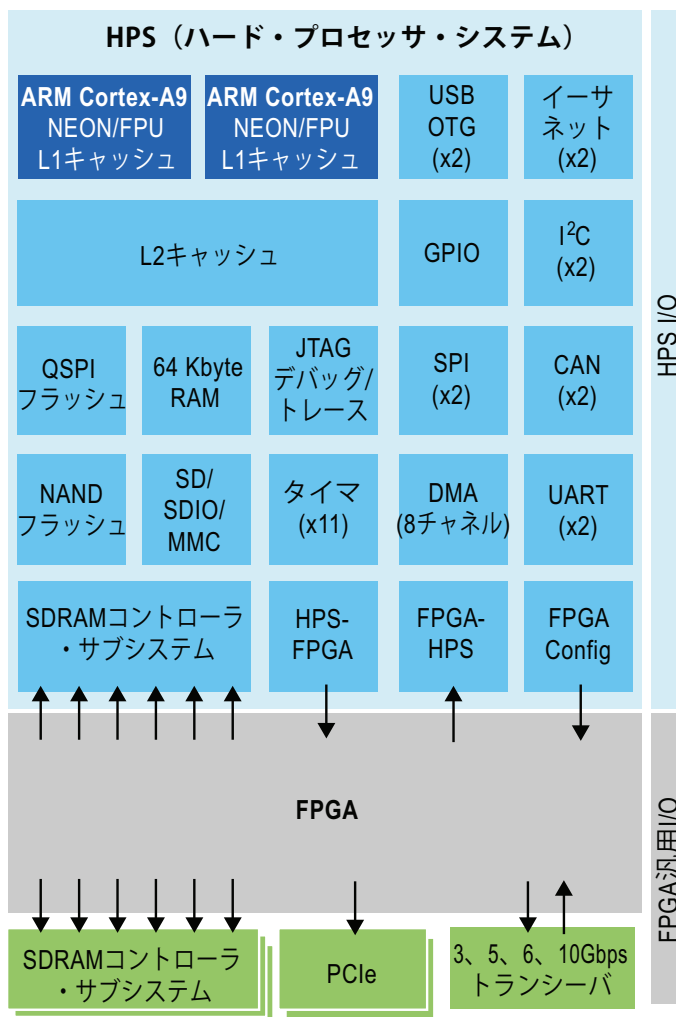
- レガシー・コンテンツと IP のインテグレーションをサポートするデザイン・ツール
- シリコンの有無にかかわらずソフトウェア開発を加速するためのシミュレーション環境

シリコン

28nm プロセス・ノードにおいて、アルテラはそれぞれのニーズに合わせたアプローチを使用して、**Arria® V** と **Cyclone® V** FPGA ファミリーに ARM プロセッサを採用することで、広範な組込みアプリケーションに対応します。同じ TSMC 28nm 低消費電力 (28LP) プロセスで生産されるどちらの製品も、組込みシステムに求められる低いシステム消費電力とシステム・コストを提供します。Cyclone V FPGA ファミリーが消費電力やサイズが最も重視されるアプリケーションに最適である一方、Arria V FPGA ファミリーは、アーキテクチャを調整してさらに性能を重視する組込みアプリケーションに対応するように最適化されています。

アルテラ ARM HPS (ハード・プロセッサ・システム) ブロック (図 4) は、デュアルコア ARM Cortex™-A9 MPCore™ プロセッサ、メモリ・コントローラ、およびペリフェラル IP を 1 つのフル機能の HPS として一体化しています。高性能デュアルコア ARM Cortex-A9 MPCore プロセッサは、28nm プロセス・ノードにおいて最大 800 MHz で動作します。デュアルコア・コンフィギュレーションでは、SoC FPGA 製品の機能と、性能に対する将来のニーズにも余裕を持って対応できるスケーラビリティを備えています。内蔵された NEON™ メディア処理エンジンと倍精度浮動小数点演算ユニットは、マルチメディアおよび信号処理アプリケーション向けに標準的なアクセラレーション機能を提供します。コア当たり 32 個の 32KB Level-1 キャッシュと、その下段に位置する 512KB の共有 Level-2 キャッシュは、レイテンシとメモリ・アクセス時間を最小化して性能を向上させるのに役立ちます。

図 4. ARM ベースのハード・プロセッサ・システムの概要



HPS には、ARM コア自体以外にも、SDRAM コントローラ・サブシステム、多くの汎用ペリフェラル、および高速オンチップ・インタコネク트가含まれています。ペリフェラル・セットには、ハード化されたフラッシュ・コントローラ、MMC、DMA、USB 2.0、イーサネット、UART、SPI、および GPIO インタフェースが含まれています。最後に、アルテラ独自のオンチップ・バス接続アーキテクチャは、合計帯域幅が 125Gbps を超える極めて高速なインタコネク트가 HPS と FPGA を接続します。

アプリケーション固有のロジックは、アルテラのオンチップ FPGA ブロックに実装されます。Cyclone V FPGA と Arria V FPGA ファミリーは長期間にわたって確実にサポートされるため、アルテラの製品は常に名目動作条件で 20 年を超える耐用期間を実現しています。

迅速なシステム・デザイン・ツール

アルテラの Quartus® II 開発ソフトウェアは、開発者が ARM ベースの SoC を迅速に実装できるようにする効率的なデザイン環境です。Quartus II 開発ソフトウェアに含まれている Qsys システム統合ツールは、IP 機能とサブシステム間のインタコネクト・ロジックを自動的に生成して、設計プロセスの時間と労力を大幅に節約します。Qsys は、一般的なインタフェース規格と AMBA® などのプロトコルを使用して記述された IP を自動的に認識し、SoC に組み込みます。そのため、異なったインタフェース規格のレガシー IP エlement やサードパーティの IP エlement を 1 つの SoC FPGA に容易に再利用したり、混合して整合させたりすることが可能です。さらに、開発者は、既存の内容を活用し、迅速な FPGA 実装が可能になります。

ソフトウェア開発

組込みシステム開発においては、ソフトウェア開発が大規模な作業になることがあります。そのため、一般に組込みソフトウェア開発者は「Virtual Target」と呼ばれるシミュレーション環境を使用して、シリコンが入手可能になる前にソフトウェアの作成、シミュレーション、およびデバッグを行うことが可能です。アルテラは、Virtual Target シミュレーション環境を提供し、ソフトウェア開発者が最初のシリコンを入手する前であっても、レジスタおよびバイナリ互換ソフトウェア開発の開始を可能にします。Virtual Target を使用してソフトウェア開発作業の大部分を事前に完了することにより、デザイン・リスクを軽減して製品の市場投入を早めることができます。

結論

今日の組込みシステム開発者は、いまだかつてないほど熾烈な競争にさらされ、規格の変更、プロトコル、および要件に迅速に対応し、設計リソースが減少する中で、ますます多様化する市場に対応しなければなりません。ハード化されたプロセッサ・コアを搭載した SoC FPGA の登場により、設計者はこれらの課題を克服するだけでなく、迅速な市場投入、価格/性能比、差別化、および製品の長寿命化に対する大きな利点を手に入れることが可能です。今や、FPGA ベースの SoC が従来のソリューションより持続可能な好ましいアプローチになり、市場に幅広く普及する段階に到達していると言えるでしょう。

詳細情報

- SoC FPGA の概要
<http://www.altera.co.jp/devices/processor/soc-fpga/proc-soc-fpga.html>
- Cyclone V FPGA : 最も低いシステムコストと消費電力
<http://www.altera.co.jp/devices/fpga/cyclone-v-fpgas/cyv-index.jsp>
- Arria V FPGA: コスト、性能および消費電力のバランスを実現
<http://www.altera.co.jp/devices/fpga/arria-fpgas/arria-v/arrv-index.jsp>
- デュアルコア ARM Cortex-A9 MPCore プロセッサ
<http://www.altera.co.jp/devices/processor/arm/cortex-a9/m-arm-cortex-a9.html>
- Virtual Target による ARM Cortex-A9 MPCore プロセッサ向け開発
<http://www.altera.co.jp/devices/processor/arm/cortex-a9/virtual-target/proc-a9-virtual-target.html>
- Qsys - アルテラのシステム統合ツール
<http://www.altera.co.jp/products/software/quartus-ii/subscription-edition/qsys/qts-qsys.html>
- アルテラと Altera Embedded Alliance パートナーのプロセッサ
<http://www.altera.co.jp/devices/processor/emb-index.html>
- オンライン・セミナー : カスタマイズ可能な ARM ベース SoC FPGA
<http://www.altera.co.jp/education/webcasts/all/wc-2011-arm-based-soc-fpga.html>
- ビデオ・デモ : SoC FPGA Virtual Target (バーチャル・ターゲット) を活用した迅速なソフトウェア開発
<http://www.altera.co.jp/education/webcasts/videos/videos-soc-fpga-virtual-target.html>
- *SoC FPGA Product Overview Advance Information Brief:*
www.altera.com/literature/hb/soc-fpga/aib-01017-soc-fpga-overview.pdf
- *SoC FPGA ARM Cortex-A9 MPCore Processor Advance Information Brief:*
www.altera.com/literature/hb/soc-fpga/aib-01020-soc-fpga-cortex-a9-processor.pdf

謝辞

- Todd Koelling, Sr. Manager, Embedded Products, Altera Corporation

文書改訂履歴

表 1 に、本書の改訂履歴を示します。

表 1. 文書改訂履歴

日付	バージョン	変更内容
2011 年 10 月	1.0	初版

