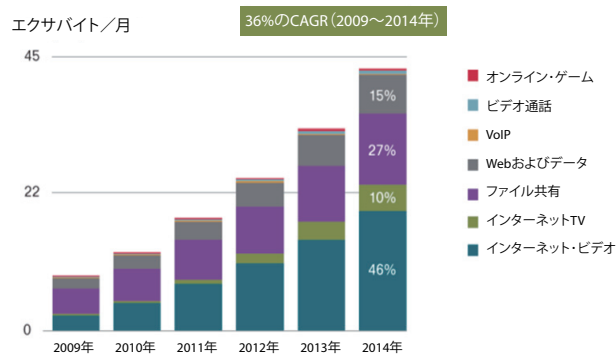


このホワイト・ペーパーでは、FPGA に搭載された光インタフェース技術が距離、消費電力、ポート密度、コスト、回路基板の複雑化といった、ディスクリート銅配線接続に伴う問題をどのように克服するのかについて解説します。チップ対チップ、チップ対モジュール、ラック対ラック、システム対システムといったさまざまなインタフェースのデータ・レートが 10 Gbps を超えつつある状況において、この技術を利用することで前述の問題を克服できるだけでなく、従来のディスクリートによる電気/光伝送技術に比べて大きな利点が得られます。

## はじめに

スマート・フォン、タブレット、HDTV、3DTV をはじめとする広帯域幅・低レイテンシのデバイスやそれに関連するアプリケーションが普及しつつある中、コンピュータおよびネットワーク・システム・ベンダーは、ネットワークまたはインターネットのトラフィック輻輳や待ち時間を著しく悪化させないシステムの実現に取り組んでいます。I/O データ・レートの高速化および密度は、主としてサーバー、LAN（ローカル・エリア・ネットワーク）ルーター/スイッチ、SAN（ストレージ・エリア）スイッチ/RAID、WAN（ワイド・エリア・ネットワーク）光スイッチ、伝送システムに起因します。例えば、PCIe<sup>®</sup> インタフェース 1 レーン当たりのデータ転送速度は、Gen 1.0 の 2.5 Gbps から現行の Gen 3.0 では 8.0 Gbps まで向上しており、さらに Gen 4.0 では 16 Gbps まで高速化される見込みです。図 1 は、インターネットおよび IP トラフィック需要の動向を示しています。

図 1. インターネット帯域幅と IP トラフィックの動向（CISCO VNI、2010 年）

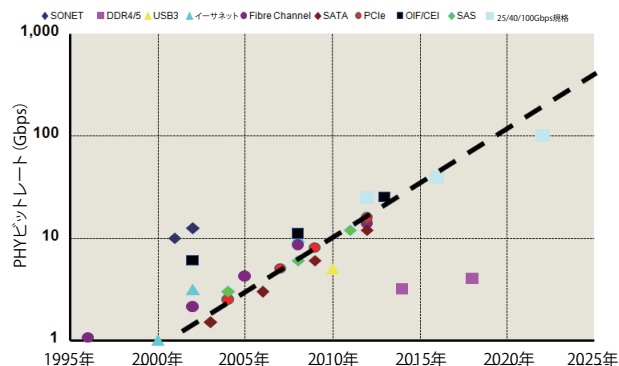


FPGA は、現在のネットワーク、コンピュータ、データ・センター、および通信エコシステムにおいて重要な役割を担っています。アルテラの FPGA における最新光インタフェースは、最新の FPGA に最先端のレーザー／フォトン検出器を FPGA パッケージ・レベルで統合することで、銅配線接続の限界を克服します。光 FPGA インタフェースは、到達距離、消費電力、コスト、密度、およびフォーム・ファクタの点で、従来の電気信号の通信／接続やディスクリートの電気 - 光信号伝送／接続の能力を大きく上回ります。

## 銅配線接続の限界

ネットワークやデータ・センターの運用者は、新しいシステムを導入する際、消費電力やコストが旧世代よりも増えることは避けたいと考えます。また、世代を経るごとに、pJ/bit で表される電力効率の向上に伴って低消費電力化とデータ転送の高速化が次第に進むことも期待しています。図 2 は、『International Technology Roadmap for Semiconductors』（国際半導体技術ロードマップ：ITRS）の 2009 年改訂版から抜粋した 1 レーン当たりのデータ・レートの動向です。

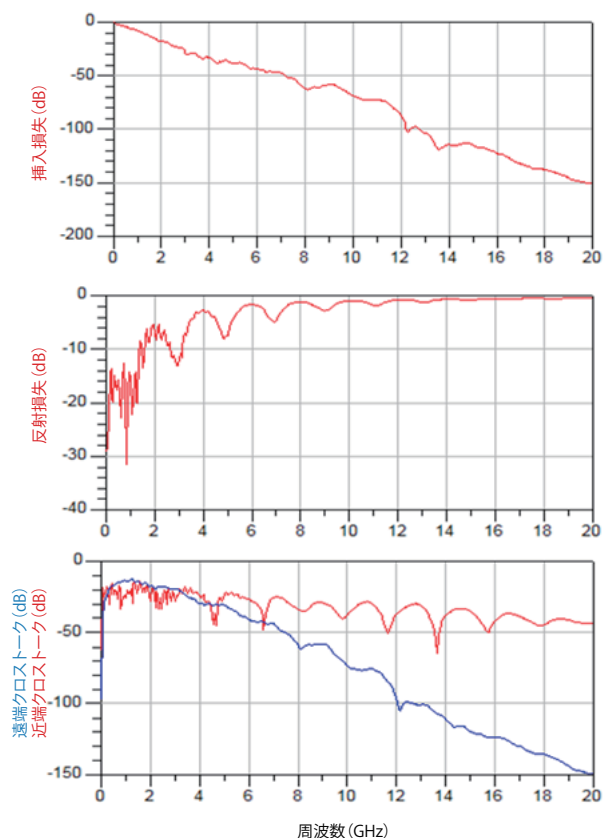
図 2. ITRS の予測による高速 I/O データ・レートの動向



銅配線接続は、プリント基板（PCB）上のトレース経由でのチップ対チップおよびチップ対モジュールのインタフェースのほか、バックプレーン経由でのチップ対チップや、銅線ケーブル経由でのチップ対チップのインタフェースにも広く使用されています。10 Gbps での到達距離は、チップ対チップおよびチップ対モジュール・インタフェースで約 0.3 m、バックプレーン経由でのチップ対チップで 1 m、銅線ケーブル経由でのチップ対チップで 7 m です。

銅配線ベースの接続の課題は、周波数依存損失が原因でデータ・レートの拡張に対応できないことにあります。例えば、広く使用されている FR-4 銅トレース材料の場合の損失は、5 GHz（10 Gbps 時のナイキスト周波数）では 0.5 ～ 1.5 dB/ インチ程度ですが、12.5 GHz（25 Gbps 時のナイキスト周波数）では 2.0 ～ 3.0 dB/ インチ程度に増加します。また、周波数に比例して反射損失とクロストークも増加します。図 3 は、PCI Express サーバー・チャネルの挿入損失、反射損失、およびクロストークの一例です。この例は、データ・レートに対して挿入損失と反射損失がどう増加するかを示しています。挿入損失を見ると、8 GHz（16 Gbps）で約 -60 dB であり、NRZ 信号のイコライゼーション・ダイナミック・レンジ（約 40 dB）をはるかに超えています。この例が示すように、現在の技術ではチャネル長を短くしない限り 16 Gbps に対応できず、アプリケーションや柔軟性の点で制約となります。しかも、この方法ではリピータなどの追加コンポーネントが必要になるため、消費電力、コスト、複雑度がさらに増加することになります。

図 3. PCI Express サーバー・チャンネルの挿入損失、反射損失、およびクロストーク



これらの銅配線ベースのシステムでは通常、シンボル間干渉 (ISI) やデータ依存ジッタ (DDJ) などの挿入損失による信号減衰、反射損失、およびクロストークを補償する必要があります。そこで設計者は、フィードフォワード・イコライザ (FFE)、連続時間リニア・イコライザ (CTLE)、ディジション・フィードバック・イコライザ (DFE) など、トランスミッタまたはレシーバ上の銅配線チャンネルに実装された各種イコライザを使用して、減衰の度合いに応じた調整を行うことで、適切なリンク性能 (つまり、ビット誤り率 (BER)  $< 10^{-12}$ ) を確保します。しかし、イコライザは電力を消費するため、ペナルティが増えます。これは DFE の場合は特に顕著です。さらに、データ・レートが高くなると挿入損失、反射損失、およびクロストークも増加します。それに伴って生じる減衰を補正して同等の性能を確保するには、さらに強力なイコライザ (つまり、タップを増やすか、DC/AC ゲインを大きくする) が必要になります。しかし、この手法も消費電力の増加につながります。

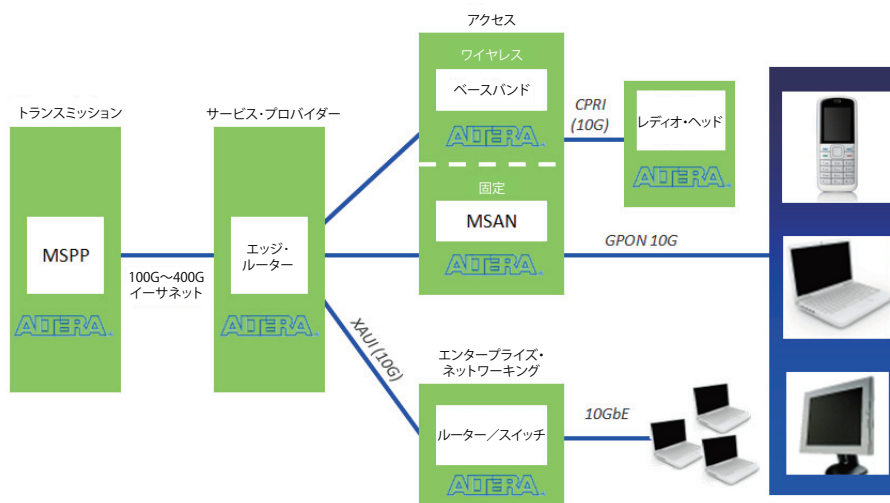
現在の接続エコシステムでは、設計者は銅配線用の電気部品と光ファイバー部品の特性およびコスト構造上の理由から、到達距離が 10 m までの場合は主に銅配線による電気信号伝送を使用し、10 m 以上の場合には主に光ファイバーによる信号伝送を使用します。設計者としては、銅配線による電気信号伝送に付随する損失、シグナル・インテグリティ、および消費電力の問題に対処するために、到達距離が 10 m 未満の場合にも光ファイバーによる信号伝送したいところですが、データ・レートが高くなるにつれて電気部品と光学部品の離散性、それに伴うコストおよび消費電力が大きな問題となります。

## FPGA で実現する光インターフェースの利点

銅配線インターフェースとは対照的に、光ファイバーは損失がほとんど発生しません。マルチモード・ファイバー（MMF）の損失は、波長 850nm で 3 dB/km、波長 1300nm で 1 dB/km 程度です。シングルモード・ファイバー（SMF）の損失は、波長 1300nm で 0.4 dB/km、波長 1550nm で 0.25 dB/km 程度です。MMF は、コア径が大きい（約 50 ミクロン）ためコストが安く、約 2 GHz のバンド幅があります。一方、SMF はコア径が小さい（約 9 ミクロン）ためコストが高いものの、実際に 100 THz 近くバンド幅があります。MMF での光伝送には、一般に発光ダイオード（LED）または垂直共振器面発光レーザー（VCSEL）です。MMF が主に到達距離が 1 km 未満の場合に使用されるのに対し、SMF は到達距離が 1 km から 2,000 ~ 3,000 km の場合に使用されます。10 Gbps での MMF の到達距離は約 300 m です。銅配線による電気リンクとは異なり、光リンクの消費電力やペナルティは到達距離には特に関係しません。しかも、光信号は電気信号とは違って電磁妨害（EMI）の影響を受けないことに加え、クロストークの影響もないため、シグナル・インテグリティの回復性に優れています。さらに波長分割多重方式（WDM）を使用すれば、同じ光ファイバーで複数のチャネルを扱うことができ、チャネルの材料コスト削減につながります。

FPGA は、現在のネットワーク、コンピュータ、データ・センター、および通信エコシステムにおいて重要な役割を担っています。FPGA はリコンフィギュレーションおよび SoC（System-on-Chip）機能を備えており、データ処理やデータ伝送だけでなく、演算、デジタル信号処理、パケット処理、フレーム処理、ルーティング、スイッチング、ブリッジング MAC/FEC などの機能を実現することができます。図 4 は、アルテラの FPGA と最先端トランシーバ回路によって提供されるチップ対チップ、チップ対モジュール、およびシステム対システムのネットワーク・エコシステムにおける I/O リンクとデータ処理を示したものです。

図 4. インターネット/ネットワーク・エコシステムをつなぐアルテラの FPGA



## アルテラの最先端トランシーバ技術

アルテラのトランシーバ技術は、この 10 年で大きく進化し、最新の 28nm プロセス・ノードで最大 28 Gbps のデータ・レートで電気信号伝送機能を提供します。また、アルテラのトランシーバは高度なクロック生成、クロック・リカバリ、およびイコライゼーション機能 (FFE、CTLE、DFE) もサポートしています。図 5 は、データ・レートとプロセス・ノードに関する FPGA トランシーバの進化を示したものです。この最先端トランシーバ技術によって、FPGA に光レーザーが統合され、レシーバはシームレスになっていきます。

図 5. アルテラのトランシーバ技術の進化

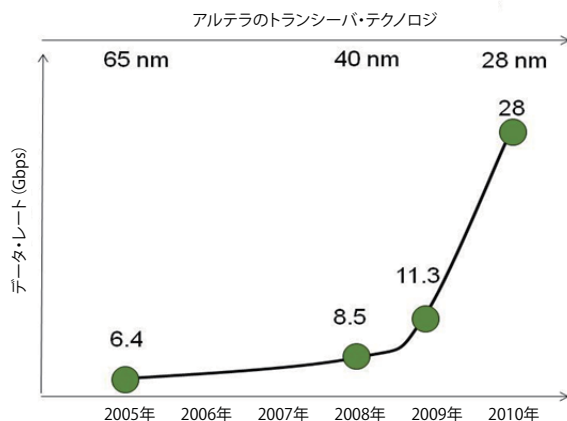
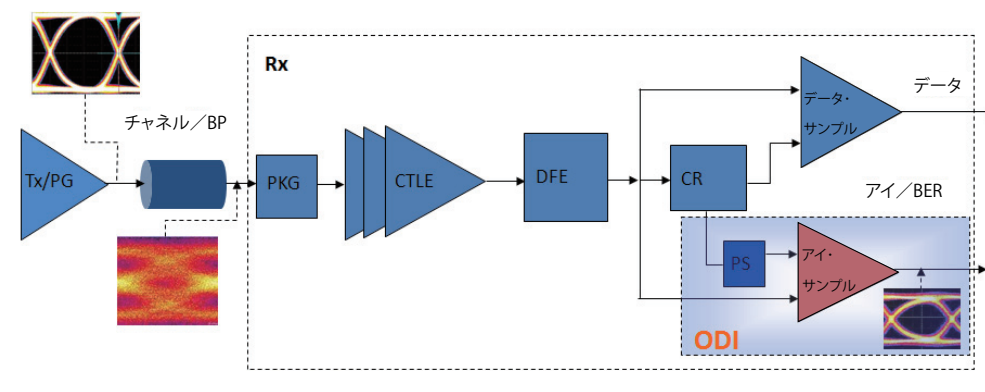


図 6 は、アルテラの最先端トランシーバの機能と性能を示しています。トランスミッタ (TX) 側では、高度な LC オシレータの使用によってジッタの発生が 28 Gbps で 300 fs 以下と極めて低く抑えられています。TX 側の FFE イコライゼーションでは、最大 4 つのプログラマブル・タップを使用することができます。レシーバ (RX) 側には複数ステージの CTLE があり、最大 12 dB の DC ゲインおよび最大 20 dB AC ゲインが得られるほか、ピーキング周波数の調整や自動イコライゼーション係数検索の選択も可能です。RX 側の DFE では最大 5 タップを使用可能で、それによって無相関ジッタおよびノイズをほとんど補償することができます。各タップの重みは、データまたはリファレンス・クロックにロックできるハイブリッド・アーキテクチャに基づくクロック・リカバリ (CR) によって消費電力が最適化されています。これらの条件により、優れたロック時間/範囲が得られ、入力データに過剰なジッタが発生していても回復することが可能です。トランシーバは、ラン・レングス処理 (最大数百 UI)、バンド幅 (最大数百 MHz)、ジッタ・トレランス勾配 (-40 dB/decade 以下) のいずれも優れています。トランシーバは、BER コンターおよびアイ・ダイアグラムを測定することができるオン・ダイ・インスツルメンテーション (ODI) を内蔵しています。

図 6. アルテラの最先端 FPGA トランシーバの機能と性能



アルテラの高度な ODI は、RX アダプティブ・イコライゼーション、RX 最適サンプリング・ポイント検索、およびそれに伴う BER 削減を強力にサポートします。また、トランシーバはボード/システムの迅速な立ち上げ、デバッグ、非侵入型のリンク特性評価、およびライブ・トラフィック/パフォーマンス・モニタリングをいずれもコスト効果と電力効率に優れた方法でサポートしています。図 6 に示したように、閉じた「アイ」を RX CTLE や DFE によって容易に開口させ、ODI で検証することができます。アルテラのトランシーバは、28 nm において 1 桁（約 8 pJ/bit）の電力効率を達成しています。

## FPGA による光インタフェースのアプリケーション

最先端トランシーバにより、アルテラ FPGA における光インタフェースの統合が容易になります。図 7 は、光インタフェースを統合した FPGA の一例です。図 7 の FPGA には、Transmitter Optical Sub-assembly (TOSA) や Receiver Optical Sub-assembly (ROSA) などの光インタフェースが統合されており、ディスクリートの光モジュール不要で光信号を直接送受信することができます。

図 7. 光インタフェース搭載 FPGA

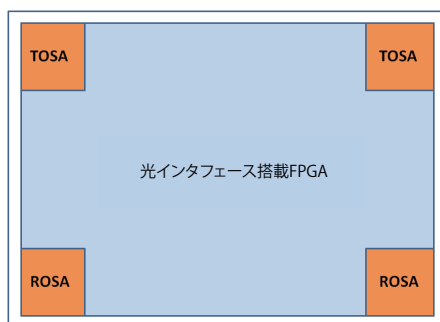


図 8 に示すように、設計者はチップ対モジュール・リンク・システムを光インターフェース搭載の FPGA に置き換えることで、消費電力、リソース、およびコストの大幅な削減に加え、ポート密度の大幅な拡大も実現することができます。これは、アルテラの電力効率に優れた最先端トランシーバが最高水準のクロック生成、クロック・リカバリ、シグナル・コンディショニング、イコライゼーション、そして ODI による内蔵テスト/測定機能を備えているからこそ可能になることです。

図 8. 光インターフェース搭載 FPGA によるチップ対モジュール・リンクの置き換え

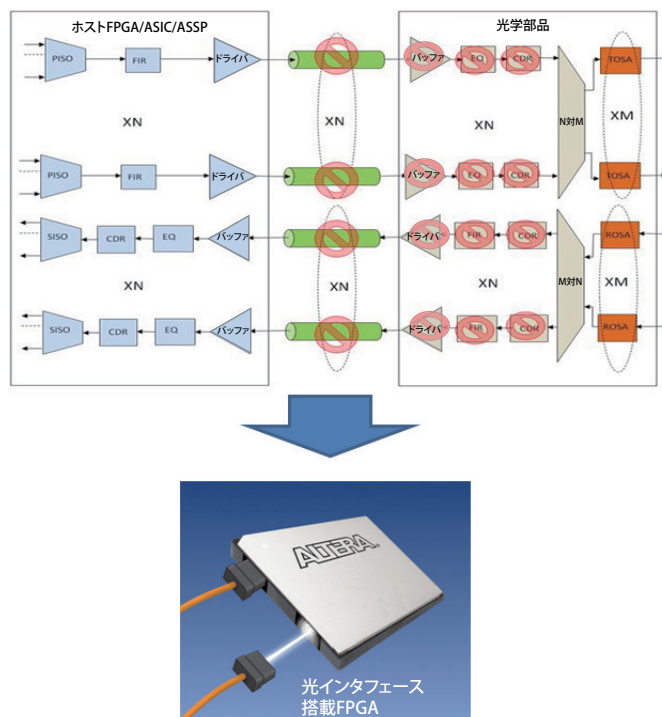


図 9 に、FPGA に光インターフェースを搭載した FPGA の一般的なアプリケーションを示します。設計者は、光バックプレーン、ボード対ボード、ラック対ラック、システム対システムの接続に光インターフェース搭載 FPGA を使用することができます。この場合、10 Gbps のライン・レートで最大 100 m の到達距離を実現可能です。チャンネルの最大データ・レートは、FPGA トランシーバのデータ・レートによって決まり、現在は 28 nm プロセス・ノードで 28 Gbps です。

図 9. 光インターフェース搭載 FPGA のアプリケーション

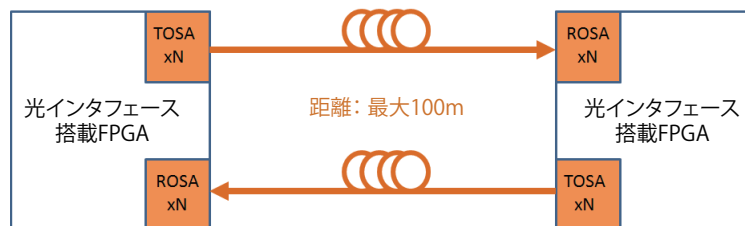
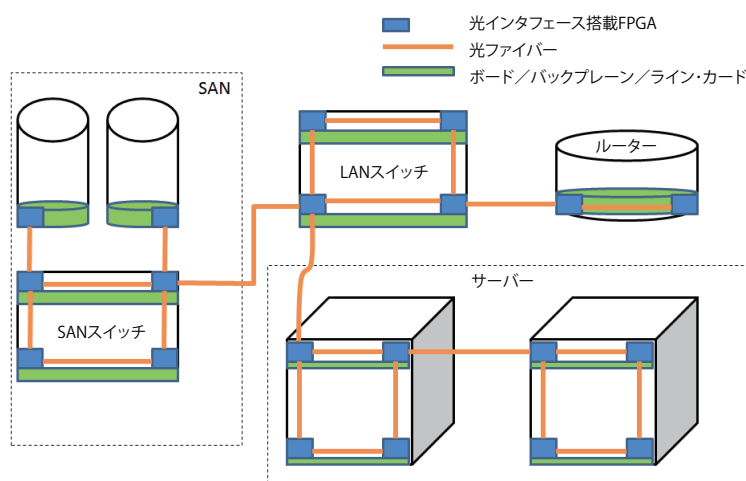


図 10 は、データ・センター（DC）における光インタフェース搭載 FPGA のより具体的な使用例です。この図では、この新しい FPGA を LAN スイッチ、ルーター、SAN スイッチ、ディスク・アレイ、およびサーバー・アレイとしてだけでなく、イントラネットのボード／バックプレーン／ライン・カード、ボード対ボード、ラック対ラック、およびシステム対システムの接続として使用しています。光インタフェース搭載 FPGA は処理に加え、0.3 m から 100 m の範囲での光接続が可能のため、データ・センター全体の接続に最適です。これにより、従来の技術に比べ、消費電力、密度、およびコストの大幅な削減効果が得られます。こうした機能は、特に到達距離が 10 m 未満の場合、この技術が登場する前は実現不可能でした。

図 10. データ・センターにおける光インタフェース搭載 FPGA の使用例



## まとめ

銅配線ベースのチップ対チップ・インタフェースでは、到達距離、消費電力、コスト、ボード素材、および回路基板の複雑度が大きな課題です。同様に、ホスト・チップと現在使用されているディスクリット光モジュール・ソリューションでは、コスト、ポート密度、消費電力、フォーム・ファクタ、ボード素材が主な課題です。データ・レートは 10 Gbps あるいはそれ以上に達していますが、アルテラの光伝送技術インタフェースは最新の FPGA に最先端のレーザー／フォトン検出器を統合することで、いずれの場合の課題も解決します。光インタフェース搭載 FPGA は、従来の電気信号通信／接続やディスクリット電気 - 光信号伝送／接続に比べ、到達距離、消費電力、コスト、密度、フォーム・ファクタ、重量に関する利点をもたらします。設計者は、バックプレーン経由でのチップ対チップ（1 m 以内あるいはそれ以上）、ボード対ボード、ラック対ラック、さらには到達距離が最大 100 m に及ぶシステム対システムの接続に FPGA 光インタフェースを使用することが可能です。

到達距離、消費電力、コスト、密度、フォーム・ファクタ、重量、EMI やクロストークに対する回復力といった利点を考えた場合、光インタフェース接続技術を搭載した FPGA が今後、データ通信／音声通信システム、データ・センター、データ伝送、および軍用ネットワーク・システムのほか、試験／測定、医療、および放送システムにも幅広く使用されるようになることは想像に難くありません。この技術は、将来のインターネット、ネットワーク、データ・センター、試験／測定機器、医療機器、および放送機器のエコシステム的设计・構築のあり方を一変させるはずで

## 謝辞

- Dr. Mike Peng Li, Principal Architect, Product Engineering, Altera Corporation