

1980年代半ばに登場した CPLD は、それ以来あらゆる分野において、コントロール・パス・アプリケーションの実現に関与する設計エンジニアの好評を博してきました。このホワイトペーパーでは、コストと消費電力の削減を迫られる今日の厳しい状況を考慮しつつ、アルテラ MAX[®] V CPLD が 5 つのコントロール・パス・アプリケーションに対しどのようなソリューションを提供しているかについて解説します。

はじめに

低コストかつ低消費電力、そして高性能という特徴を兼ね備えたアルテラの MAX V CPLD は、最高水準の市場価値（バリュー）を提供します。業界初の LUT ベースの不揮発性アーキテクチャと最大の集積度を備える CPLD の 1 つとして、競合 CPLD よりトータル消費電力を最大 50% 低減しつつ、より高い性能（最大 247.5 MHz）を実現します。このような特長により、以下のアプリケーションで CPLD の機能が最大限に発揮されます。

- I/O 拡張 — I/O デコーディングを行い、別の標準デバイスで使用可能な I/O 機能を効率的に低コストで増強します。
- インタフェース・ブリッジ — 互換性のないデバイス間でバス・プロトコルと電圧の変換を最も低いコストで実現します。
- 電源管理 — ボード上の他のデバイスのパワー・アップ・シーケンスと監視を管理します。
- コンフィギュレーションおよび初期化 — ボード上の他のデバイスのコンフィギュレーションまたは初期化を制御します。
- アナログ制御 — パルス幅変調器（PWM）により、D/A コンバータ（DAC）なしで標準的なアナログ・デバイス（照明、音声、動作）をデジタル制御します。

I/O 拡張

エンジニアは、お気に入りの ASSP をいくつもの最終製品で再利用しようとします。それぞれの ASSP の I/O ピン数と関連機能は固定のため、次の製品でそれより多くの I/O ピンや異なる機能が必要になると問題が発生します。CPLD は、汎用 I/O ピンを使用してデコードと標準製品の I/O 機能の拡張を実現するため、エンジニアは最小コストで新機能を追加するとともに、お気に入りの ASSP を再利用できます。柔軟な I/O 機能と、パッケージ面積あたり多くの I/O とロジックを搭載するパッケージ・オプションの選択肢を備えた MAX V CPLD は、I/O ピン制限の厳しい ASSP やマイクロコントローラを理想的に補完します。I/O 拡張デザインの課題を解消する CPLD の特長には、次のようなものがあります。

- I/O ピンあたりの低コストまたはボード面積あたりの I/O 集積度

- 柔軟な I/O バンクと I/O オプション（複数の電圧、シュミット・トリガなどのサポート）
- デザイン固有の問題を解決し、設計終盤での変更を可能にするリプログラマビリティ

表 1 に、MAX V CPLD と競合製品の I/O 数およびロジック数の比較を示します。

表 1. 同等の集積度を持つ CPLD の 1 mm² あたりの I/O および 1 mm² あたりのロジック集積度の比較

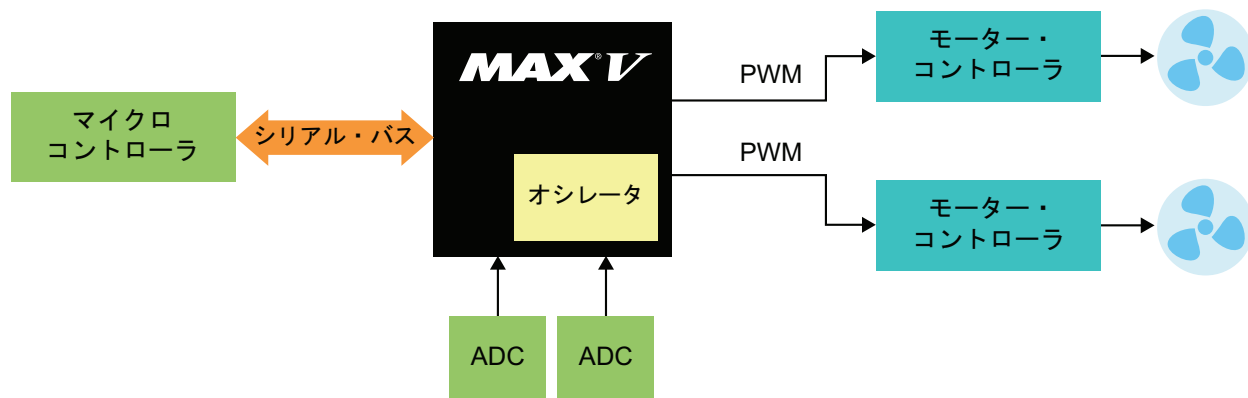
ベンダー	CPLD ファミリー	デバイス	パッケージ/ 本体サイズ (mm)	使用可能な ユーザー I/O 数	使用可能な ユーザー・ ロジック数 (1)	パッケージ 面積あたり (mm ²) の I/O 数	パッケージ 面積あたり (mm ²) の ロジック数
アルテラ	MAX V	EP5M40Z	64-MBGA 4.5 x 4.5	30	~32	1.48	1.58
アルテラ	MAX V	EP5M40Z	64-EQFP 7 x 7	54	~32	1.10	0.65
Xilinx	CoolRunner II	XC2C32	QF32 5 x 5	21	32	0.84	1.28
Xilinx	CoolRunner II	XC2C32	CP56 6 x 6	33	32	0.92	0.89
Lattice	MachXO、 MachXO2	32 または 64 マクロセルのデバイスの提供なし				-	-

注：

(1) LUT ベースの CPLD は、ベンチマーク分析に基づいて等価なマクロセル数に換算しています。

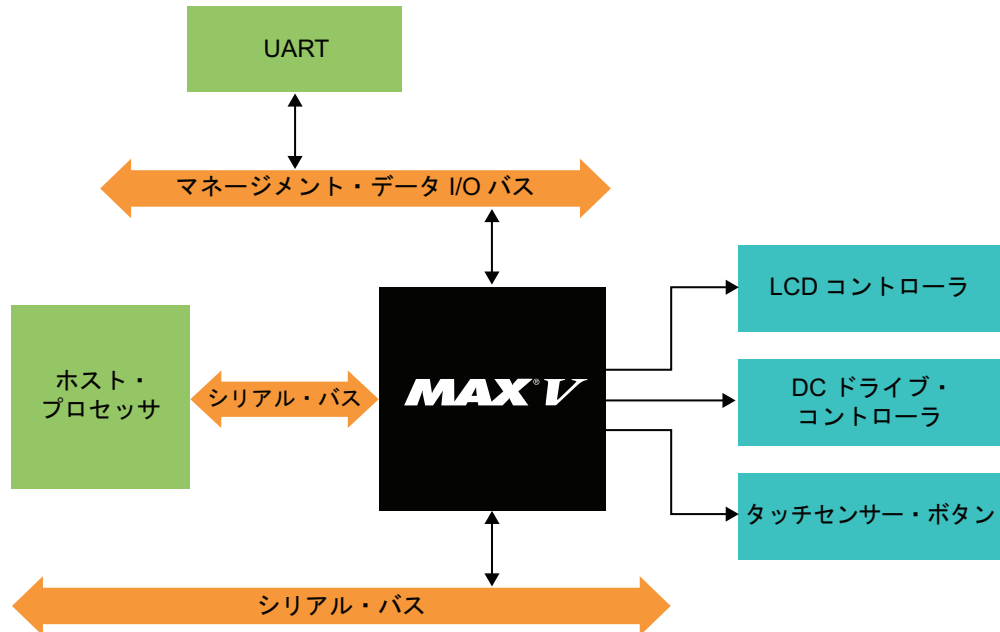
図 1 に、I/O 制限のあるマイクロコントローラが、2 線式シリアル・バスだけを使用してシステム内の多くのデバイスを制御する方法を示します。この例では、MAX V CPLD がシリアル・バス入力にインタフェースし、次に複数のデバイス（この場合はファン・モーター・コントローラ）を制御するためのインストラクションを分配します。MAX V CPLD の内蔵オシレータは、非動作状態を定期的に監視してファンをシャットダウンし、システム消費電力を節約するのに使用できます。複数のアナログ・デジタル・コンバータ（ADC）から情報を取り込み、シリアル・バスを経由してマイクロコントローラに伝送する場合のように、データをパラレルからシリアルに変換することも可能です。

図 1. MAX V CPLD を使用したシリアル・バスの拡張



あるプロセッサ・ファミリでの最適なマイクロプロセッサの選択は、使用可能な汎用 I/O 数などの多くの要因で決まります。I/O 数の少ないマイクロプロセッサと低コストの CPLD の組み合わせは、多くの場合、I/O 数の多いスタンドアロン・マイクロプロセッサより安価になります。図 2 に、MAX V CPLD がホスト・プロセッサからの最小限の入力だけを使用して、ボード上の多数のデバイスを制御できる方法を示します。

図 2. MAX V CPLD 経由でコントロール信号の分配によって、プロセッサのコストを最小化



インタフェース・ブリッジ

ASSP とマイクロコントローラのベンダーがサポートするバス・プロトコルと電圧レベルの数が増え続けています。そのため、これらのインタフェース間でのシンプルかつ安価な変換が必要とされています。MAX V CPLD は、以下のような多くの種類のインタフェース・ブリッジ・アプリケーションをサポートするように設計されています。

- 電圧レベル・シフト — 3.3 V 入力から 1.8 V 出力など
- バス変換アプリケーション — 独自インタフェースを業界標準プロトコルに変換
- マルチポイント・バス・ブリッジ
- シリアル — パラレル/パラレル — シリアル・バス変換
- 暗号化 — データの暗号化および復号化

図 3 に、MAX V CPLD を使用して、低コスト・低消費電力の LCD コントローラとインタフェースを LCD ディスプレイに実装する方法を示します。ボードは、物理的に分離してフレックス・ケーブルでつなぐことも、バックプレーン構成の一部にすることもできます。新しい LCD モデルが入手可能になったら、LCD コントローラを更新して、異なるスクリーン・サイズや独自インタフェースに対する新たな技術要件に対応できます。したがって、LCD のコスト、消費電力、および機能に基づいて LCD ベンダーをリアルタイムに選択できる柔軟性がデザイン・エンジニアに与えられます。

図 3. MAX V CPLD を使用した、カスタマイズ可能な LCD コントローラ・インタフェースの実装

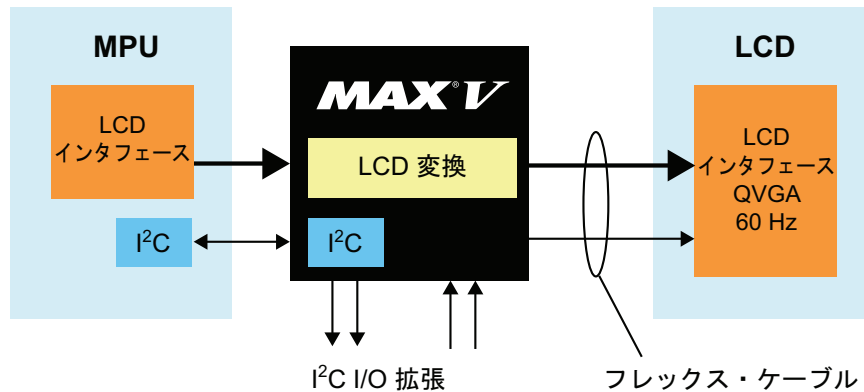
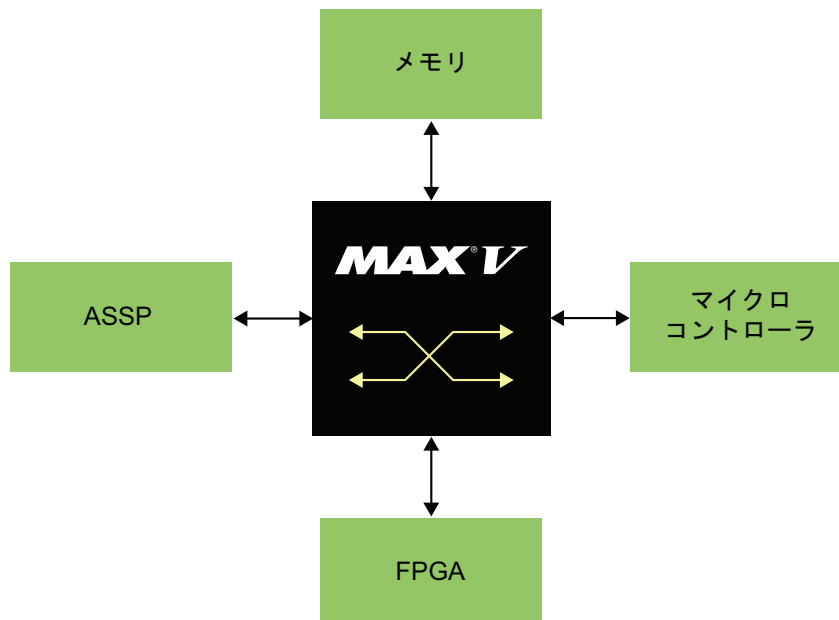


図 4 に、MAX V CPLD がクロスポイント・スイッチとしてどのように機能し、マルチポイント接続を可能にするかを示します。このアプリケーションではプログラマブル・ロジックを使用することにより、各種特定のデザイン要件に柔軟に対応できます。このアプリケーションでは、MAX V CPLD のロジックは、3つの主要ブロックに分かれます。

- スイッチ・マトリクス — 任意の入力を任意の出力に接続します。
- コンフィギュレーション・レジスタ — 動作中に接続のリコンフィギュレーションを行います。
- アドレス・デコーダ — コンフィギュレーションの出力アドレスをデコードします。

図 4. MAX V CPLD を使用したマルチポイント接続



インタフェース・ブリッジでは、バス・インタフェースをサポートするために多数の I/O ピンが必要ですが、多くのロジックは必要ありません。MAX V CPLD は、I/O 数が多く、ロジック比が低いため、I/O ピンあたりのコストが最も低く抑えられます。多くの I/O 数とさらに複雑なロジック機能を必要とするアプリケーションでは、アルテラの Cyclone® シリーズの FPGA によって CPLD よりロジックあたりのコストが削減されることがあります。

電源管理

ボードの集積度が上がり、ボード上のパワー・プレーン数が増えるにつれ、電源管理の複雑さも高まります。さまざまな電源管理タスクには、多電圧システムのパワー・アップ、システム・リセット、チップ・セレクト生成、リアルタイム監視などがあります。MAX V CPLD は、以下に挙げたものを含むこれらの機能すべてを 1 つの不揮発性インスタント・オン・デバイスに集積する機能と集積度を備えています。

- インスタント・オン — MAX V CPLD が最初にパワー・アップしてから (50 ミリ秒以内)、他のデバイスのスタートアップ・シーケンスを管理できます。
- MultiVolt — 設計者が、電源管理インタフェースに最も便利な I/O 電圧 (3.3 V、2.5 V、1.8 V、1.5 V、1.2 V) を選択できるようにします。
- 内蔵オシレータ — さまざまなパワー・プレーン、関連する電源、下流デバイスのステータスを定期的に監視するのに役立ちます。
- ユーザー・フラッシュ・メモリ (UFM) — デバッグや診断のためにシステム情報を収集するための不揮発性ストレージです。
- ホット・ソケット仕様への準拠 — 損傷を与えることなく、動作中のシステムで CPLD を挿抜できます。これは、プラグイン・ボードの電源管理を制御するのに最適なソリューションです。
- アナログ・インタフェース — PWM がさまざまなアナログ標準製品 (温度、圧力、電圧のセンサーなど) とインタフェースできます。

図 5 に、代表的な MAX V CPLD の電源管理アプリケーションを示します。複数の電源レールが異なるデバイスをサポートするため、各デバイスの完全なパワー・アップ・シーケンスを管理するコントロール・ロジックが必要になります。パワー・アップ中にこれらの信号が誤ってドライブされないように、パワー・アップが完了するまで重要なバス信号をコントロールするためにも MAX V CPLD が使用されています。JTAG ポートはパワー・アップ・シーケンスを監視し、パワー・アップ時のエラーと情報を保存します。このポートを使用して、パワー・アップ・シーケンスにブレーク・ポイントを設定することも可能です。ブレーク・ポイントはデバッグ時に役立ちます。

図 5. MAX V CPLD を使用した多電圧システムのパワー・アップ管理

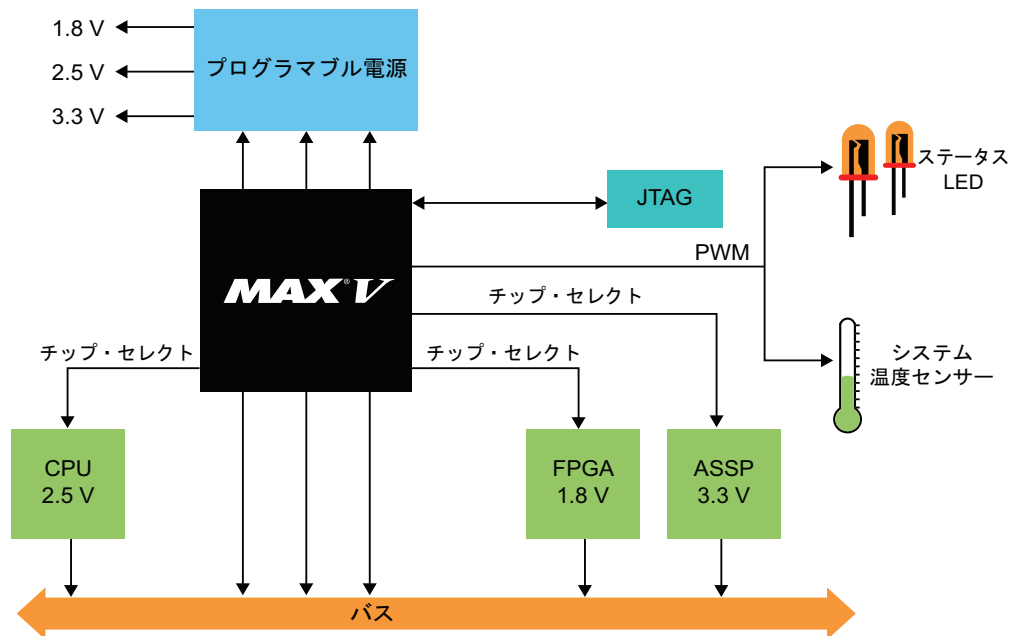
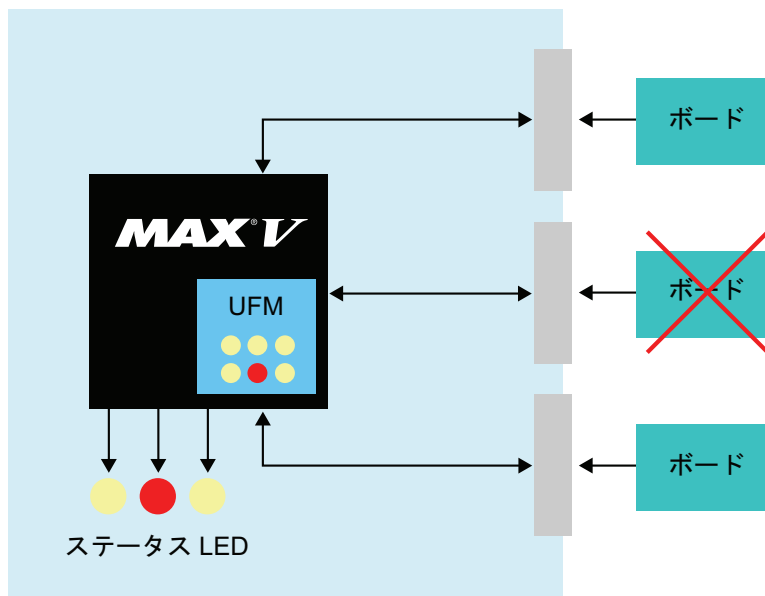


図 6 に示すように、MAX V CPLD はバックプレーンへのボードの取り付けまたは取り外しをモニタすることもできます。高電流を流せる CPLD I/O では、どのボードが接続されているかを LED に直接示すと同時に、デバッグ / 診断のためにその情報をユーザー・フラッシュ・メモリに記録できます。

図 6. ボード・スワッピングの制御と監視



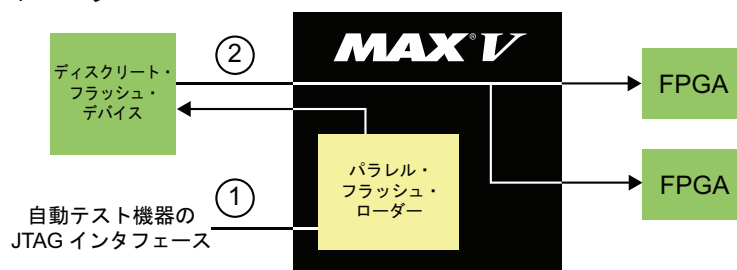
コンフィギュレーションおよび初期化

CPLD は一般に、他の揮発性デバイスのコンフィギュレーションや初期化を管理するために使用されます。コンフィギュレーションや初期化が必要なコンポーネントの例には、FPGA、デジタル信号プロセッサ、ASSP、ASIC、ディスクリット・フラッシュ・メモリなどがあります。

MAX V CPLD の高速インスタント・オン性能が最初にパワー・アップしてから、他のデバイスのコンフィギュレーションと初期化を管理します。リアルタイム ISP により、MAX V CPLD は 2 番目のプログラミング・ビットストリームのダウンロードおよび保存中も動作できるため、システムのダウンタイムが短縮されます。直ちに、またはユーザーがスケジュールした次の電源立ち上げ時にリプログラミングが行われます。

ディスクリット・フラッシュ・メモリや FPGA デバイスのコンフィギュレーションのプログラミングを簡素化するために、アルテラはパラレル・フラッシュ・ローダー IP を提供しています。図 7 に示すように、コンフィギュレーション・アプリケーションの最初のステップは、フラッシュ・プログラミング・アプリケーションです。このファンクションは、CPLD の JTAG ピンを介して JTAG を使用するフラッシュ・デバイスをコンフィギュレーションします。JTAG に準拠していないフラッシュ・メモリ・デバイスも、パラレル・フラッシュ・ローダー IP を使用してコンフィギュレーションできます。

図 7. MAX V CPLD を使用した FPGA コンフィギュレーション管理とフラッシュ・コントローラ



コンフィギュレーション・アプリケーションの次のステップでは、新たにプログラムされたディスクリット・フラッシュ・メモリを使用して、1 つまたは 1 つ以上の FPGA をコンフィギュレーションします。これは、システム・ボード上で低コスト・フラッシュ・メモリ・デバイスを共有する、経済的で柔軟なソリューションです。最高の集積度を持つ CPLD を利用できる MAX V デバイスは、フラッシュ・メモリ内にある複数ページでさまざまなファンクションを備えた FPGA をプログラムするなど、極めて複雑なコンフィギュレーションをサポートします。

 パラレル・フラッシュ・ローダー IP の詳細については、アルテラのアプリケーション・ノート『[Using the MAX II Parallel Flash Loader with the Quartus II Software](#)』を参照してください。

アナログ制御

MAX V CPLD の LUT ベースのロジック・アーキテクチャ、ドライブ強度が高い I/O、および内部オシレータにより、PWM インタフェースを介してさまざまなアナログ標準製品に直接接続できます。そのため、DAC を使用せずに以下のようなアナログ製品を極めて高精度で制御できるようになります。

- 照明 — LED の点滅やバックライトの輝度
- 動作 — 各種モーターおよびサーボ
- センサー — 圧力、温度、電圧など
- 音声 — スピーカーなど

アナログ製品をきめ細かくデジタル制御することは、これらのアナログ機能の消費電力の低減に役立ちます。

結論

MAX V ファミリが提供するアーキテクチャと機能により、このホワイトペーパーに記述した 5 つの主要 CPLD アプリケーションを 1 つの低コスト・低消費電力 CPLD に実装できるようになります。したがって、MAX V デバイスは、ワイヤライン通信、ワイヤレス通信、産業機器、コンシューマ、コンピュータ/ストレージ、オートモーティブ、放送機器、軍用機器のどの分野のデザインにも最適です。アルテラは、CPLD 市場で最大シェアを持ち、迅速な量産化の実現、ライフサイクルの長いデバイスの提供による OEM メーカーの支援に実績があります。

詳細情報について

- MAX V CPLD : Cool Value :
www.altera.co.jp/products/devices/cpld/max-v/mxv-index.jsp
- 資料 : MAX V デバイス :
www.altera.co.jp/literature/lit-max-v.jsp
- 『Using the MAX II Parallel Flash Loader with the Quartus® II Software』
<http://www.altera.co.jp/literature/an/an386.pdf>

謝辞

- Thomas Schulte, Senior Product Marketing Manager, Low-Cost Products, Altera Corporation

文書改訂履歴

表 2 に、本書の改訂履歴を示します。

表 2. 文書改訂履歴

日付	バージョン	変更内容
2010 年 12 月	v1.0	初版