

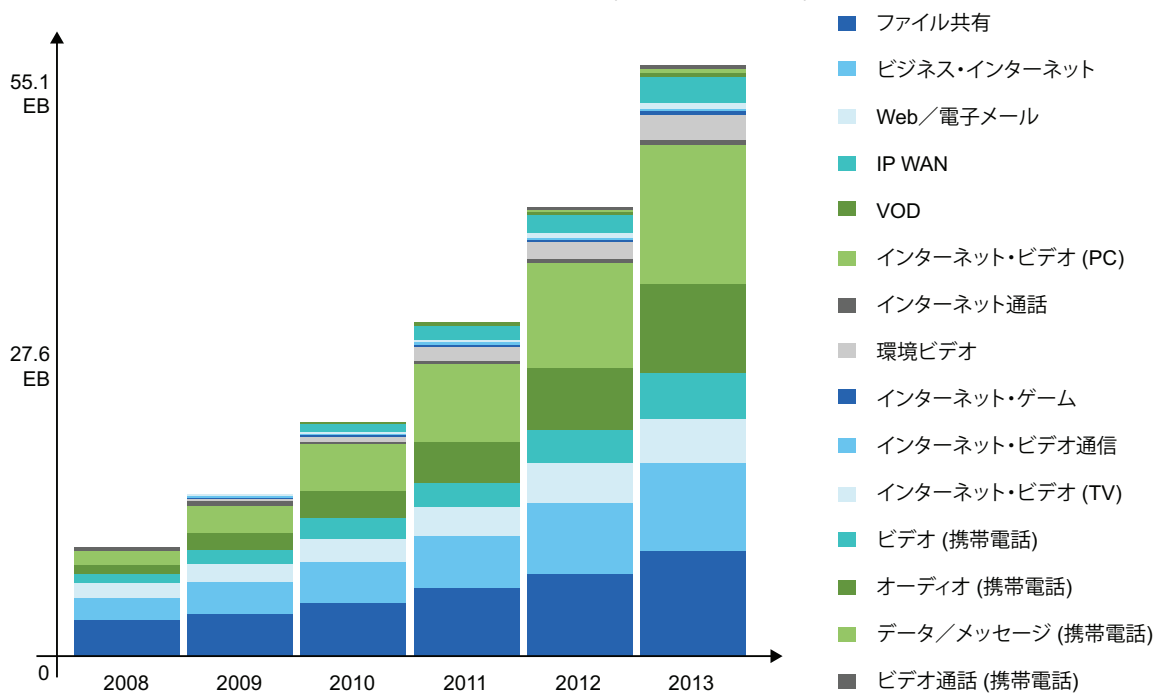
現在、さまざまな標準化団体によって 100G トランスポート、イーサネット、および光インタフェース規格の策定が進んでいます。そうした中、FPGA は 100G 実働システムの設計にいち早く着手すべくテクノロジーの早期採用に踏み切った企業にとって重要な役割を果たしています。バンド幅に対するニーズの高まりを受けて、サービス・プロバイダは自社の次世代ライン・カード・オプションとして新たな 40GbE/100GbE 規格に目を向けています。アルテラの Stratix® V FPGA は、28nm テクノロジー・ノードで 14.1Gbps および 28.05Gbps トランシーバを内蔵することにより、バンド幅の問題を解決します。

## はじめに

最も重要なネットワーク品質は速度と信頼性の 2 つです。ネットワークには高い可用性が必要であると同時に高速性も求められます。その一方で、ネットワーク負荷は劇的に増加しています。ネットワーク・トラフィックに占める割合で見た場合、今やデータはわずかであり、音声、サウンド、マルチメディアが大半を占めるようになっています。

Cisco Visual Networking Index (VNI) の予測によれば、全世界の年間 IP トラフィックは 2013 年までに約 0.6 ゼタバイト (0.6 兆ギガバイト) に達する見込みです。これは現在の IP トラフィックの 5 倍以上に相当する数字です。図 1 に示すように、2013 年にはトラフィック増加の 90% をビデオが占めるようになると見られています。

図 1. 総トラフィック帯域幅の増加 (2008 ~ 2013 年)



出典：Cisco VNI、2009年6月

ビデオの普及により、インターネット・トラフィックは驚くべきスピードで増加し続けています。例えば、NBC ネットワークの北京オリンピック放送では、300 万人以上が視聴し、推定 128 テラバイトのビデオ・トラフィックが発生しました。YouTube は毎日、9,100 万人以上の視聴者に対する 5 億以上のストリームを処理し、1,100 テラバイトのトラフィックを生み出しています。

## 広帯域幅ニーズへの対応

現在のサービス・プロバイダは、需要に対応するためにテクノロジーの進歩とネットワーク・インフラストラクチャの最適化方法を常に求めています。サービス・プロバイダは利益を上げ続けなければなりません。そのためには、サービス提供の拡充を図ると同時に、ビットあたりのコストを下げる必要があります。100G イーサネット (100GbE) をはじめとする高速イーサネットは、その鍵となるソリューションです。現在、ルータ間についてはすでに多くの通信事業者が 10GbE リンクを提供していますが、採用はトランスポート・レベルでのアグリゲーション・ポイントにとどまっています。バンド幅に対するニーズがますます高まる中、サービス・プロバイダは自社の次世代ライン・カード・オプションとして新たな 40GbE/100GbE 規格に目を向けています。多くは 100GbE への直接切り替えを検討していますが、その一方で、顧客ニーズに対応する上での有効性と経済性について、40GbE と 100GbE の両ソリューションを評価しながら、市場動向を見極めようとしているサービス・プロバイダもあります。

高速 100GbE リンクは、高精細ビデオ、モバイル LTE、VPN コンテンツなど、高い収益を創出する高価値トラフィック向けのトランスポートとサービスをビットあたり最小のコストで同時に実現できるという点で、エッジ・ルータ・レベルにおいて特に重要です。そうしたライン・カードにとっての最大の課題は、高速性とサービス品質 (QoS) を両立することです。残念ながら、既存のインフラストラクチャやルータでは、こうしたタイプのトラフィックに効率的に対応できないのが現状です。

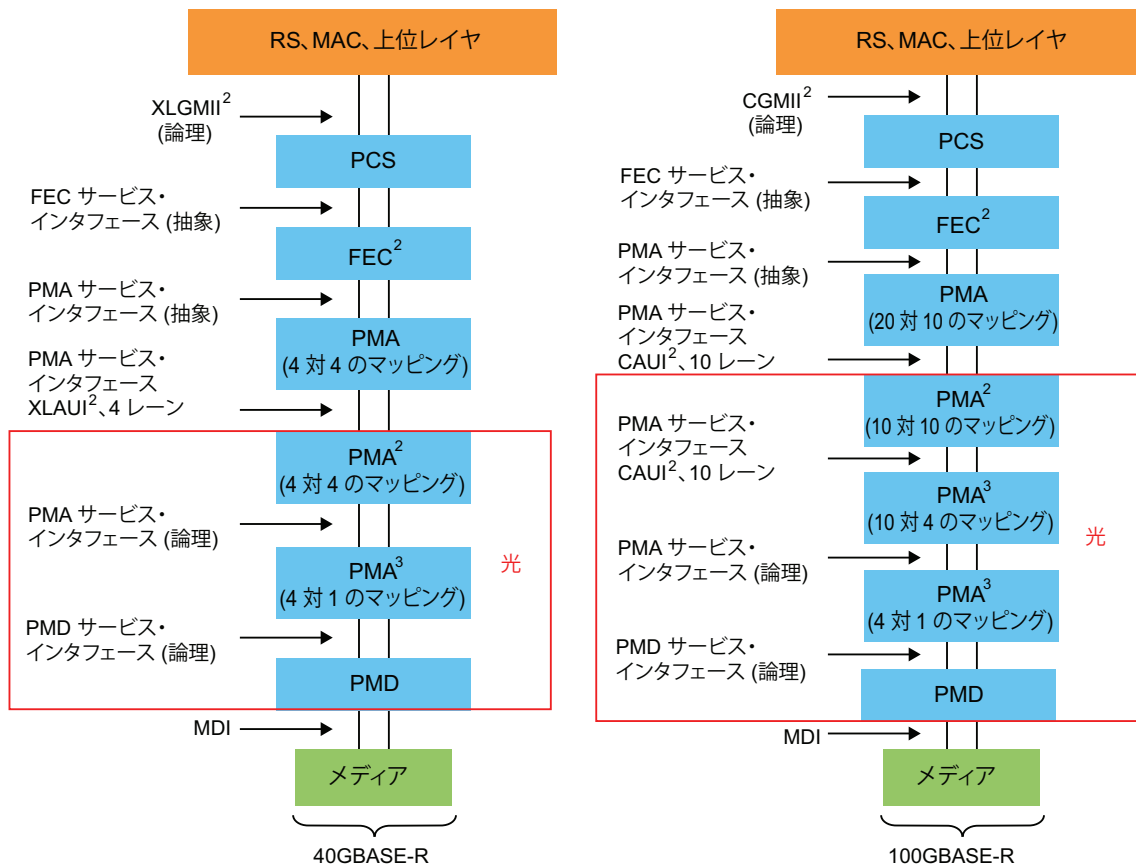
## 40GbE/100GbE IEEE 802.3ba 規格

IEEE 802.3ba High Speed Study Group (HSSG) は、100GbE インタフェース・プロトコル規格の市場ニーズおよび定義を検討する目的で 2006 年後半に組織されました。2007 年には 40Gbps を含めるといふ追加の提案を採択し、2010 年 6 月に IEEE 802.3ba 40GbE/100GbE 規格を正式に承認しました。

IEEE 802.3ba 規格は、以下を目標として、10GBase-R 規格を 40Gbps および 100Gbps データ・レートに拡張したものです (図 2 参照)。

- 全二重動作のみのサポート
- IEEE 802.3/イーサネット・フレーム・フォーマットおよびフレーム長の維持
- $10^{-12}$  以下のビット・エラー・レート (BER) のサポート
- WAN アプリケーション向け OTN への準拠
- 40Gbps MAC データ・レートのサポート
- 40Gbps 動作をサポートした物理層仕様の規定：
  - SMF : 10km 以上
  - OM3 MMF : 100m 以上
  - 銅ケーブル : 10m 以上
  - バックプレーン : 1m 以上
- 100Gbps MAC データ・レートのサポート
- 100Gbps 動作をサポートした物理層仕様の規定：
  - SMF : 40km 以上
  - SMF : 10km 以上
  - OM3 MMF : 100m 以上
  - 銅ケーブル : 10m 以上

図 2. 40GBASE-R および 100GBASE-R サブレイヤの概要

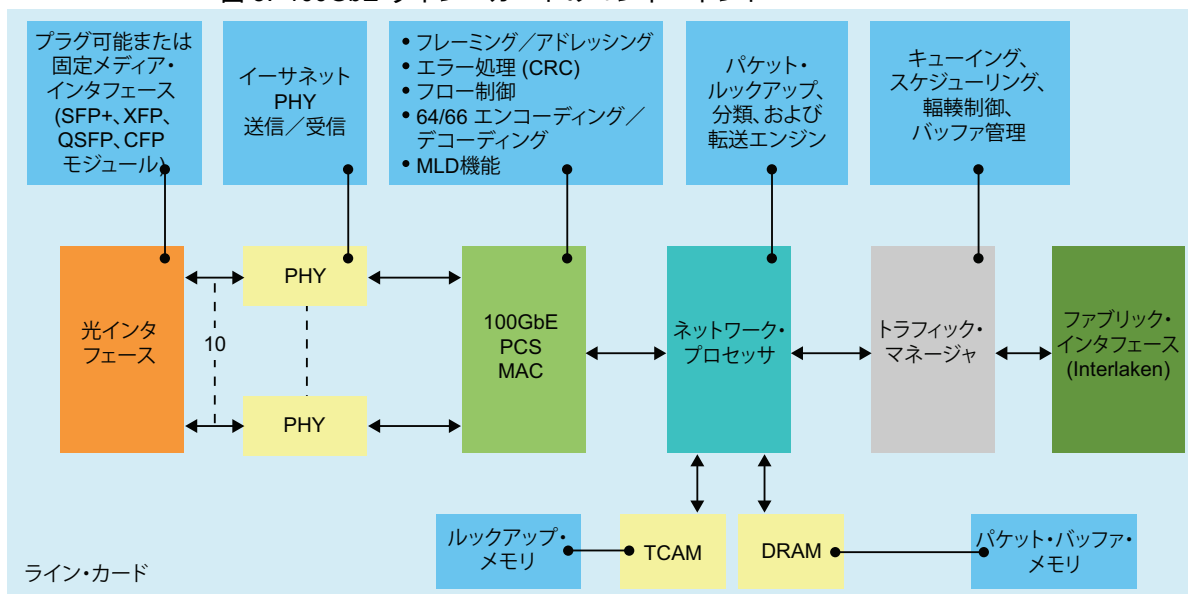


注：

- (1) 出典：IEEE 802.3ba Section 82.1.3
- (2) オプション
- (3) PHY のタイプに基づく条件付き

FGPA 市場分野は、ドラフト段階からメリットの評価、現行プラットフォーム上での最終的なプロトタイピングに至るまで、40GbE/100GbE IEEE 802.3ba 規格の初期実装段階において重要な役割を果たしてきました。図 3 に、100GbE ライン・カードの基本ブロック図を示します。

図 3. 100GbE ライン・カードのコンポーネント



100GbE ライン・カードは、以下のコンポーネントで構成されます。

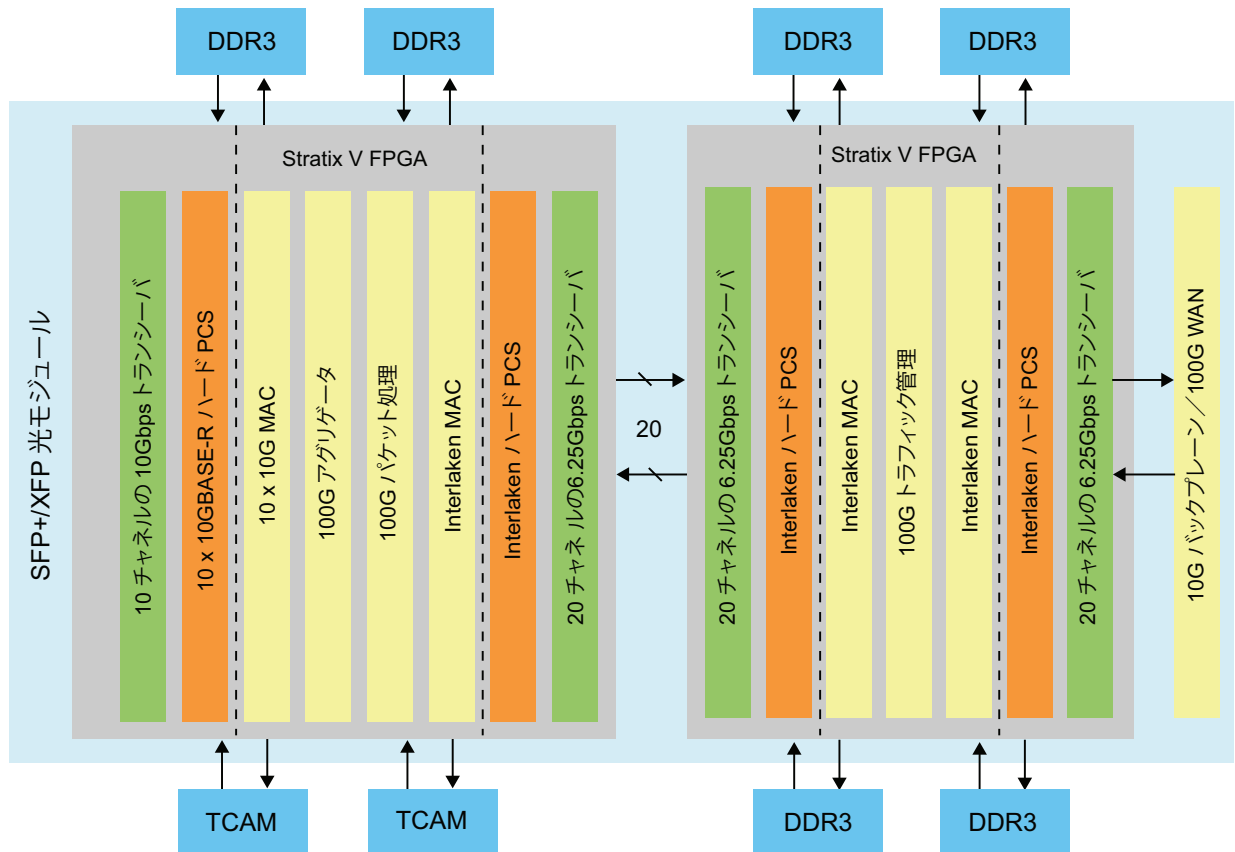
- 光インタフェース — 光インタフェース・ユニットは、複数の SFP+ または XFP モジュールで構成できます。あるいは、CFP (10 x 10.3125Gb) モジュール、CFP2 (4 x 25.7Gb) モジュール、または複数の 40Gb QSFP モジュールによる 100G 伝送が可能です。
- PHY — PHY ユニットは、ライン・カードのシリアライザ/デシリアライザ (SERDES) コンポーネントです。PHY のライン・レートおよびジッタ仕様は、光インタフェースに準拠している必要があります。
- MAC/PCS — MAC/PCS ユニットは、プロトコルに基づいてギアボックス、スクランブル、およびエンコーディング機能を実行します。40GbE または 100GbE 実装の場合、IEEE 802.3ba 仕様に基づくマルチレーン・ディストリビューション (MLD) 機能もあります。さらに、フロー制御やエラー処理も MAC によって行われます。場合によっては、MAC ユニットから受信した 10G データを集約してから NPU (Network Processing Unit) に送ることもあります。
- NPU — NPU の主要機能は、ライン・カードの進化する機能フレームワークの中でパケット処理性能を最適化することです。主な機能として、圧縮、分類/ルックアップ、修正、ディープ・パケット・インスペクション (DPI) などがあります。NPU の最も一般的な機能は、ネットワークを通過するパケットの複雑なルーティングを実行するスイッチ・ファブリック・デバイスとのインタフェースです。
- トラフィック・マネージャ — トラフィック・マネージャの基本機能は、多数の高速キューの提供、キュー項目数の最適化、および高度なスケジューリング・メカニズムの使用によってアプリケーションの QoS 要件を満たすことです。NPU は QoS を念頭に置いて設計されていないため、専用のトラフィック・マネージャと同等の効率で機能させるには、過度の処理能力とソフトウェア最適化が必要になります。

## マルチポート 100GbE デザインの課題への対処

バンド幅のニーズが増加の一途をたどる中、サービス・プロバイダは 40GbE/100-GbE システム展開への近道を模索しています。多くのサービス・プロバイダは、100GbE 光インタフェースに付随するコストや複雑さの理由から、まず 40GbE ソリューションを採用しています。一方、一挙に 100GbE への移行を図っている例もありますが、それらのサービス・プロバイダは 100GbE システムの設計における課題に直面しています。そうした課題としては、超広帯域幅インタフェースの設計や、現在の消費電力およびコスト要件を満たしながら既存システムへの機能統合を強化するといったことが挙げられます。

アルテラの 28nm Stratix V FPGA は、100G トランスポートおよび 100GbE システムのデザインに必要とされる性能およびシステム帯域幅の要件を満たしています。Stratix V FPGA は業界最高の集積度を備えており、14.1Gbps および 28.05Gbps トランシーバを内蔵するほか、IEEE 802.3ba 仕様をサポートした MLD/PCS 機能をハード化しています。加えて、エンハンスド・フォワード・エラー・コレクション (EFEC) 機能の実装に必要な高集積度と高性能を備えており、OTN システム・デザインのアルゴリズム実装、テスト、および実働に最適なプラットフォームです。図 4 は、Stratix V FPGA を使用した 100GbE ライン・カード開発の代表的な例です。

図 4. Stratix V FPGA を使用した 100GbE パケット処理とトラフィック管理の統合



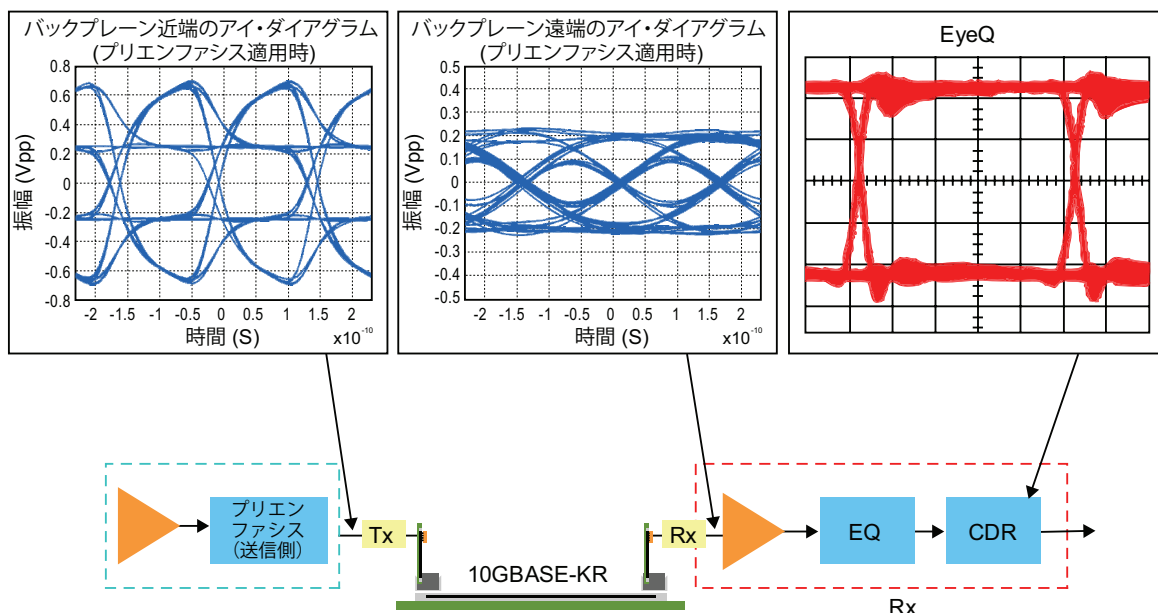
## 最小の BER での超高速シリアル接続

100GbE ライン・カードには、広帯域幅と最大限の信頼性が求められます。Stratix V FPGA は、バックプレーンおよび光モジュールを直接ドライブすることが可能なクラス最高のトランシーバを提供します。

100G データ・トラフィックの処理では、BER を最小限に抑える必要があります。Stratix V FPGA の先進的なトランシーバ機能は、PCB デザインを簡素化するだけでなく、アダプティブ・リニア・イコライゼーション / DFE、マルチタップ・プリエンファシス、および EyeQ アイ・モニタによって、避けられないボード損失を補償します。そのほかにも、オンダイ・キャパシタンス (ODC) やオンパッケージ・デカップリング (OPD) など、Stratix V FPGA のダイおよびパッケージ性能を向上させる機能も備えており、優れたシグナル・インテグリティとパワー・インテグリティを実現し、ユーザーの柔軟性を最大限に高めます。

Stratix V FPGA は、ボード立ち上げ期間およびデバッグ時間の短縮を実現する EyeQ アイ・ビューワ (図 5 参照) オンチップ解析機能を備えています。EyeQ アイ・ビューワを使用すれば、データ・パスへの割り込みなしでレシーバ側のアイ・ダイアグラムを完全に再構築することができます。また、トランシーバのダイナミック・リコンフィギュレーションを利用して、アプリケーションに合わせてイコライゼーション設定を調整し、アイ・ダイアグラムを最適化することが可能です。

図 5. Stratix V の EyeQ アイ・ビューワによる、10GBASE-KR バックプレーンを経由する 10GbE チャンネルのトランシーバおよびレシーバ側でのシグナル・コンディショニング



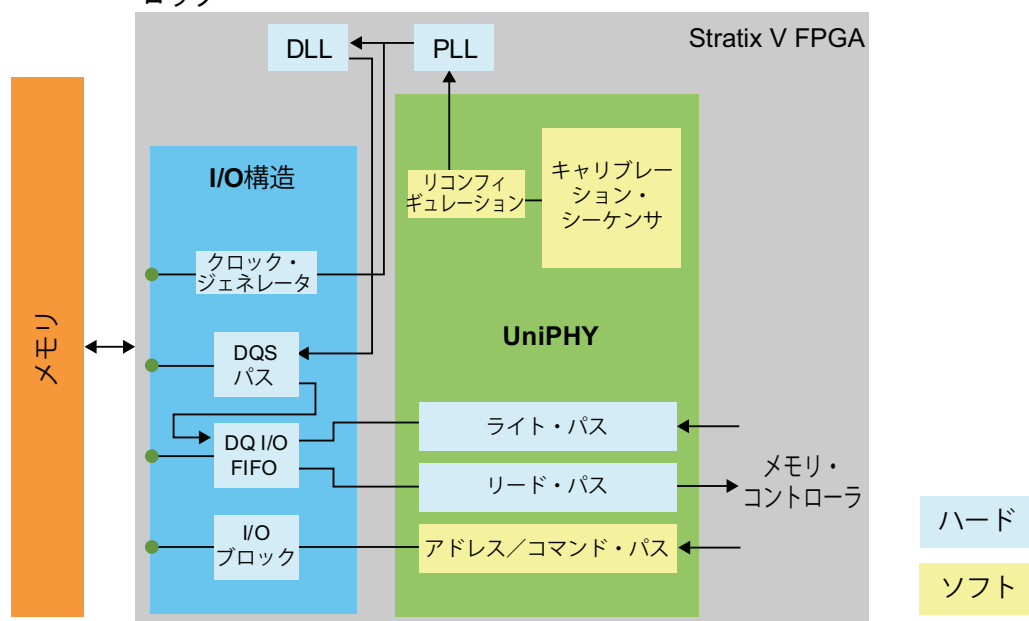
Stratix V FPGA は、最大 66 個のバックプレーン対応シリアル・トランシーバによって、デバイス 1 個で最大 930Gbps の全二重シリアル帯域幅を処理することが可能です。600Mbps から 14.1Gbps または 28.05Gbps のトランシーバ速度を生かして、各種クライアントからのデータを効率よく集約して 100G のデータ・パイプを形成することができます。また、Stratix V トランシーバは電子離散補正 (EDC) 機能を内蔵しているため、SFP+、QSFP、CFP、CFP2 などの各種光モジュールを外部 PHY デバイス不要でドライブ可能です。

## 業界最高の性能を誇る外部メモリ・インタフェース

100GbE システムは、大量のデータを扱うパケット処理機能やトラフィック管理機能をサポートするために、さまざまなタイプの外部メモリが必要です。一般に、パケット・バッファには DDR3 メモリが使用され、低レイテンシが要求される場合には必ず QDR II+ メモリが使用されます。もう 1 つのタイプとして、主にコンテンツ・ベースの処理に使用される三値連想メモリ (TCAM) があります。外部メモリ・インタフェースの性能はシステム全体の性能に影響します。そのため、100G の設計者は通常、可能な限り高速な外部メモリ・インタフェースを必要としています。Stratix V FPGA は、1066MHz DDR3 DIMM インタフェース、550MHz QDRII+ インタフェース、および次世代のシリアル・ベース TCAM をサポートしています。

Stratix V FPGA は、Quartus® II 開発ソフトウェアが提供する新しい UniPHY (図 6 参照) によってサポートされています。UniPHY は、低リード・レイテンシや容易なりソース共有に加え、多数の DIMM のサポートやマルチランク・サポートといった優れた特長を備えています。また、Nios® II エンベデッド・プロセッサ・ベースのシーケンサに対して、暗号化されていない平文として利用できるためデバッグが容易であるほか、柔軟なタイミング・モデルによってサポートされるため、タイミング・ノードの透過性および精度向上を実現します。

図 6. UniPHY を使用した Stratix V の外部メモリ・インタフェース・ビルディング・ブロック

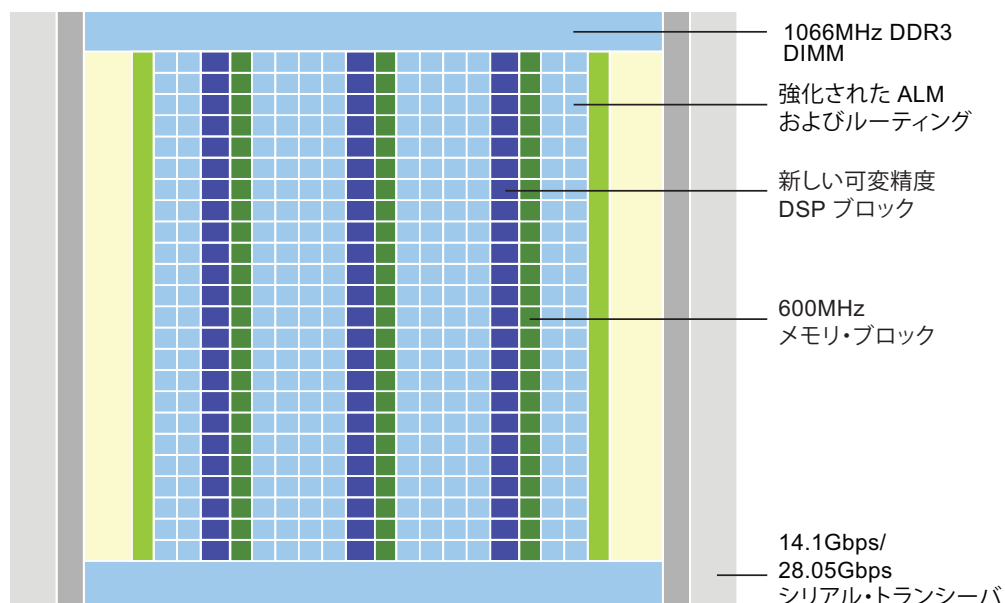


Stratix V FPGA は、UniPHY と重要なハードウェア・イノベーションにより、100GbE ライン・カードに最適化されたソリューションの実装に必要な広帯域幅メモリ・インタフェースを提供します。

## 最小限の消費電力で業界最高のシステム性能を実現

プロトコルがまだ標準化されていない段階では、プロトコル規格の変更に容易に対応できるように柔軟なプラットフォームが求められることが少なくありません。FPGA は、その柔軟性の高さから、ドラフト段階にあるプロトコルの実装手段として理想的です。FPGA を 100GbE などの広帯域幅プロトコルの実装に使用する理由となる重要な指標は、I/O インタフェース性能とファブリック性能の 2 つです (図 7 参照)。

図 7. システム性能向上を実現する Stratix V FPGA の I/O およびファブリック・ファンクション・ブロック



I/O インタフェースによって高いデータ・レートでの送受信が可能のため、通常は広帯域幅トランシーバと高性能メモリ・インタフェースが必要です。Stratix V FPGA は、14.1Gbps および 28.05Gbps トランシーバによって FPGA 業界で最も広帯域幅のトランシーバを提供します。また、メモリ・インタフェースに関しては、1066MHz DDR3 メモリ・インタフェースのサポートをターゲットにしています。

システム性能向上を実現するもう 1 つの重要な指標は FPGA ファブリックです。高速ファブリックでは、デザインを簡素化できるため、より多くのロジックを FPGA に集積化することが可能です。それに対し、低速な FPGA では、性能不足を補うためにパイプラインや並列処理を多用する必要があり、ロジック使用数、消費電力、およびコストの増加につながります。その結果、より高集積なデバイスや複数のデバイスを使用せざるを得なくなります。

Stratix V GX FPGA は、28nm High-Performance (28HP) プロセスで製造され、100GbE デザインに要求される高い集積度とシステム性能に対処するための重要なイノベーションが導入されています。主なイノベーションや機能強化は以下のとおりです。

- 最大 1066MHz のメモリ・インタフェース性能
- 広帯域幅トランシーバ：先進的なシグナル・コンディショニング回路を搭載し、10GBASE-KR バックプレーンの直接ドライブおよびギガビットあたりの消費電力削減を実現します。
- 4 個のレジスタで強化されたアダプティブ・ロジック・モジュール (ALM)：レジスタを多用するデザインや高度にパイプライン化されたデザインの性能を向上させると同時に、タイミング収束を容易にします。
- 強化された MultiTrack 配線アーキテクチャ：豊富な配線リソースを提供し、密に配置されたデザインの過密配線の削減、ロジック使用率の向上、およびコンパイル時間の短縮を実現します。
- 新しい 20K 内部メモリ・ブロック：誤り訂正符号 (ECC) 機能を内蔵し、さまざまなメモリ・モードにおいて最大 600MHz まで性能を向上させます。

- 強化された分散メモリ・ブロック (MLAB) : 内蔵レジスタの増設により、最大 600MHz まで性能を向上させ、幅広く浅い FIFO バッファの実装を最適化します。

さらに、Stratix V FPGA には、最も低い消費電力と最高性能を両立するために、以下をはじめとするプロセスおよびアーキテクチャのイノベーションも導入されています。

- 28HP high-K メタルゲート (HKMG) プロセス・テクノロジー: 低消費電力に最適化されており、最高の性能と電力効率を実現します。
- 0.85V コア電源電圧
- プログラマブル・パワー・テクノロジー: クリティカル・タイミング・パスに必要な高い性能を維持しながら、デザインのスタティック消費電力を自動的に削減します。
- クロック・ゲーティング・テクノロジー: ダイナミック消費電力を最小限に抑えると同時に、不要なスイッチング・ノイズを防止します。

Stratix V FPGA は、高性能ファブリックと重要な機能強化により、現在の厳しい消費電力およびコスト要件を満たしながらシステム性能の向上を図ることを可能にします。Stratix V FPGA なら、一般的な FPGA の場合に必要なパイプラインや並列処理の多用を避けながら、効率的な 100GbE デザイン実装が可能です。

## 100GbE デザイン向けの完全なソリューション

アルテラは、デザインの市場投入期間の短縮に必要なリソースの提供に努めています。アルテラとサードパーティ IP (Intellectual Property) パートナーは、アルテラのデバイス用に最適化された構成可能な標準 IP コアを豊富に取り揃えています。また、アプリケーションに応じたリファレンス・デザイン、完全にテストされた IP、開発キット、エキスパートによるテクニカル・サポートなども提供しています。Stratix V FPGA は、消費電力および性能重視のコンパイル、アドバンスド・ブロックセット、使いやすいパーシャル・リコンフィギュレーションなどの生産性向上ツールを搭載した業界最先端の Quartus II 開発・ソフトウェアによってサポートされています。

## 結論

帯域幅要件が劇的に増加し続ける中、100G システム・デザインは一般的なものになりつつあります。アルテラの 28nm Stratix V FPGA は、14.1Gbps トランシーバおよびハード化された業界標準 IP を内蔵した業界最高集積度の FPGA であり、40GbE/100GbE システムに最適な FPGA ソリューションを提供します。Stratix V トランシーバは、最大 28.05Gbps のライン・レートにより、新しい 100GbE 規格や独自のシリアル・プロトコルをサポートします。Stratix V FPGA は、特に次世代の 100GbE システム・デザインの要件を満たすべく作られており、ASIC や ASSP ソリューションと比較して低リスクでありながら、早期市場投入という面において優位性をシステム設計者に提供します。Stratix V FPGA を使用することで、現在の 100GbE 規格を実装し、そのデザインを将来の拡張にも容易に適合できます。

## 詳細情報について

- Stratix V FPGA : すべてはバンド幅のために  
[www.altera.co.jp/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp](http://www.altera.co.jp/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp)
- 関連文献 : Stratix V デバイス :  
[www.altera.co.jp/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp](http://www.altera.co.jp/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp)
- ホワイトペーパー : *Cisco Visual Networking Index: Forecast and Methodology, 2008-2013*:  
[www.cisco.com](http://www.cisco.com)

## 謝辞

- Rishi Chugh, Senior Product Marketing Manager, Altera Corporation
- Frank Yazbeck, Senior Technical Marketing Engineer, High-End FPGAs, Altera Corporation

## 文書改訂履歴

表 1 に、本資料の改訂履歴を示します。

表 1. 文書改訂履歴

日付	バージョン	変更内容
2011 年 11 月	2.0	<ul style="list-style-type: none"> <li>■ 全体的な更新</li> <li>■ 「Highest System Integration for Increased Functionality in a Smaller Line Card」のセクションを削除</li> <li>■ 図 7 を削除</li> </ul>
2010 年 7 月	1.1	わずかに文章を編集
2010 年 4 月	1.0	初版

