

組み込み設計者の3人に2人は、組み込みアプリケーションへのFPGAの適合と使用を検討しつつも、設計に利用するには、高価過ぎると感じているようです。しかしながら、システム・レベル（開発、機能強化、置き換え、および製品の総寿命における維持コストにより評価）で設計資産保有の総コスト（TCO）を見れば、アルテラのFPGAは、ディスクリートのMCU/DSP/ASSP製品と競合可能であり、柔軟に対応できるもう1つの可能性であるということがわかります。

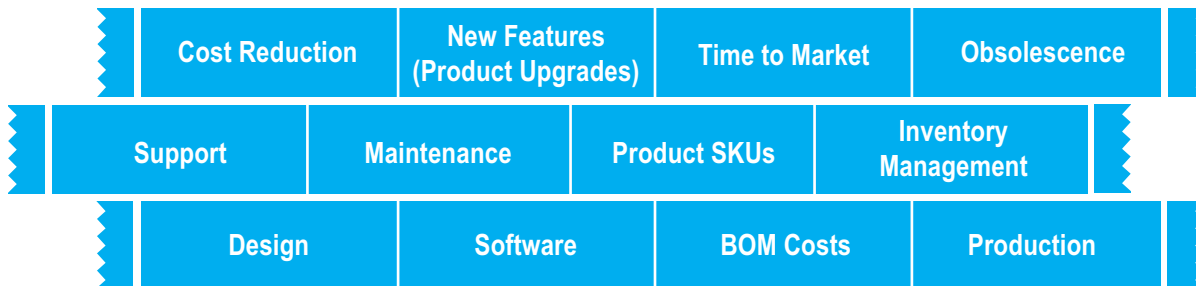
## はじめに

国際規模の競争と経済的プレッシャーはとどまるところがなく、ビジネス・モデルと収益採算性は常に厳しくみられています。そのため、産業機器オートメーションとプロセス制御のメーカーは、常に下記のようなコスト面の課題に取り組んでいます。

- 収益性 対 R&D 投資額
- 製品の早期市場投入に対するプレッシャー：変化する経済情勢に対応するため
- 限られたリソースの効率的な使用による、既存製品の改良、置き換え、新製品開発
- 製品ライフ・サイクルの管理

このホワイトペーパーでは、アルテラの Cyclone® シリーズ FPGA を使用することで、開発、機能強化、置き換え、システム耐用年数全体における維持コストという観点から、どのようにして設計資産保有の総コスト（TCO: Total Cost Ownership）を削減することができるかを、デザイン例を挙げながら、システム・エンジニア、ハードウェア・エンジニア、ソフトウェア・エンジニアにわかりやすく解説します。図1に示すように、長期的にTCOを削減することは、総利益の増加に直接寄与し、今日、多くのデザイン・チームが直面しているプレッシャーを軽減します。

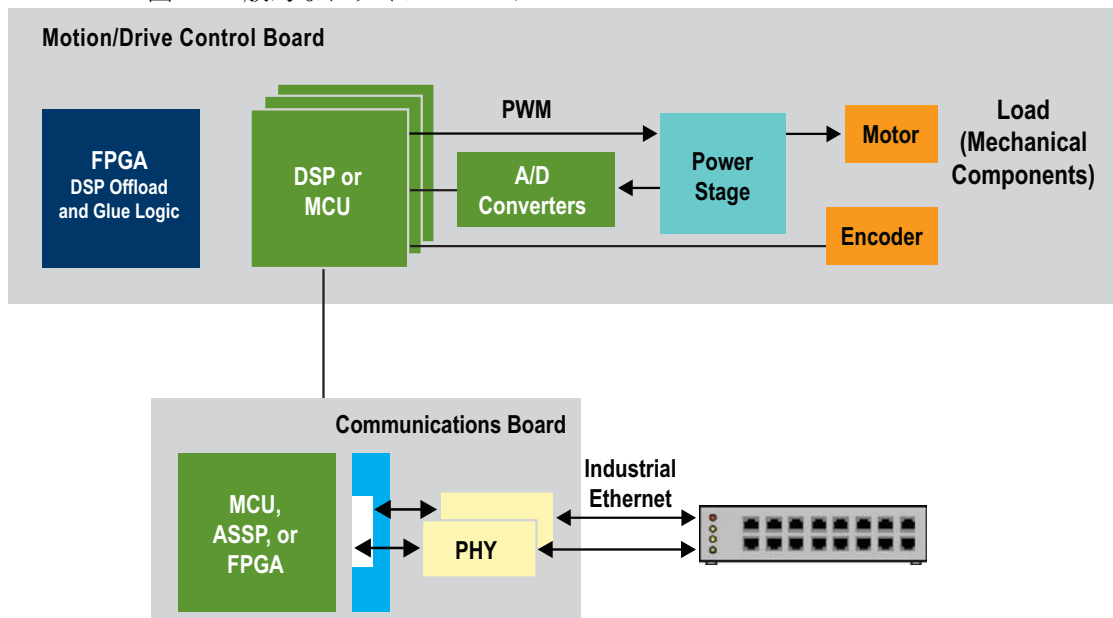
図1. TCOの削減に寄与するビルディング・ブロックの一部



## FPGA による TCO の削減

お客様が直面する産業機器設計の課題に対応する、ドライブ・コントロール・アプリケーション(図 2)を例に挙げます。一般的なドライブ・アーキテクチャは、ポジションおよび速度のセット・ポイントを生成し、コントロール・フィードバック・ループを形成するためのアルゴリズムを実行する、コントロール・モジュールからなります。コントロール・モジュールは、これらのセット・ポイントをドライブ・コントローラに送信します。そこで電気信号(電流または電圧)に変換されて1つ以上のモーターまたはアクチュエータをドライブし、インバータ・システムの負荷または機械部品を動かすトルクが生成されます。エンコーダおよびホール効果デバイス(サーボ・ドライブ用)等のフィードバック・センサーにより、モーション・コントローラが信号ループを形成するためのモーター/アクチュエータのポジションまたは速度を与えます。

図 2. 一般的なドライブ・システム



マイクロコントローラ・ユニット (MCU) とデジタル・シグナル・プロセッサ (DSP) デバイスは、現在のモーション / ドライブ・コントロール・アーキテクチャを支えており、一方で FPGA アーキテクチャに注目が集まっています。MCU/DSP アーキテクチャは、確立されたユーザー層とアーキテクチャ、開発ツール、および主に一軸ドライブ・アプリケーションで使用されるモーション・コントロール・アルゴリズムで成立していますが、ドライブ・システムの複雑さ、ドライブ・コントロール軸の数、および製品機能が増加するにつれ、変化する市場の要求に対応するために必要な、MCU/DSP アーキテクチャの性能オーバーヘッドとフレキシビリティは限界をすぐに超えてしまいます。システム性能が向上しても、設計者にできるのは MCU/DSP の周波数向上と、ソフトウェア・アルゴリズムを 1 つのポイントに最適化することくらいです。

この問題を解決するために、設計者は、複数の DSP デバイス、DSP と MCU デバイスの組み合わせ、または MCU/DSP デバイスと FPGA の組み合わせを使用して、デザインの性能と機能を切り分けています。MCU/DSP アーキテクチャにより、ある程度のコード再使用は可能ですが、高度に最適化されたコードの再使用は、大変な労力を要するプロセスであり、分割や新しいデバイスへの移行は困難です。そのため、MCU および DSP に基づくデザイン・メソッドでは、 $x$  個のデバイスにまたがってアプリケーション機能と性能を分割するため、大規模なハードウェアとソフトウェアのリソースを必要とします。このアプローチでは、アプリケーションを分散アーキテクチャにポートするには、ソフトウェアの複雑さによって数ヶ月から 1 年以上の開発期間 (t) が必要になります。

## 産業用イーサネットへの移行

また産業用ネットワークはイーサネット・ベースのネットワークに移行しており、ドライブ・システムは、これらのファクトリ・ネットワークに接続されることが多くあります。MCU といくつかの新しいデジタル・シグナル・プロセッサは、ソフトウェアのオーバーヘッドを使用して（標準の）イーサネット TCP/IP をサポート可能ですが、この組合せには、次のような問題があります。

- ほとんどの MCU では帯域幅が不足。ほとんどのデジタル・シグナル・プロセッサでは、産業用イーサネットおよび Fieldbus プロトコルと、ドライブ・コントロールの同時処理が不可能
- MCU では、高精度モーション・コントロールをドライブするための PWM 出力に制限を持つ傾向がある
- 多くの DSP デバイスでは、TCP/IP をサポートするためのワード・アラインメント機能がないため、TCP/IP スタックのアドレス指定が不可能

これらの問題点により、設計者は現在の製品を産業用ネットワークにブリッジ接続するために、MCU、ASSP または FPGA デバイスを追加する必要があります。また設計者は、様々な Fieldbus と産業用イーサネット・プロトコル規格に対処しなければなりません。

- DeviceNet と EtherNet/IP
- Profibus と PROFINET SRT/IRT
- CANopen と EtherCAT
- CANopen と PowerLink
- SERCOS I/II と SERCOS III
- CC-Link と CC-Link IE

さらに複雑な問題として、EtherCAT、PROFINET IRT、および SERCOS III 等の産業用イーサネット・プロトコルでは、それぞれの決定論と実時間要件に対処するために、プロトコル固有の MAC が必要になります。多くの MCU とデジタル・シグナル・プロセッサでは、プロトコル固有の MAC をサポートしていません。この問題は、Cyclone シリーズ FPGA を使用して MAC IP を再構成することで対処可能なので、種々の MCU、ASSP または ASIC を使用して、種々のプロトコル規格をサポートする必要がなくなります。

セーフティ・ドライブ・アプリケーションに携わるエンジニアに対しては、機能安全の側面からデザインにある程度の複雑さが加えられます。安全機能は、通信経路を含め、アプリケーション上の安全でない部分から分離する必要があります。Cyclone シリーズ FPGA では、TÜV 認定の設計ツールを使用することにより、開発時間とリスクを削減し、最終製品の認証時間を短縮し、安全性、ドライブ・コントロールおよび通信を 1 つの FPGA に集積することを可能にします。

- 機能安全に関する詳細は、[アルテラの FPGA で構築する、TÜV 認定 機能安全システム](#)をご参照ください。

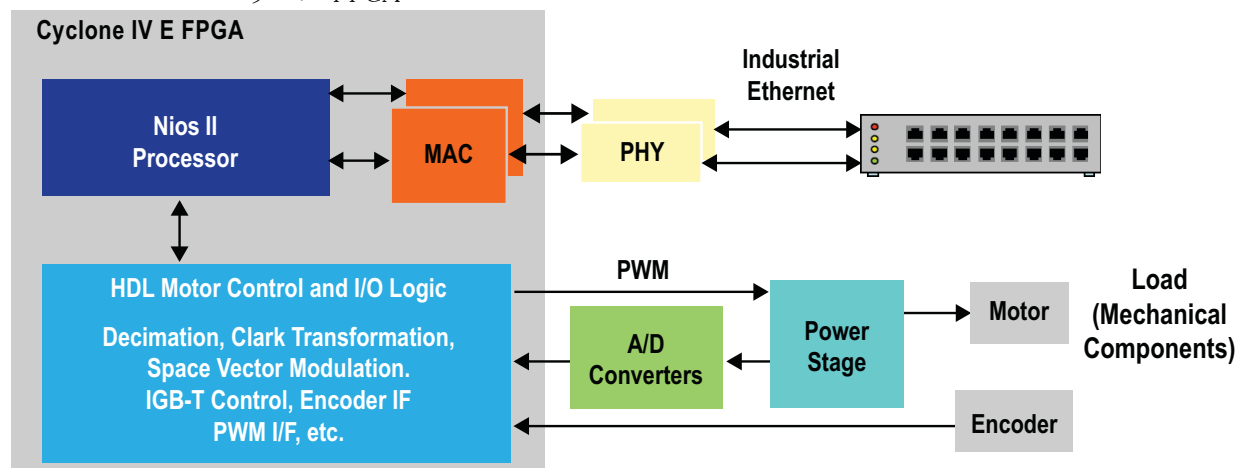
## 市場投入までの期間短縮

1 ~  $x$  個の MCU または DSP デバイスを含むドライブ・コントローラを使用して、ネットワークングおよび見込まれる安全要求事項を付加した場合、さらに 18ヶ月から 24ヶ月の開発期間 (t) が必要となります。開発期間が延びることにより、R&D コストは増加し、収益および利潤を損ねる可能性があります。また、付加的なコンポーネントをボードに追加することで、製品の BOM コストが上昇します。

設計者は、Cyclone III または Cyclone IV E FPGA 等のアルテラ・デバイスを使用することで、ドライブ・コントロール、産業用ネットワーク、機能安全（必要な場合）、および新しい製品機能に、最新のデザインで、単一のデバイス、および単一のプラットフォーム上で対応できます。FPGA の初期開発期間は、MCU/DSP ほど短くありませんが、デザインの変更が必要になった場合、同一の FPGA プラットフォームを使用していることにより、市場投入の短縮というメリットが生じます。

Cyclone シリーズ・デバイスでは、FPGA に搭載される Nios® II エンベデッド・プロセッサおよび DSP ブロック等の組み込みコアのオプションと共に、相対的に低いコスト、性能、集積度を提供しており、同等の MCU/DSP デバイスを凌駕しています。設計者は、センサー・インタフェース（いくつかのエンコーダは FPGA の IP コアとしてのみ利用可能）、高精度 PWM コントロール、およびその他のカスタム・ロジック等の付加機能を組み込むこともできます。このハードウェア最適化アプローチにより、製品の差別化（図 3）が可能になり、場合によっては、ドライブ・システムからプログラマブル・ロジック・コントローラ（PLC）またはホスト PC に移行するソフトウェア・アプリケーションの保護手段が得られます。さらに、設計者は各通信プロトコルをサポートする FPGA を新しいボードを再加工することなく同一のプラットフォーム上で再構成できます。共通の FPGA プラットフォーム上でカスタマイズを行うことにより、設計者は製品を差別化し、MCU/DSP ベースのソリューションを使用した場合よりも早く製品をリリースできます。

図 3. ドライブ・コントロールと産業用イーサネットを集積するための Cyclone シリーズ FPGA



## 既存のソフトウェアの使用

まず、現時点の MCU および DSP の開発で、製造業者の既存のソフトウェア投資がすべて無駄になるわけではないということを申し上げます。ソフトウェア・エンジニアは、自らの MCU/DSP の経験を、アルテラの Nios II エンベデッド・プロセッサ、ARM® Cortex M1、および Freescale's ColdFire V1 コア等（すべてアルテラ FPGA に実装可能）、プログラム可能なエンベデッド・プロセッサ CPU に活用することができます。開発ツールのフローとオペレーティング・システム（Linux 等）にはかなりの共通点があります。

現在の電子製品は 10 年前のそれと比べ、はるかに能力が高く、フレキシブルで複雑でありプロセッサ、オペレーティング・システム、およびアプリケーション・ソフトウェアを使用することで可能になる機能を含んでいます。多くの製品は、ハードウェア・デザインよりもソフトウェア・デザインに多くの年月を投資して進化してきました。そのため、製品のアップグレードを検討する場合、現在のシステムと同一のオペレーティング・システムをサポートしていないプロセッサを選択すると、大量のソフトウェア移植が必要になり、プロジェクトにおけるデバイスの選択肢とフレキシビリティを大きく制限します。

Linux または eCOS (アルテラのソフト・プロセッサ・コアおよび外部プロセッサのホスト) といったよく知られたオープンソース・オペレーティング・システムは、オペレーティング・システムを改善して、新しいアプリケーションと機能を開発するために継続的に活動するための、開発者コミュニティがあるというメリットを持っています。この改善と機能により、設計者は製品のライフタイムを通じて、開発およびサポートの工数を削減できます。幸いアルテラの FPGA で実装可能な、広範囲なソフト・プロセッサ・コア (Nios II エンベデッド・プロセッサ、ARM Coretex-M1、Freescale V1 ColdFire 等) だけでなく、利用可能なオペレーティング・システムには幅広い選択肢が存在します。例えば、Nios II エンベデッド・プロセッサは、Linux、eCOS、ThreadX、Nucleus、およびその他のリアルタイム・オペレーティング・システムの、フル・オープンソースおよび市販バージョン (例: Wind River、Timesys) をサポートしています。

ハードウェア設計者にとっては、FPGA デバイスとソフトウェア・プロセッサ・コアのメリットは重要な事柄です。ソフトウェア・エンジニアは、多くのオペレーティング・システム会社からのフル・サポート、および機能強化可能性により、製品のライフタイムを通じて FPGA ベースのシステムのメリットを利用し始めています。ハードウェア、ソフトウェアそれぞれのエンジニアにとって、ソフトウェアの C コードと、FPGA デザインの VHDL コーディングの間のバランスを学ぶには、若干の労力を要するものです。しかしながら、ひとたび設計者が FPGA デザイン・メソッドロジをマスターすれば、FPGA が単なる MCU や DSP デバイスに基づく置き換えソリューションではなく、コスト効率とフレキシビリティを向上できるソリューションになります。

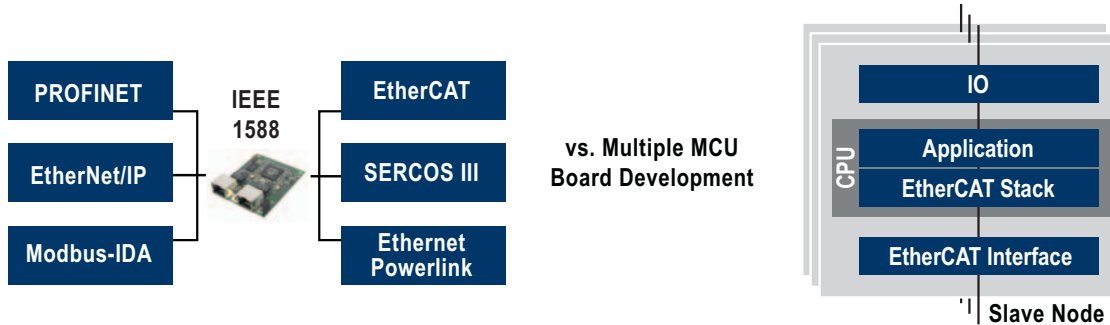
## 複数のデザインに対する変更

これまで、このホワイトペーパーでは、1つのプログラムにおける開発上の課題とコストに対処するために、どのように FPGA を使用するかを説明してきました。元のデザインから複数の製品を開発する場合、どうなるか? それらすべての製品にデザインの更新と機能強化を付加する必要がある場合、どうなるか? 産業用ネットワークング・プロトコル等の新しい製品機能では、製品のリリース毎に、修正された、または新しいボードが必要になることが多いでしょう。

ドライブを例に取り、このベース・プラットフォームから機能の異なる  $y$  通りの製品を開発した場合、デザイン・チームはまず、総時間 ( $t$ ) をかけて、ボード毎に  $x$  個のデバイスを用いてハードウェアとソフトウェアを実装します。その後、いかに長くかかるとも、時間 ( $t_2$ ) をかけて各製品のハードウェアとソフトウェアを  $y$  回インスタンス化し、複数の製品が完成します。この関係性は、コスト要因 ( $(x \times t) \times (y \times t_2)$ ) で表されます。デザイン・チームは、このメソッドロジが簡単ではなく、製品を速やかに市場に投入するプロセスには向かず、必要な開発、機能強化、サポート、保守および交換のためのコストを含む、ライフタイム・コストの節約に矛盾することを十分承知しています。

設計者は、プロセスを円滑にするために、Cyclone シリーズ・アーキテクチャのメリットを利用して、複数の製品ラインをサポートする共通のハードウェア・プラットフォーム (SKU: 在庫保管単位) と機能をデザインできます (IXXAT の例として図 4 の、アルテラ IP と、産業用オートメーションおよびオートモーティブ産業向けデータ通信技術を専門とするソリューション・パートナーを参照)。初期デザインの後、FPGA ベースの製品では、エンジニアが PCB の再加工を行わず、Cyclone シリーズ FPGA の再構成を行うことで、デザイン・チームは何ヶ月も (あるいは年単位で) 時間を節約できます。

図 4. 単一の汎用 API を使用して複数の産業用イーサネット・プロトコル規格をサポートするために単一の FPGA プラットフォームを用いた IXXAT



ドライブ製造業者が、EtherCAT、PROFINET（SRT/IRT）、および SERCOS III 等の複数のネットワーク・プロトコルをサポートする製品を提供する必要がある場合の例を示します。MCU/DSP ソリューションでは、通信チャンネルをサポートするためには、外部デバイスに加え、3 枚のボードを必要とします。設計者は、プロトコル固有の MAC IP（必要な場合）、プロトコル固有のスタック、および最大 \$300K（またはボード 1 枚当たり \$100K）の、3 枚のボードの開発またはライセンス、さらにはソフトウェア開発が必要になります。（開発コストは顧客毎に異なるため、実際のコストは増減する。）

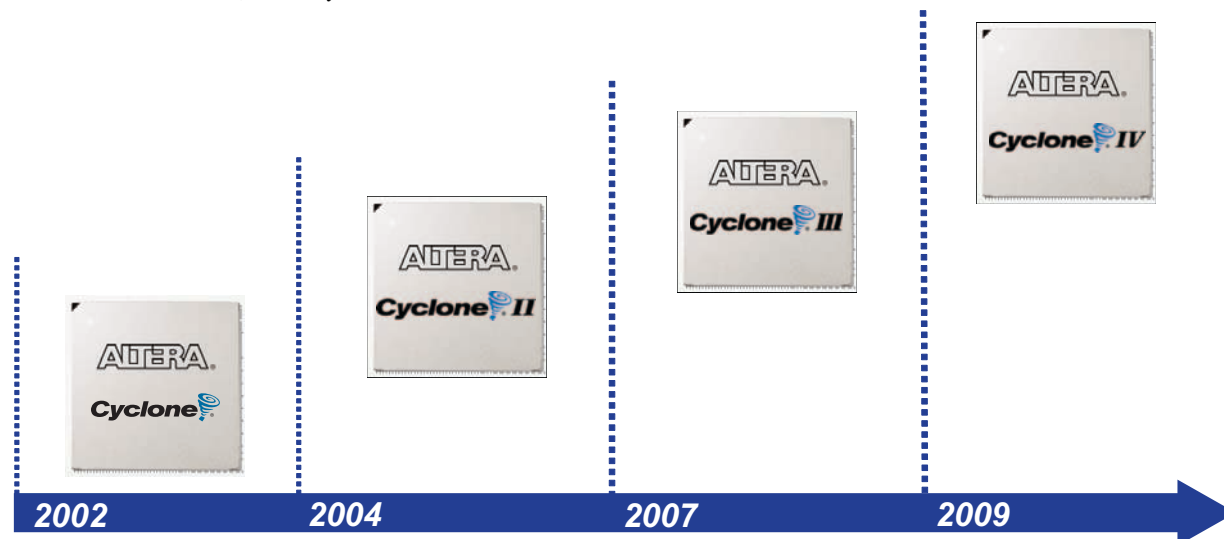
しかしながら、設計者は Cyclone シリーズ FPGA を使用して、ドライブ・コントローラと産業用イーサネットを 1 つの FPGA に集積し、同一のハードウェア・プラットフォームを使用して、複数の製品ライン（SKU）と所要の機能をサポートできます。ベンダは、前に説明したシナリオで 3 枚のボード（各々 IE プロトコル規格用）を開発せずに、MCU/DSP 開発コストを \$150K ~ \$200K 節約でき、さらには量産におけるコンポーネント数と PCB バリエーション数の削減により、BOM コストを大幅に削減できます。さらに、PCB 枚数の少ないデザインにより、製造業者は、製品の組み立てと出荷に関する物流の無駄をなくすことができます。FPGA デザイン・メソッドロジを用いることで、エンジニアはすべての開発リソースと時間を合算してみれば、コスト要因  $((x \times t) \times (y \times t2))$  を解消できることが分かります。

デザインにより FPGA デバイスの最大潜在能力が実現された後、設計者には、より集積度の高いデバイスへの移行、またはデザインを再コンパイルして、別のアルテラ FPGA に速やかに変更するオプションが与えられます。また、これにより高速アップグレード・パスを与え、設計者は機能を集積したり、そのボードから MCU、DSP、またはその他のコンポーネントを取り除くことが可能になります。

## デバイス信頼性を考慮したデザイン

量産規模で出荷する製品においては、保守と交換のコストの観点から TCO の検討が残されています。Cyclone シリーズ等のアルテラ FPGA は、品質と信頼性が高く評価されています。長期にわたるデバイス信頼性（図 5）により、フィールドにおける製品保守を削減し、TCO の保守コスト要素を削減し、新規の製品開発にリソースを振り分けることができます。アルテラでは、社内において信頼性ストレス試験、不良解析を実施し、関連スタッフによりすべての新規ダイおよびパッケージング・テクノロジー・ファミリの認定をサポートしています。各認定手続きは、電子素子技術連合評議会（JEDEC）要求事項をすべて満足しています。アルテラでは、通常の動作条件の下、20 年を超える耐用年数を恒常的に達成しています。

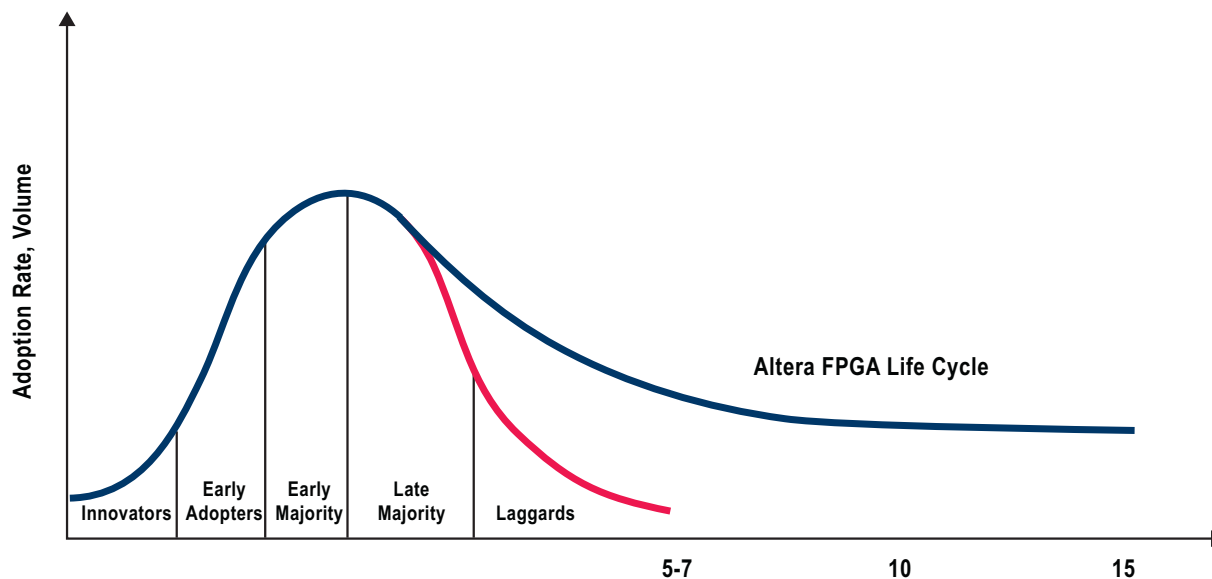
図 5. Cyclone シリーズ FPGA のライフ・サイクル



## 長いライフ・サイクルの有効活用

製品信頼性は、単に長期 TCO に寄与するだけではありません。アルテラ FPGA のライフ・サイクルに比べ、多くの MCU と DSP デバイスでは、図 6 に示すように、そのベンダがアルテラよりもずっと早く旧型デバイスを廃品にする傾向があるため、ライフ・サイクルは 5～10 年と大幅に短くなります。アルテラでは、旧型製品を廃品にする代わりに、最長で 15 年の長いライフ・サイクルをサポートする戦略を取っており、お客様が廃品管理に高いコストを費やすことを防いでいます。

図 6. 一般的なアルテラ FPGA と MCU/DSP デバイスのライフ・サイクルの対比



FPGA のライフ・サイクルの長さは、産業用製品の耐用年数の長さとは良く調和し、顧客のデザイン・リスクを低減し、その結果 TCO を削減します。設計者の要求が 1 つの FPGA の限界を超える場合は、その上のデバイス・ファミリー（例えば表 1 に示すように、Cyclone III FPGA から Cyclone IV E FPGA へ）、または別の FPGA ファミリー（例えば、Cyclone IV E FPGA から Cyclone IV GX FPGA または Arria® II GX FPGA へ）の移行が可能です。

表 1. Cyclone IV E および Cyclone III FPGA

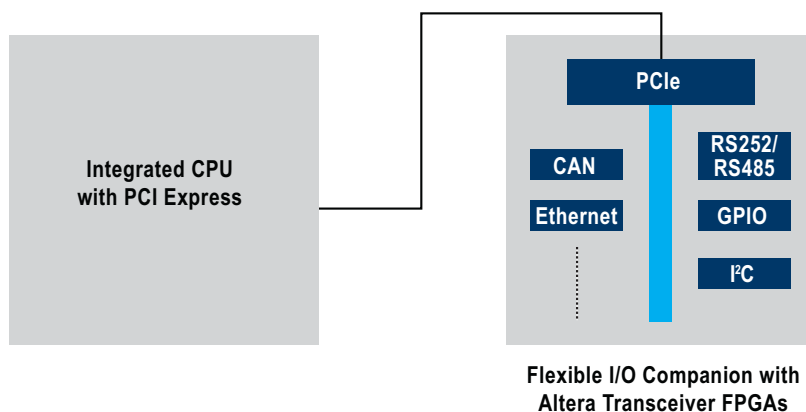
FPGA	ロジック・エレメント	トータル・メモリ (Kbit)	18×18 乗算器	トランシーバ I/O	OPCie ハード IP ブロック	ユーザー I/O
Cyclone III/LS	5,136-198,464	414-8,019	23-396	n/a	n/a	82-535
Cyclone IV E (1.0 V)	6,272-114,480	270-3,888	15-266	n/a	n/a	94-535
Cyclone IV GX (1.2 V)	14,400-149,760	50-6,480	0-360	2-8	1	72-475

## 産業用アプリケーション向け FPGA

例に示すインテリジェント・ドライブのように、Cyclone IV E FPGA 等のアルテラ・デバイスは、同一のハードウェア・プラットフォームを使用した複数製品の SKU、IP 再使用、製造中止を気にせず済むデザイン、および在庫管理を含め、ハードウェアとソフトウェアの変更に対処可能なデザイン・フレキシビリティを提供します。これらの要因はすべて、収益採算性を達成するのに重要な役割を担っています。各市場のニーズに応じて、Cyclone シリーズ・ファミリー以上の性能を求められるお客様は、Arria II GX FPGA 等の、さらに大規模なアルテラ製品に移行できます。

性能上の理由で、外部ホスト・プロセッサの必要なアプリケーションでは、設計者は Intel® ATOM™ プロセッサ、および PCI Express (PCIe) ベースのプロセッサ等のメインストリーム・アーキテクチャに移行することができます。設計者は、これらプロセッサ・アーキテクチャの、強力なソフトウェア・エコ・システムを活用することができます。さらに、設計者は、それらのプロセッサに含まれる高速 PCIe インタフェースを使用して I/O コンパニオン・チップと通信することにより一連のペリフェラルと I/O オプションを統合し、産業用イーサネット・プロトコル、SATA およびその他の IP の任意のバージョンをサポートします。図 7 は、アルテラの FPGA I/O コンパニオン・チップ・アーキテクチャのフレキシビリティを示しています。

図 7. I/O コンパニオン・チップ・アーキテクチャ用のトランシーバを含む Cyclone IV GX FPGA



## 結論

設計者が、製品の機能強化、機能またはコンポーネントの製造中止による製品の交換、またはスタートラインから新しい製品バージョンを発表する場合、Cyclone シリーズ FPGA によりデザイン・フレキシビリティを提供し、設計者が最終目的、すなわち利益を伴う製品の成功を達成するお手伝いをします。既存の標準製品の補完または交換を行う際にアルテラ FPGA のメソドロジーを活用することで、製品のライフタイムを通じて、開発、機能強化、置き換えおよび保守コストの観点から、企業がTCOの削減を実現する助けとなります。

## 詳細情報

- 産業機器市場：  
[www.altera.co.jp/industrial](http://www.altera.co.jp/industrial)
- ビデオ・デモ：「FPGA 1 チップで、複数の産業用イーサネット・プロトコルをサポートする方法」：  
[www.altera.co.jp/b/support-multiple-industrial-ethernet-protocols-single-fpga.html](http://www.altera.co.jp/b/support-multiple-industrial-ethernet-protocols-single-fpga.html)
- Webcast 「Designing with Multiple Industrial Ethernet Standards on a Single Hardware Platform」：  
[www.altera.co.jp/education/webcasts/all/wc-2009-industrial-ethernet-single-fpga.html](http://www.altera.co.jp/education/webcasts/all/wc-2009-industrial-ethernet-single-fpga.html)
- ホワイトペーパー：「産業用イーサネットに対応する柔軟性の高いソリューション」：  
[www.altera.co.jp/literature/wp/wp-01037\\_j.pdf](http://www.altera.co.jp/literature/wp/wp-01037_j.pdf)
- ホワイトペーパー：「アルテラの FPGA で構築する、TÜV 認定 機能安全システム」：  
[www.altera.co.jp/literature/wp/wp-01123-functional-safety\\_j.pdf](http://www.altera.co.jp/literature/wp/wp-01123-functional-safety_j.pdf)
- Industrial Partner : IXXAT Automation GmbH:  
[www.altera.co.jp/b/ixxat-partner.html](http://www.altera.co.jp/b/ixxat-partner.html)

- Cyclone シリーズ FPGA について：  
[www.altera.co.jp/products/devices/cyclone-about/cyc-about.html](http://www.altera.co.jp/products/devices/cyclone-about/cyc-about.html)
- オンライン・セミナー 「業界で最も低コスト、低消費電力の FPGA でトータル・システム・コストを削減」：  
[www.altera.co.jp/education/webcasts/all/wc-2009-cyclone-iv.html](http://www.altera.co.jp/education/webcasts/all/wc-2009-cyclone-iv.html)
- Nios II プロセッサ：最も汎用性に優れたエンベデッド・プロセッサ：  
[www.altera.co.jp/nios2](http://www.altera.co.jp/nios2)
- New BeMicro FPGA Evaluation Kit—Only \$49  
Build an Embedded Processor System in an FPGA in Minutes:  
[www.altera.com/b/nios-bemicro-evaluation-kit.html](http://www.altera.com/b/nios-bemicro-evaluation-kit.html)
- 開発ソフトウェア：  
[www.altera.co.jp/products/software/sfw-index.jsp](http://www.altera.co.jp/products/software/sfw-index.jsp)
- アルテラ・トレーニング：  
[www.altera.co.jp/education/training/trn-index.jsp](http://www.altera.co.jp/education/training/trn-index.jsp)

## 謝辞

- アルテラ・コーポレーション、インダストリアル / オートモーティブ・ビジネス・ユニット、シニア・テクニカル・マーケティング・マネージャ / 著者 Jason Chiang
- ローコスト製品、シニア・プロダクト・マーケティング・マネージャ Tom Schulte
- アルテラ・コーポレーション、プロダクト・マーケティング・マネージャ、Stefano Zammattio
- IXXAT, Inc., CEO, Bill Seitz

## 改訂履歴

表 2 に、本資料の改訂履歴を示します。

表 2. 改訂履歴

日付	バージョン	変更内容
2010 年 6 月	1.1	設計資産保有の総コストのウェブページおよびオンライン・セミナーを追加。
2010 年 3 月	1.0	初版