

FPGA におけるメタスタビリティを理解する

本ホワイトペーパーでは、FPGA でのメタスタビリティについて、その発生の要因や、これによって生じる設計の不具合（障害）について説明する。その上で、メタスタビリティ MTBF の計算方法と、さまざまな機器と設計パラメータの要因が、その計算結果に及ぼす影響について述べる。

はじめに

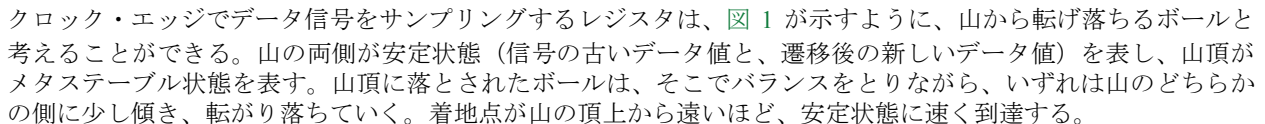
メタスタビリティは、FPGA を含むデジタル機器でシステム障害の原因にもなりかねない現象であり、無関係な非同期のクロック・ドメインの回路間で信号が伝送されるときに発生する。本ホワイトペーパーでは、FPGA でメタスタビリティが起こる原因と、この現象によって生じる設計の不具合について説明する。

メタスタビリティによる MTBF（平均故障間隔）を計算すれば、このような故障の可能性を低減するための対策を講じるべきかがわかる。本ホワイトペーパーでは、さまざまな設計と機器（デバイス）のパラメータに基づく MTBF の計算方法に加え、MTBF を向上するために FPGA ベンダーと設計者が取り組むべき事柄について説明する。設計のテクニックと最適化でメタスタビリティによる不具合の可能性を低減することができれば、システムの信頼性を向上させることができる。

メタスタビリティとは？

FPGA などのデジタル機器（デバイス）に組み込まれているすべてのレジスタには、それぞれが入力時のデータを正しくキャプチャして出力信号を生成できるように、信号のタイミング要件が定義されている。動作の信頼性を維持するには、レジスタへの入力がクロック・エッジ前の最小時間（レジスタセットアップ時間、 t_{SU} ）とクロック・エッジ後の最小時間（レジスタホールド時間、 t_H ）の間は安定していなくてはならない。その後のレジスタ出力は、規定のクロック出力遅延（ t_{CO} ）後に使用できるようになる。データ信号遷移がレジスタの t_{SU} または t_H の要件に違反すると、レジスタの出力が準安定（メタステーブル）状態になることがある。この状態では、レジスタ出力がある期間にわたって“High”と“Low”の間で不安定となり、定義されている“High”または“Low”状態への出力遷移が規定の t_{CO} を超えて遅延する。

同期システムでは、入力信号が常にレジスタのタイミング要件を満たしている必要があるため、メタスタビリティは発生しない。一般にメタスタビリティの問題は、無関係な非同期のクロック・ドメインの回路間で信号が伝送されるときに発生する。この場合、信号はデスティネーション・クロックに対して、いつでも到達することができるため、設計者は信号が t_{SU} および t_H の要件を満たすことを保証できない。しかし、レジスタの t_{SU} または t_H に違反するすべての信号遷移がメタステーブル出力につながるわけではない。レジスタがメタステーブル状態になる可能性と、安定状態に戻るまでに要する時間は、IC チップの製造プロセス技術と動作条件によって大きく異なる。ほとんどの場合、レジスタは定義されている安定状態にすばやく遷移する。

クロック・エッジでデータ信号をサンプリングするレジスタは、が示すように、山から転げ落ちるボールと考えることができる。山の両側が安定状態（信号の古いデータ値と、遷移後の新しいデータ値）を表し、山頂がメタステーブル状態を表す。山頂に落とされたボールは、そこでバランスをとりながら、いずれは山のどちらかの側に少し傾き、転がり落ちていく。着地点が山の頂上から遠いほど、安定状態に速く到達する。

レジスタのデータ入力がクロック・エッジから最小 t_H 後に遷移する場合は、山の「古いデータ値」側に落とされているボールに例えることができ、出力信号はそのクロック遷移の間も元の値であり続ける。レジスタのデータ入力がクロック・エッジより最小 t_{SU} の前までに遷移し、最小 t_H の後までホールドされる場合は、山の「新しいデータ値」側に落ちたボールに例えられ、出力は t_{CO} 時間の規定を満たす速さで新しい状態に到達する。しかし、レジスタのデータ入力が t_{SU} または t_H に違反するときには、山に落とされるボールに例えられる。ボールが山の頂上近くに着地した場合は、最下部に到達するまでに長い時間がかかり、クロック遷移から安定出力までの遅延が定義済みの t_{CO} を超える。

図1. 山に落下したボールに例えられるメタスタビリティ

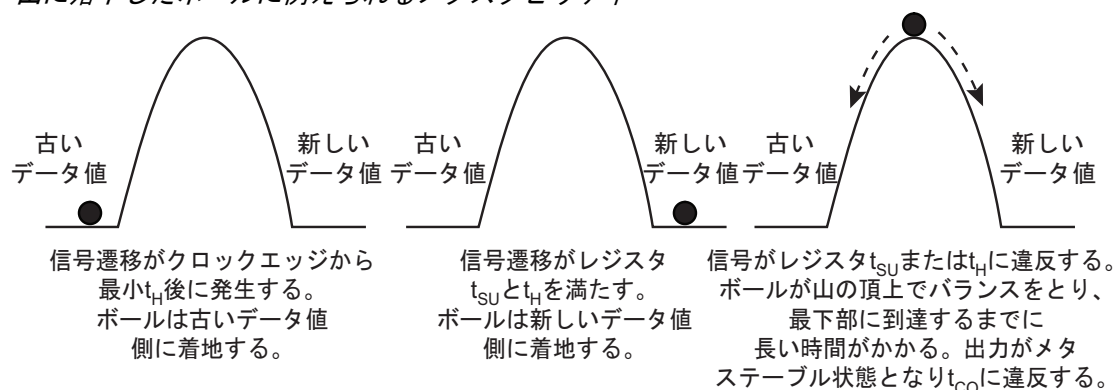
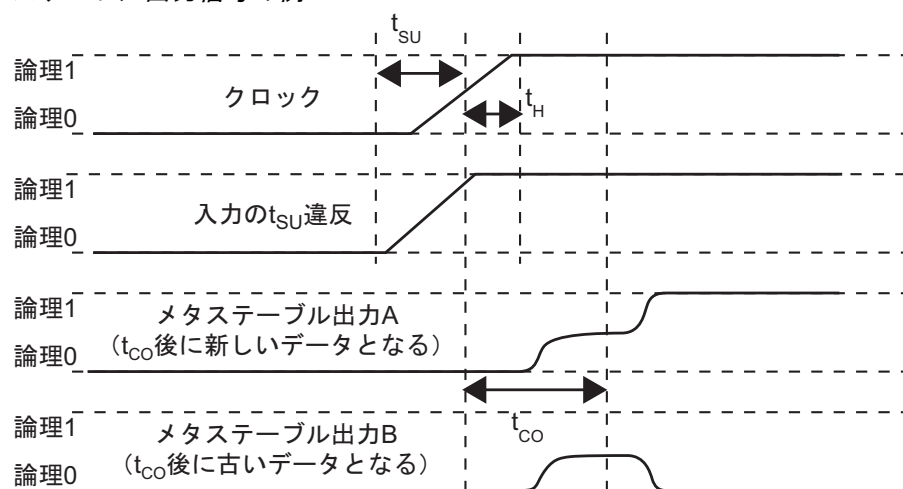


図2はメタステーブル信号を示している。クロック信号が遷移する間に、入力信号がレジスタの t_{SU} 要件に違反して“Low”状態から“High”状態に遷移するとき、データ出力信号の例は“Low”状態で始まり、“High”と“Low”の間で不安定となりメタステーブル状態に入る。信号出力Aは入力データの新しい論理“1”状態となり、出力Bはデータ入力の元の論理“0”状態に戻る。どちらのケースでも、定義済みの“1”状態または“0”状態への出力遷移の遅延は、レジスタに規定されている t_{CO} を超えた時間になる。

図2. メタステーブル出力信号の例



メタスタビリティはどんなときに設計故障をひき起こすのか？

次のレジスタがデータをキャプチャするまでにデータ出力信号が有効状態になれば、メタステーブル信号はシステム動作に悪影響を及ぼさない。しかし、メタステーブル信号が次のレジスタに到達するまでに“Low”または“High”状態とならなければ、システムを故障させる可能性がある。ボールと山の例えで見ると、ボールが山の最下部（安定した論理値“0”または“1”）に到達するまでにかかる時間が、割り当てられた時間（レジスタの t_{CO} に、そのレジスタからのパス上で必要なタイミングの余裕を加えた時間）を超えたときに故障が発生することがある。割り当てられた時間内にメタステーブル信号が安定しない場合、デスティネーション・ロジックが矛盾するロジック状態を検知する。すなわち、そのメタステーブル信号に対して異なるデスティネーション・レジスタが異なる値をキャプチャすると、ロジックの故障が発生することとなる。

同期レジスタ

別系統または非同期のクロック・ドメインの回路間で信号が伝送される場合に、この信号を使えるようにするには新しいクロック・ドメインに同期させる必要がある。新しいクロック・ドメインで最初のレジスタが同期レジスタとしての役割を果たす。

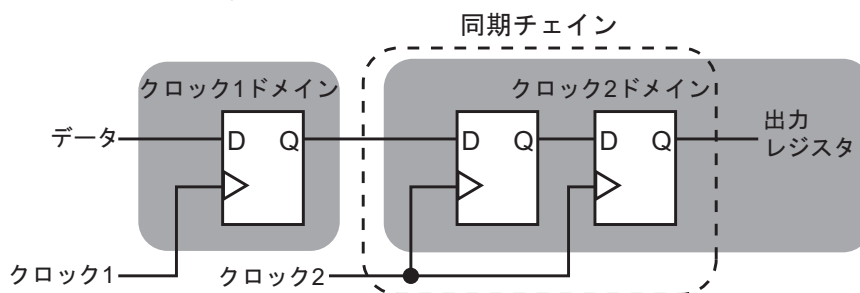
非同期信号の伝送でメタスタビリティによる故障を最小限に抑える方法としては、デスティネーション・クロック・ドメイン内で連続して並べたレジスタ（同期レジスタ・チェーンまたはシンクロナイザ）を使用して、信号を新しいクロック・ドメインに再同期させる方法が一般的に用いられる。これらのレジスタを使用することで、潜在的なメタステーブル信号が他の部分で使用されるまでに既知の値に遷移できるだけの時間をかせぐことができる。シンクロナイザのレジスタ間のパスに見込まれているタイミング・スラック（タイミングの余裕）が、メタステーブル信号のセトリング（整定）にかけられる時間となり、これを“有効メタスタビリティ・セトリング時間”と呼ぶ。

同期レジスタ・チェーン、すなわちシンクロナイザは、以下の要件を満たす一連のレジスタとして定義される。

- チェイン内のすべてのレジスタが、同一クロックかまたは同位相のクロックによってクロッキングされる
- チェイン内の最初のレジスタが、無関係なクロック・ドメインで、または非同期に駆動される
- チェイン内の最後のレジスタを除き、各レジスタが1つのレジスタにのみファンアウトする

同期レジスタ・チェーンの長さとは、上記の要件を満たしている同期クロック・ドメイン内のレジスタ数である。図3は、出力信号が複数のデスティネーション・レジスタに送られる、長さ2の同期チェーンの例を示している。

図3. 同期レジスタ・チェーンの例



非同期入力信号、すなわち無関係なクロック・ドメイン間で伝送される信号は、キャプチャレジスタのクロック・エッジに対して、どの時点でも遷移する可能性があることに注意しなければならない。つまり、設計者はデータが遷移するまで、信号の遷移シーケンスやデスティネーション・クロックのエッジ数を予測することができない。例えば、非同期信号のパスがクロック・ドメイン間で転送され、同期がとられる場合に、そのデータ信号は異なるクロック・エッジで遷移することがある。そのため、バスデータの受信値が間違っている可能性がある。

設計者は、信号値を格納するデュアルクロック FIFO (DCFIFO) ロジックやハンドシェイクロジックなどの回路を用いることで、この振る舞いに対処しなければならない。FIFO ロジックは、シンクロナイザを使用して2つのクロック間で制御信号を伝送するもので、データはデュアルポートメモリに対してリード/ライトされる。アルテラはこの処理のために、さまざまな遅延レベルと制御信号のメタスタビリティ防止機能を組み込んだ DCFIFO メガファンクションを提供している。非同期信号が2つのクロック・ドメイン間のハンドシェイクロジックの一部として機能すれば、クロック・ドメイン間でいつデータを伝送できるのかは制御信号が通知する。この場合、同期レジスタは、メタスタビリティによって制御信号の受信が妨げられないようにするとともに、データが使われるまでにメタステーブル状態を回避できるだけの時間的余裕をもたせるために用いられる。適切に設計されたシステムでは、各信号が使われるまでに安定値に移行すれば、その設計は正しく機能する。

メタスタビリティ MTBF の計算

メタスタビリティによる平均故障間隔 (MTBF) は、メタスタビリティが設計故障をひき起こす可能性について、故障発生の平均間隔を予測するものである。MTBF が高いほど (メタスタビリティによる故障の間隔が数百年や数千年といった場合)、より堅牢な設計だといえる。要求される MTBF はシステムの利用による。例えば、人命にかかわる医療機器には、一般のビデオ表示機器よりも高い MTBF が要求される。メタスタビリティ MTBF が向上すれば、信号伝送がその機器でメタスタビリティの問題を発生させる可能性は低くなる。

この設計で、“clka”と“clkb”は、関係のない2つのクロック信号である。シンクロナイザへのデータ入力にはクロック・サイクルごとに切り替える（高 f_{DATA} ）。1つの同期レジスタが2つのデスティネーション・レジスタに入力するため、シンクロナイザの長さは“1”である。2つのデスティネーション・レジスタは、それぞれシンクロナイザの出力を1クロック・サイクル後と1/2クロック・サイクル後にキャプチャする。この信号が次のクロック・エッジで転換されるまでメタステーブル状態に入った場合、この回路はサンプリングされた信号が既知の値と違うことを検知し、エラー信号を出力する。この回路は、1/2クロック・サイクル時間で発生するメタスタビリティ・イベントの大部分を検知する。

局所的なメタスタビリティの影響を低減するために、この回路をデバイス全体に複製する。そして、ノイズ・カップリングを除去するために各回路を連続的にテストする。アルテラでは各テスト構造を1分間測定し、エラーカウントを記録している。テストはさまざまなクロック周波数で行われ、MTBF 対 t_{MET} の結果が対数目盛にプロットされる。定数 C_2 は実験結果の傾向線の傾きに対応し、定数 C_1 はこの直線上にある。

メタスタビリティ MTBF の向上

MTBF 式の指数係数 e^{t_{MET}/C_2} により、 t_{MET}/C_2 項は MTBF の計算に最も大きな影響を及ぼす。したがって、アーキテクチャの強化とともにデバイスの定数 C_2 を最適化するか、同期レジスタで t_{MET} を増やすように設計を最適化することで、メタスタビリティを向上させることができる。

FPGA アーキテクチャの強化

MTBF 式のメタスタビリティ時間定数 C_2 は、トランジスタの動作速度や電源電圧などを含め、デバイスの製造プロセス技術に関連するさまざまな要因に左右される。高速なプロセス技術と高速なトランジスタ動作であれば、メタステーブル信号の問題はより早く解決する。FPGA の製造プロセス技術は 180nm から 90nm に移行しており、通常はトランジスタの動作速度を上げることでメタスタビリティ MTBF を改善することができた。そのため、FPGA 設計者にとってメタスタビリティは大きな懸念事項ではなかった。

しかし、プロセスの微細化に伴って電源電圧が下がっても、回路のスレッシュホールド電圧はそれに比例して低下していない。レジスタがメタステーブル状態に入ったときの電圧は、電源電圧の約 1/2 である。電源電圧が低くなるほど、メタステーブル状態の電圧レベルが回路内のスレッシュホールド電圧に近づくことになる。この2つの電圧が近づくほど利得が小さくなり、レジスタがメタスタビリティ状態から遷移する時間が長くなる。FPGA が 65nm プロセスからさらに微細化し、電源電圧が 0.9V 以下となれば、トランジスタの動作速度を上げることも、スレッシュホールド電圧を考慮することのほうがより重要になってきている。したがって、メタスタビリティに対する堅牢性が向上するように FPGA ベンダーが回路を設計しないかぎり、ほとんどのケースでメタスタビリティ MTBF は悪化する。

アルテラでは、メタスタビリティ MTBF が向上するように回路を最適化するため、FPGA アーキテクチャのメタスタビリティ解析を行っている。40nm プロセスを適用したアルテラの Stratix IV FPGA では、アーキテクチャの改良と新しいデバイスの開発にあたり、MTBF C_2 定数を小さくすることでメタスタビリティに対する堅牢性を向上させている。

設計の最適化

MTBF 式の指数係数は、設計に依存する t_{MET} 値が大きくなると、シンクロナイザ MTBF が指数的に大きくなることを意味している。例えば、あるデバイスと動作条件を合わせたときの定数 C_2 が 50 ps の場合、 t_{MET} がわずか 200 ps 増えただけで指数 200/50 となり、MTBF は e^4 倍と 50 倍以上に増える。400 ps 増えると MTBF は e^8 倍、つまり 3000 倍に増える。


また、最悪の MTBF によるチェーンは、設計 MTBF に大きな影響を及ぼす。例えば、10 個のシンクロナイザ・チェーンを持つ2つの異なる設計を思い浮かべて欲しい。一方の設計では、10 個のチェーンの MTBF がすべて同じ 1 万年である。他方の設計では、9 個のチェーンの MTBF が 100 万年だが、1 個のチェーンの MTBF が 100 年である。設計の故障率は各チェーンの故障率 $1/MTBF$ の合計である。最初の設計のメタスタビリティ故障率は、10 チェイン $\times 1/10000 = 0.001$ となり、したがって設計 MTBF は 1000 年である。2 番目の設計の故障率は、9 チェイン $\times 1/1000000 + 1/100 = 0.01009$ となり、設計 MTBF は約 99 年である。これはワースト・チェーンの MTBF よりも若干短くなる。

言い換えれば、特性が良くない設計または実装された同期チェーンが 1 つあるだけで、設計全体のメタスタビリティ MTBF が低下してしまうということである。このため、非同期信号とクロック・ドメインのすべての伝送についてメタスタビリティ解析を実施することが重要である。設計者またはツールベンダーは、ワースト MTBF のシンクロナイザ・チェーンに対して t_{MET} を増やすことで、設計 MTBF に極めて大きな影響を与えることができる。

メタスタビリティ MTBF を向上させるには、同期レジスタ・チェーンにレジスタ・ステージを追加して t_{MET} を増やす方法が考えられる。追加した各レジスタ間を接続したことによるタイミング・スラックが t_{MET} 値に加算される。通常、設計者は 2 個のレジスタを使用して信号を同期させるが、アルテラでは、メタスタビリティ防止のために 3 個のレジスタを用いるよう推奨している。ただし、レジスタを増やせば、同期ロジックに遅延を生じさせる場所が追加されることになる。このため、設計者はそれを許容できるかどうかを評価する必要がある。

クロスクロック・ドメインに対して、読み出しクロックと書き込みクロックを個別にもつアルテラの FIFO メガファンクションを用いる設計では、メタスタビリティの防止性能（および遅延）を高めて MTBF を向上させることができる。アルテラの「Quartus II MegaWizard Plug-In Manager」では、3 つ以上の同期ステージを使用する高メタスタビリティ保護オプションを選択できる。

Quartus II ソフトウェアには、業界をリードするメタスタビリティ解析機能や、同期レジスタ・チェーンで t_{MET} を増やすための最適化機能が備わっている。シンクロナイザが認識されると、このソフトウェアは同期レジスタを接近させ、シンクロナイザ・チェーンで使用できる出力タイミング・スラックを増やしてから、メタスタビリティ MTBF をレポートする。

 アルテラ製FPGAにおけるMTBFの解析と向上の詳細については、*Quartus II* ハンドブック第1版の「*Quartus II* ソフトウェアによるメタスタビリティの管理」の章を参照のこと。

結論

メタスタビリティは、無関係な非同期のクロック・ドメインにある回路の間で、信号が伝送されるときに発生することがある。メタスタビリティによる平均故障間隔は、デバイスのプロセス技術、設計仕様、同期ロジック内のタイミング・スラックに左右される。FPGA 設計者は、同期レジスタ内のタイミング・スラックを増やす設計手法で t_{MET} を大きくすることにより、システムの信頼性とメタスタビリティ MTBF を向上させることができる。アルテラ製 FPGA は、MTBF パラメータの特性を示し、デバイス技術の改良によってメタスタビリティ MTBF を向上させている。アルテラ製 FPGA を使用する設計者は、Quartus II ソフトウェアの機能を利用して、設計のメタスタビリティ MTBF を解析し、MTBF が向上するように設計を最適化することができる。

参考情報

- *Managing Metastability with the Quartus II Software:*
(*Quartus II* ソフトウェアによるメタスタビリティの管理 :)
www.altera.co.jp/literature/hb/qts/qts_qii51018.pdf
- *AN 473: Using DCFIFO for Data Transfer Between Asynchronous Clock Domains:*
(*AN473* : 非同期クロック・ドメイン間のデータ伝送に DCFIFO を使用 :)
www.altera.com/literature/an/an473.pdf

謝辞

- Jennifer Stephenson, Applications Engineer, Member of Technical Staff, Software Applications Engineering, Altera Corporation
(Altera Corporation ソフトウェアアプリケーションエンジニアリング部門、技術スタッフメンバー、アプリケーションエンジニア)
- Doris Chen, Advanced Software Engineer, Software and Systems Engineering, Altera Corporation
(Altera Corporation ソフトウェア・システムエンジニアリング部門、上級ソフトウェアエンジニア)
- Ryan Fung, Senior Member of Technical Staff, Software and Systems Engineering, Altera Corporation
(Altera Corporation ソフトウェア・システムエンジニアリング部門、技術スタッフシニアメンバー)
- Jeffrey Chromczak, Senior Software Engineer, Software and Systems Engineering, Altera Corporation
(Altera Corporation ソフトウェア・システムエンジニアリング部門、シニアソフトウェアエンジニア)



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.