

## FPGA の電圧レギュレータの選定

### はじめに

FPGA が PLL (Phase-Locked Loop) などの付加機能でより高度化するに従い、メモリインタフェースやトランシーバ機能、電源要件など FPGA の設計がますます複雑になってきている。例えば、機能ブロックや回路ごとに対応する複数の電源レール、複数の電圧レベル、高電流要件などを考慮しなくてはならない。本ホワイト・ペーパーでは、アルテラ製 FPGA に関連するいくつかの電源レールを取り上げ、その電源要件を分析し、適切な電圧レギュレータ・モジュールを選定するための方法を述べる。その上で、アルテラ製 Stratix IV FPGA を利用した設計事例を紹介する。

### FPGA の電圧レール

レギュレータを選定する最初のステップとして、FPGA に必要なすべての電圧レールを特定しなくてはならない。これらの電圧は、すべての出力ピンについてタイプごとの定義と必要な電圧レベルを記載したピンリスト (通常 FPGA ベンダーから提供される) を参照していただきたい。図 1 は、Stratix IV GX デバイスのピンリストの一例である。

図 1. Stratix IV GX のピンリスト (一部抜粋)

| ALTERA                                      |                                 | Pin Information for the Stratix® IV GX EP4SGX230 Device<br>Version 0.0<br>Notes (1), (2)  |  |
|---|---------------------------------|---|--|
| Pin Name                                    | Pin Type (1st and 2nd Function) | Pin Description   |  |
| <b>Supply and Reference Pins</b>            |                                 |   |  |
| VCC   | Power                           | VCC supplies power to the core and periphery. Connect to 0.9V.  |  |
| VCCIO[1..8][A,C],<br>VCCIO[2,3,4,5,7,8]B    | Power                           | These are I/O supply voltage pins for banks 1 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all LVDS, LVCMOS(1.2V, 1.5V, 1.8V, 2.5V, 3.3V), HSTL(1,2,15,18), SSTL(15,18,2), 3.0V PCI/PCI-X I/O as well as LVTTTL 3.3V I/O standards. VCCIO also supplies power to the input buffers used for LVCMOS(1.2V, 1.5V, 1.8V, 2.5V, 3.3V), 3.0V PCI/PCI-X and LVTTTL 3.3V I/O standards. |  |
| VCCA_PLL_[L,R][1:4],<br>VCCA_PLL_[T,B][1:2] | Power                           | Analog power for PLL [L(1:4),R(1:4),T(1:2),B(1:2)]. The designer must connect these pins to 2.5V, even if the PLL is not used. It is advised to keep this pin isolated from other VCC for better jitter performance.  |  |
| VCCD_PLL_[L,R][1:4],<br>VCCD_PLL_[T,B][1:2] | Power                           | Digital power for PLL [L(1:4),R(1:4),T(1:2),B(1:2)]. The designer must connect these pins to 0.9V, even if the PLL is not used.   |  |
| VCCPT                                       | Power                           | Power supply for the programmable power technology. Connect to 1.5V.  |  |
| VCCAUX                                      | Power                           | Auxiliary supply for the programmable power technology. Connect to 2.5V.  |  |
| VCCPGM                                      | Power                           | Configuration pins power supply. Can be connected to 1.8V, 2.5V or 3.0V depending on the particular design.   |  |

ここでは、FPGA の電圧レールの一例を示している。FPGA の動作電圧の種類は以下に挙げるものも含めていくつもある。

- 内部ロジックアレイを動作させるためのコア電圧
- I/O バッファを駆動するための I/O 電圧。対応する電圧は I/O ピンによって異なる。I/O はバンクに分けられ、各バンクごとに異なる電圧で動作する場合もある。I/O リファレンス電圧は I/O 電圧から生成される。
- コア内の PLL のアナログ / デジタル回路を駆動する PLL 電圧
- トランシーバ、レシーバ、トランスミッタのバス、ならびにトランシーバ I/O バッファなどデジタル・アナログ回路に供給するトランシーバ電圧

### 電圧レールの要件

電圧レギュレータを選定する際には、さまざまな要因を考慮する必要がある。最も重要なのは消費電流で、最初に検討しなければならない項目である。次は電圧レールの共有と分離であり、その後にレギュレータ精度とリップル仕様をそれぞれ検討する。

## 消費電流

レギュレータを選択するためには、事前にその電圧レールの総消費電流を把握しておかなければならない。FPGA ではパワー・カリキュレータを使うことで、すべての電圧レールと特定の電圧レールの消費電流を見積もることができる。アルテラはその多くのデバイスで、図 2 に示すような「Early Power Estimator (EPE)」を提供している。この見積もりソフトウェアを使えば、FPGA の各電源レールを計算することができる。個々のレールの総電流を見積もり、共有レールの電流値として加算する。

図 2. Stratix IV GX EPE – メインページ

The screenshot shows the main interface of the PowerPlay Early Power Estimator (EPE) for Stratix III and Stratix IV. The interface is divided into several sections:

- Input Parameters:** Family: Stratix IV, Device: EP4SGX230K, Package: F40, Temperature Grade: Commercial, Power Characteristics: Typical, V<sub>CCL</sub> Voltage (V): N/A.
- Thermal Power (W):** Logic: 3.710, RAM: 0.456, DSP: 0.000, I/O: 0.014, HSDI: 0.000, PLL: 0.065, Clock: 0.005, XCVR: 3.314, PCS and HIP: 1.144, P<sub>static</sub>: 1.421, TOTAL: 10.129.
- Thermal Analysis:** Junction Temp, T<sub>J</sub> (°C): 65.0, θ<sub>JA</sub> Junction-Ambient: N/A, Maximum Allowed T<sub>J</sub> (°C): 85.0.
- Power Supply Current (A):** I<sub>CCL</sub> (N/A): N/A, I<sub>CC</sub> (0.9V): 7.209, I<sub>CCD\_PLL</sub> (0.9V): 0.052, I<sub>CCPT</sub> (1.5V): 0.135, I<sub>CCA\_PLL</sub> (2.5V): 0.025, ICCPD: 0.005, ICCIO: 0.001, ICCXCVR: 2.282, ICCHIP: 0.000.

Buttons at the bottom include: Set Toggle %, Reset, Import QII File, Import EPE 7.2 SP1, and View Report.

EPE の詳細については、[PowerPlay Early Power Estimator User Guide for Stratix III and Stratix IV FPGAs](#) (Stratix III / Stratix IV FPGA 対応 PowerPlay Early Power Estimator ユーザーガイド) を参照のこと。

より高度な解析には、Quartus II ソフトウェアの「[PowerPlay Power Analyzer](#)」を用いることができる。これには実装される実設計のリファレンス設計が必要となる。

## 共有 / 分離の電圧レール

FPGA ファブリックとトランシーバ回路のいずれのアナログ電源レールにも特別な注意を払う必要がある。これらの電源レールは、PLL などノイズに敏感な回路に電力を供給するため、ジッタの発生や PLL 機能の観点からデバイスのパフォーマンスに影響を及ぼす可能性がある。

分離させる必要のあるレールと、推奨するレギュレータの事項については、『[Stratix IV GX ピンアウトファイルおよびピン接続ガイドライン](#)』を参照のこと。

表 1 は、Stratix IV GX FPGA の電圧レールを示している。簡単な説明とともに、「共有 / 分離」欄にはピン接続ガイドラインに記載されている推奨設定を示している。

表 1. Stratix IV GX 電圧レール

| 種類       | 電圧値            | 電圧名      | 種類                   | 共有 / 分離 |
|----------|----------------|----------|----------------------|---------|
| FPGA 電圧  | 0.9V           | VCC      | FPGA コア電源            | 共有      |
|          | 0.9V           | VCCD_PLL | PLL デジタル電源           | 共有 / 分離 |
|          | 1.2V-3.0V      | VCCIO    | I/O 共有電圧、バンク 1-8     | 共有      |
|          | ½ VCCIO        | VREF     | 入力リファレンス電圧、バンク 1-8   | 共有      |
|          | 1.5V           | VCCPT    | プログラマブル電源テクノロジー      | 共有 / 分離 |
|          | 1.8V/2.5V/3.0V | VCCPGM   | コンフィギュレーションピン電源      | 共有      |
|          | 2.5V           | VCCCLKIN | 差動クロック入力電源           | 共有      |
|          | 2.5V           | VCCA_PLL | PLL アナログ電源           | 共有 / 分離 |
|          | 2.5V           | VCCAUX   | 補助電源                 | 共有 / 分離 |
|          | 2.5V           | VCCBAT   | バッテリーバックアップ、バッテリーに接続 | 分離      |
|          | 2.5V/3.0V      | VCCPD    | I/O プレドライバ電源         | 共有      |
| トランシーバ電圧 | 0.9V           | VCCHIP   | トランシーバハード IP デジタル電源  | 共有      |
|          | 1.1V           | VCCR     | トランシーバレシーバアナログ電源     | 共有 / 分離 |
|          | 1.1V           | VCCT     | トランシーバトランスミッタアナログ電源  | 共有 / 分離 |
|          | 1.1V           | VCCL_GXB | トランシーバクロック電源         | 共有 / 分離 |
|          | 1.4V/1.5V      | VCCH_GXB | トランシーバ伝送出力バッファ電源     | 共有 / 分離 |
|          | 2.5V/3.0V      | VCCA     | トランシーバ高電圧電源          | 共有 / 分離 |

### 精度とリップル

FPGA の電圧レールは、メーカーが規定している許容範囲内の電圧振幅に耐えることができる。これらのパラメータは、*Stratix IV デバイスハンドブック* 第 4 版セクション 1、第 1 章「DC およびスイッチング特性」の「推奨動作条件」の項に記載されている。電圧レギュレータは、規定範囲内で一定 DC レベルの電圧を供給できなくてはならない。負荷レギュレーション仕様には、負荷の変化に対する電圧レギュレータ出力の偏差許容範囲が規定されている（通常は mV 単位）。電圧レギュレータはレギュレーションループの帯域幅（通常、数十 KHz）内でのみ負荷レギュレーションを行える。100 HKz を超える周波数では、負荷レギュレーションはデカップリングキャパシタンスで対処しなくてはならない。負荷レギュレーションの一般的な仕様  $\pm 5\text{mV}$ （スイッチングレギュレータ）で、1.2V 電源の 0.4% に相当する。メーカーによっては負荷レギュレーション仕様がもっと高いこともある。

リップルは、スイッチングレギュレータに関連するもう 1 つの電流成分である。スイッチング回路の立ち上がり時間は、スイッチングレギュレータ内部にノイズを生じさせる主な原因である。リップルの性能はデカップリングキャパシタの選択と、デカップリングキャパシタに到達するまでの電力が、どれほど十分にフィルタリングされるかによって大きく左右される。電圧レギュレータの出力リップル電圧レベルは mV (pk-pk) 単位で規定されている。大半のレギュレータのリップル仕様は、出力電圧の 2% 以上になっている。1.1V と 0.9V の電圧レールを持つ FPGA を設計する場合、2% のリップルレベルで Stratix IV GX デバイスの仕様に適合する。

 リップル電圧と負荷の組み合わせによっては FPGA 電圧レールの仕様を超える場合がある。電圧レギュレータを選ぶ際には、これらの変動要因を考慮に入れる必要がある。

### 電圧レギュレータの選定

使用するレギュレータのタイプは、大きく分けてリニアレギュレータとスイッチングレギュレータの 2 つのカテゴリがあり、そのどちらかを選択できる。設計者は、用途に最適なレギュレータを選ぶために、各タイプの一般的な長所と短所を理解しておかなくてはならない。例えば、リニアレギュレータには次のような長所がある。

- 低い出力ノイズ
- 出力外乱に対する高速な応答

- 低出力レベルで低コスト
- より小さい基板占有面積
- 使いやすさ

同様に、スイッチングレギュレータには次のような長所がある。

- 高効率で高出力
- 出力電圧の昇圧または降圧が可能（ステップアップ/ステップダウストリーム）
- 高出力レベルで低コスト

リニアレギュレータは、低コスト、低出力レベルで応答時間が速く、ひずみなどのない、とてもクリーンな出力電力を供給できるという利点があるため、ノイズがジッタ性能に直接影響を及ぼす FPGA アナログ/トランシーバ電源レールには理想的なレギュレータである。また、外付け部品をほとんど必要としないため、基板の占有面積が少なくて済み、実装がより簡単であるという利点もある。

スイッチングレギュレータは、ノイズ耐性よりも高い効率を優先する高出力アプリケーションに使われることが多い。そのため、電流要件が数アンペアから数十アンペアにわたるデジタルコアロジック電源や I/O 電源に適している。効率面での利点はあるものの、スイッチングレギュレータは一般的により複雑で、パワー FET やインダクタなどの外付け部品を必要とするため、基板の占有面積が大きい。しかし、最近の技術では、外部回路のほとんどをスイッチングレギュレータ・モジュールに統合することにより、基板の占有面積を大幅に低減することができるため、これらの課題も解消されつつある。このような集積化により、フォームファクタが非常に小さく、高効率、高出力でコスト効果に優れたレギュレータが登場している。

## FPGA 電圧レールの設計事例

ここからは、FPGA ボード設計の特定の電圧レールに用いるレギュレータを決めるためのプロセスについて説明する。この設計事例では、6 個の高速トランシーバブロックを搭載した高密度 FPGA ファブリックで構成される、Stratix IV GX デバイス (EP4SGX230KF40C) を用いる。このボードの目的は高速トランシーバのパフォーマンスを検証することである。この例で示す電圧レールは、0.9V のコア電圧 (VCC) である。

### 概要

あらゆるコアノイズを生成する主な部分は、パターン・ジェネレータ回路と、複数の周波数で動作するグレイ・コード・カウンタで構成されている。1 つのパターン・ジェネレータ・モジュールをトランシーバ・モジュールのチャンネルに接続し、1 つのトランシーバ・チャンネルを測定する。ここでは電圧レールを 0.9V のコア電圧とする。コア使用率 80% でテストすることを前提に、この電圧レールの消費電流を計算する。

### 消費電流

VCC プレーンに必要な電流の計算には「PowerPlay EPE」を用いる。コア電圧に関係する計算領域は、ロジック、RAM、PLL、クロックの 4 つのセクションである。これらのセクションには一般的な設計とよく似た利用法を取り入れる。以下の情報を EPE のメインページで入力する。

|                  |            |
|------------------|------------|
| ファミリ             | Stratix IV |
| デバイス             | EP4SGX230K |
| パッケージ            | F40        |
| 温度グレード           | Commercial |
| 出力特性             | Typical    |
| ユーザー入力 $T_j$     |            |
| 周囲温度、 $T_A$ (°C) | 65         |

### ロジックの使用電力

ロジックの使用電力を見積もるには、アダプティブブロックアップテーブル (ALUT) とフリップフロップの数を指定する。*Stratix IV デバイスハンドブック*にはアダプティブロジックモジュール (ALM) のカウントが記載されている。この場合、合計カウントは91200となる。

1 ALM = 2 ALUT + 2 フリップフロップ  
 (2) x (91200) = 182,400 ALUT  
                   = 182,400 フリップフロップ  
 @ 80% コア使用率 = 145,920 ALUT  
                   = 145,920 フリップフロップ  
 @ 150 MHz クロック周波数  
 @ 25% トグル率  
 @ 3 平均ファンアウト

カリキュレータに上記のパラメータを入力した結果、ロジックに使用される見積もり電力は3.71Wとなる。

### RAM の使用電力

RAM の使用電力を見積もるには、この設計で使われる RAM ブロック数を指定する。3つのメモリタイプを設定できる。この事例ではMLABを未使用とし、M9Kブロックにメモリ領域の10%、M144Kブロックに45%を割り当てる。ここではポートAとポートBの両方を使用する。

|                   |                     |
|-------------------|---------------------|
| <b>M9K ブロック :</b> | <b>M144K ブロック :</b> |
| RAM ブロック = 125    | RAM ブロック = 10       |
| データ幅 = 16         | データ幅 = 16           |
| RAM 深さ = 512      | RAM 深さ = 8000       |
| RAM モード = デュアルポート | RAM モード = デュアルポート   |
| クロック周波数 = 600 MHz | クロック周波数 = 600 MHz   |
| イネーブル % = 25%     | イネーブル % = 25%       |
| 書き込み % = 50%      | 書き込み % = 50%        |

カリキュレータに上記のパラメータを入力した結果、RAM に使用される見積もり電力は0.456Wとなる。

### PLL の使用電力

PLL の使用電力を見積もるには、使われる PLL の数を指定する。ここでは2個のPLLモジュールが例示されている。

PLL タイプ = LVDS  
 PLL ブロック = 2  
 DPA バス = 1  
 出力周波数 = 150 MHz  
 VCO 周波数 = 700 MHz

カリキュレータに上記のパラメータを入力した結果、PLL に使用される見積もり電力は0.065Wとなる。

### クロックの使用電力

クロックの使用電力を見積もるには、この設計に必要なクロック数を指定する。この例では2つのクロックを使用し、それぞれファンアウトを“5”とする。

クロック周波数 = 150 MHz  
 ファンアウト = 5  
 グローバルイネーブル % = 100%  
 ローカルイネーブル % = 50%

カリキュレータに上記のパラメータを入力した結果、クロックに使用される見積もり電力は0.005Wとなる。

VCCに必要な合計電流の見積もり値は7.209Aである。図3はPowerPlay EPEのメインページを示している。"Power Supply Current (A)"の下にある $I_{CC}$ がコア電流で、PLL (VCCD)に必要な合計電流 $I_{CCD-PPL}$ が0.052Aとなっている。この電圧に必要な合計電流は7.261Aである。

図3. Stratix IV GX EPE – メインページ

The screenshot shows the PowerPlay Early Power Estimator interface for Stratix IV GX EPE. The interface is divided into several sections:

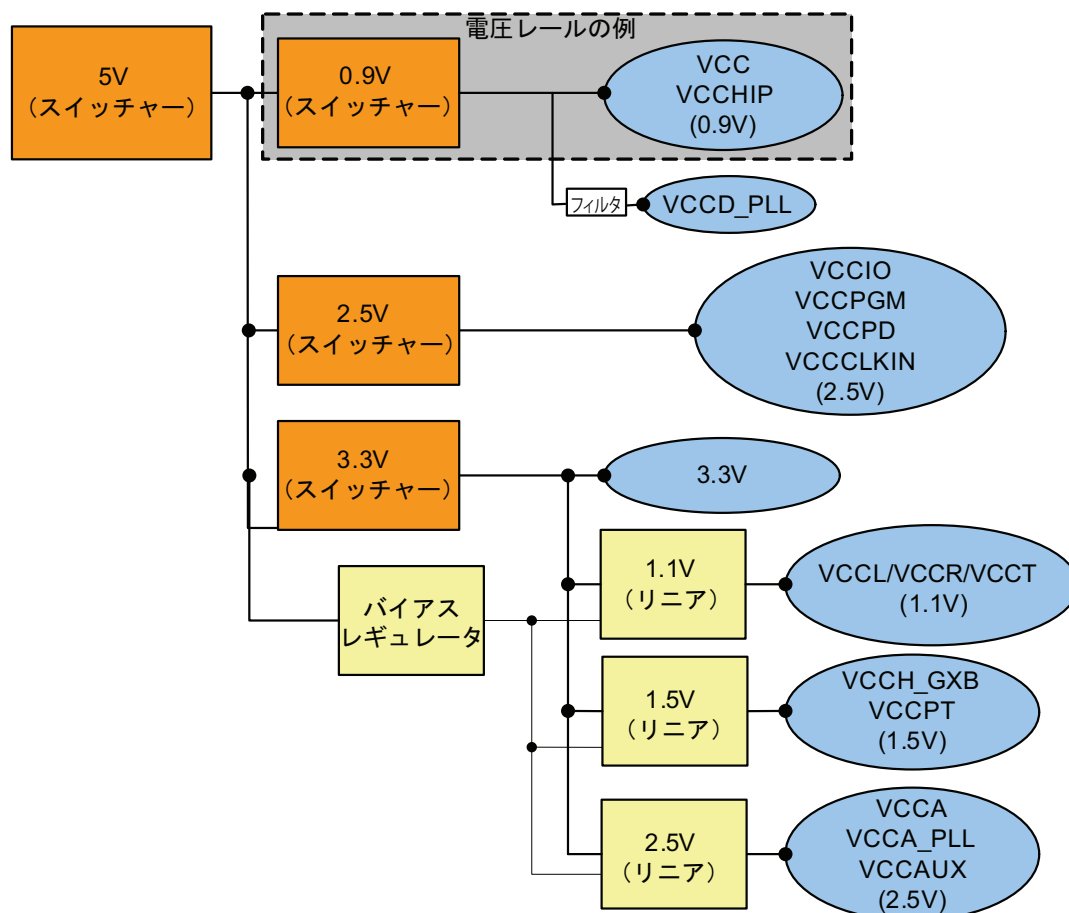
- Input Parameters:**
  - Family: Stratix IV
  - Device: EP4SGX230K
  - Package: F40
  - Temperature Grade: Commercial
  - Power Characteristics: Typical
  - V<sub>CCL</sub> Voltage (V): N/A
  - Options:  User Entered Tj,  Auto Computed Tj
  - Junction Temp, T<sub>J</sub>(°C): 65
  - Options:  Custom Theta JA,  Estimated Theta JA
  - Heat Sink: N/A
  - Airflow: N/A
  - Custom  $\theta_{SA}$ (°C/W): N/A
  - Board Thermal Model: N/A
- Thermal Power (W):**
  - Logic: 3.710
  - RAM: 0.456
  - DSP: 0.000
  - I/O: 0.014
  - HSDI: 0.000
  - PLL: 0.065
  - Clock: 0.005
  - XCVR: 3.314
  - PCS and HIP: 1.144
  - P<sub>static</sub>: 1.421
  - TOTAL: 10.129
- Thermal Analysis:**
  - Junction Temp, T<sub>J</sub>(°C): 65.0
  - $\theta_{JA}$  Junction-Ambient: N/A
  - Maximum Allowed T<sub>J</sub>(°C): 85.0
  - Details button
- Power Supply Current (A):**
  - I<sub>CCL</sub> (N/A): N/A
  - I<sub>CC</sub> (0.9V): 7.209
  - I<sub>CCD\_PLL</sub> (0.9V): 0.052
  - I<sub>CCPT</sub> (1.5V): 0.135
  - I<sub>CCA\_PLL</sub> (2.5V): 0.025
  - ICCPD: 0.005
  - ICCIO: 0.001
  - ICCXCVR: 2.282
  - ICCHIP: 0.000
  - Click buttons for details

Buttons at the bottom: Set Toggle %, Reset, Import QII File, Import EPE 7.2 SP1, View Report

### 電源ツリー

VCC 電圧レールは、FPGA における主要な電源レールの 1 つである。図4に示す電源ツリーの例は、2.5 Gbps の PCI Express Gen1 カードをターゲットとしたボード設計における配置である。この図は、VCC 電圧レール（グレーで表示）を電源ネットワーク全体にどのように組み込むのかを示している。青の楕円形はそれぞれ 1 つの電圧プレーンを表している。電圧レールごとにその電流を計算しなくてはならない。リニアレギュレータを使用する場合は、電圧プレーンの電流とともにドロップアウト電流を計算する必要がある。その電圧プレーンを駆動するリニアレギュレータには、そのプレーンの消費電流に対処できる電流容量が必要となる。リニアレギュレータを駆動するレギュレータは、そのレギュレータに対する他の要件に加え、リニアレギュレータのドロップアウトにも対処できなくてはならない。この例の場合、3.3V スイッチングレギュレータは、3.3V プレーンに電流を供給すると同時に、自らが駆動する 6 個のリニアレギュレータのドロップアウト電圧にも対処できなくてはならない。

図4. Stratix IV GX の電源ツリー



### 電圧レギュレータの選定

コアロジック (VCC)、PLL のデジタル電源 (VCCD\_PLL)、ハード IP (Intellectual Property) ブロック (VCCHIP) に電力を供給するこの電圧プレーンの例では、電流要件が大きいためスイッチングモードの電源を用いている。この電圧プレーンの消費電流は 7.209A で、見積もり消費電流に 40% のガードバンドを上乗せする 10A スイッチングレギュレータが割り当てられている。

### 結論

FPGA に関連する電圧レールの数により、特定の設計に使用する電圧レギュレータを選ぶ際には、「分離と数量」、「ノイズと性能」のトレードオフを検討する必要がある。電圧レギュレータの選定には多くの要因が絡んでいる。このため、いくつかの要因の中で重要度の高い要因について、設計者が理解しているかどうか、「機能的で効率的な設計になるか」、「高コストで低パフォーマンスの設計になるか」の分かれ目となる。

## References

- *Stratix IV GX Handbook* and Literature:  
(Stratix IV GX ハンドブックおよび資料 : )  
[www.altera.co.jp/literature/lit-stratix-iv.jsp](http://www.altera.co.jp/literature/lit-stratix-iv.jsp)
- Stratix IV GX Pin Out Files and Pin Connection Guidelines:  
(Stratix IV GX ピンアウトファイルおよびピン接続ガイドライン : )  
[www.altera.co.jp/literature/lit-dpcg.jsp](http://www.altera.co.jp/literature/lit-dpcg.jsp)
- Stratix IV GX PowerPlay Early Power Estimators (EPEs) and PowerAnalyzer:  
(Stratix IV GX PowerPlay Early Power Estimators (EPE) および PowerAnalyzer : )  
[www.altera.com/support/devices/estimator/pow-powerplay.jsp](http://www.altera.com/support/devices/estimator/pow-powerplay.jsp)
- *PowerPlay Early Power Estimator User Guide for Stratix III and Stratix IV FPGAs*:  
(Stratix III/Stratix IV FPGA 対応 PowerPlay Early Power Estimator ユーザーガイド : )  
[www.altera.com/literature/ug/ug\\_stx3\\_epe.pdf](http://www.altera.com/literature/ug/ug_stx3_epe.pdf)
- Quartus II software's PowerPlay Power Analyzer:  
(Quartus II ソフトウェアの PowerPlay Power Analyzer : )  
[www.altera.com/products/software/quartus-ii/subscription-edition/qts-se-index.html](http://www.altera.com/products/software/quartus-ii/subscription-edition/qts-se-index.html)



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

Copyright © 2008 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.