

マイクロコントローラを CPLD で置き換える 6 通りの方法

低消費電力 CPLD の登場により、低消費電力電子機器の設計者は、従来マイクロコントローラで実行されていた多くの機能を実装する新しいオプションを持つことができるようになりました。このホワイトペーパーでは、どのような場合にマイクロコントローラの代わりに CPLD を使用する利点があるか、さらに CPLD をマイクロコントローラと組み合わせる意味があるかについて説明します。

はじめに

ポータブル電子機器設計者のグループに、ソフトウェア・プログラムを使用してハードウェア動作を再構成できる低消費電力デジタル・デバイスが存在することを知らせると、10 人中 9 人はそのデバイスは何らかの形のマイクロコントローラであろうと想像します。これは理解できることです。ユビキタスになったマイクロコントローラは、広範囲な機能とパッケージ、様々なソフトウェア開発ツール、アプリケーション・コードの大規模なライブラリが提供されているため、ほぼすべてのタイプのポータブル・アプリケーションで使用されてきました。しかし、低消費電力 CPLD の登場により、従来マイクロコントローラで実行されてきた多くの機能を CPLD で実現する新しいオプションを持つことができるようになりました。

このホワイトペーパーでは、どのような場合にマイクロコントローラの代わりに CPLD を使用する利点があるか、さらにどのような場合に CPLD をマイクロコントローラと組み合わせる意味があるかについて説明します。ここで示す例は、機能と複雑さのレベルに基づいて 3 つのグループに分類されます。1 つめは、ピン・レベルのアプリケーションを中心とする I/O 管理です。2 つめは、複数のデバイス間の種々のインタフェースを中心とするポート管理です。3 つめは、システム・レベルの機能を制御するためにピンまたはポートを使用するアプリケーションを対象とするシステム管理です。

プログラマブル・ロジックに馴染みのない設計者も、CPLD デザインの多くの面が従来型マイクロコントローラによるデザインと似ていることが理解できます。CPLD デザイン・フローを簡単に説明すると次のようになります。

1. デザインは Verilog や VHDL などの高級言語を使用して、ソフトウェア開発ツール内で記述されます。
2. デザインをシミュレーションして、機能を確認します。
3. リソース使用率やタイミング・パスなどの物理的な条件を与えて、デザインを特定の CPLD に「フィット」させます。
4. デザインをシミュレーションして、タイミングを確認します。
5. デザインを物理デバイスに書き込みます。

大きな違いは、マイクロコントローラのチェックを行う優れたイン・サーキット・エミュレータが存在しないことです。プログラマブル技術の特別な意味合いを理解すると、マイクロコントローラの設計者は CPLD デザインを旨く行えるようになります。

マイクロコントローラを CPLD で置き換える例

以下の項では、マイクロコントローラをコスト効率良く CPLD で置き換えることができるアプリケーションの例を示します。

I/O 管理

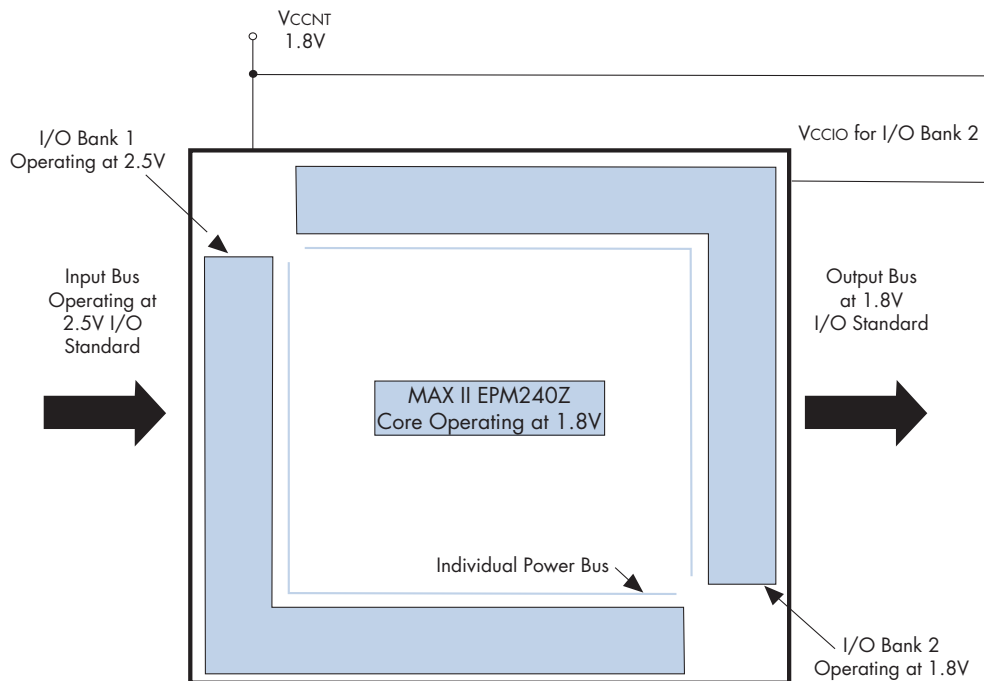
I/O 管理に CPLD またはマイクロコントローラのいずれを使用すべきかを検討する際、必要とされる I/O の数とタイプが重要な 2 つの検討項目になります。マイクロコントローラは小型かつ安価であるという定評があり、実際に設計者が選択できる数多くの小型で安価なマイクロコントローラが存在します。ただし、多数の汎用 I/O を必要とするアプリケーションでは、CPLD の方がマイクロコントローラより経済的なことがあります。小型で安価なマイクロコントローラは一般に、シリアル・ポートだけに限定され、多くの場合数本の汎用 I/O ピンを持つにすぎません。設計者は、I/O 数の多いマイクロコントローラは小型で安価ではないことを理解するようになりました。これに対して CPLD は、I/O 数が増えており、小型の CPLD でも 50 本を超える I/O 数を持つことが普通になりました。例えば、アルテラの MAX[®] IIZ EPM240Z CPLD は 5mm × 5mm のパッケージで、80 本の I/O を備えています。CPLD は I/O 数が多

いという利点の他に、一般にマイクロコントローラより柔軟性が高いという利点があります。幾つかの例外がありますが、CPLD の大部分の I/O はすべての用途に使うことができます。

プログラマブルなレベル・シフト機能

多くの製品で、様々な電圧のロジック・デバイスを使用することが必要とされています。複数電圧のアプリケーションをサポートするために、異なる電圧レベルのデバイスを接続することが頻繁に要求されます。これは、マイクロコントローラを使用して実現することはできません。マイクロコントローラの I/O リソース数は限られており、かつ1種類の電圧源でしか動作しないことが多いためです。これに対して CPLD の I/O 数は多く、複数バンクにグループ化されています。このため、各 I/O バンクを独自の電圧源に割り当てることができます。したがって、電圧レベル・シフトを作成するという事は、2つの電圧を使用するすべての I/O を一つのバンクにグループ分けして、対応する基準電圧をこれらの I/O に必要とされる電源レールに接続するだけで達成されます (図 1)。CPLD を使用してレベル・シフト機能が実現できるという利点の他に、さらに大きな利点をレベル・シフト機能と組み合わせたプログラム性から得ることができます。例えば、LCD ディスプレイを必要とするアプリケーションについて考えてみます。この LCD ディスプレイは、ホスト・プロセッサのサポートがなく、かつ電圧レベルが異なるものとします。CPLD を使用して、ホスト・プロセッサと LCD ディスプレイの間で電圧レベルのシフトによるタイミング制御を実現することができます。

図 1. 電圧レベル・シフト機能に MAX IIZ CPLD を使用



パルス幅変調

パルス幅変調 (PWM) などの機能にマイクロコントローラがよく選択されますが、CPLD を使用して実現することもできます。PWM では、方形波の周期が一定に維持され、信号のハイ・レベル期間が変えられます (変調されます)。したがって、信号のデューティ・サイクル (t_{ON}) が変化します。PWM は、デジタル・システム内でアナログ回路を制御する強力な方法を提供します。ポータブル・アプリケーションで一般的な1つの方法は、PWM を使用して LED の輝度を変えることです。

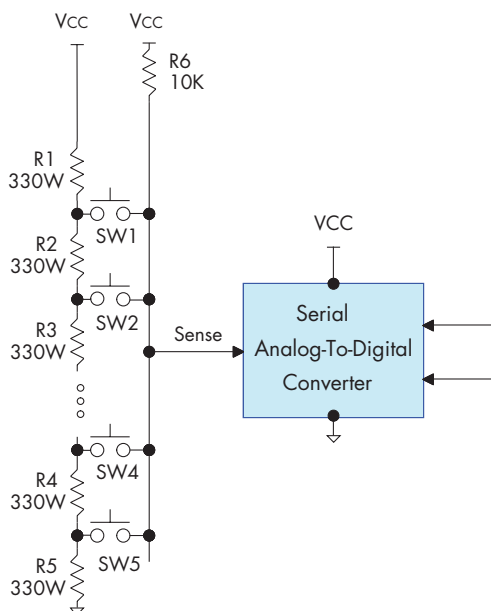
CPLD は専用の PWM 回路を備えていませんが、PWM 出力の実現は容易です。例えば、MAX IIZ CPLD には周波数源として使用できるオシレータが内蔵されているため、カウンタを使用してこの周波数を変調することができます。

A/D コンバータ

A/D コンバータ (ADC) 機能としてマイクロコントローラがよく選択されますが、キーパッド・デコーディングなど、ケースによっては ADC が不要場合があります。

図 2 に、基本的なスイッチ・アレイと ADC を示します。抵抗のセットを V_{CC} と GND の間に直列に接続し、スイッチを各抵抗タップとコモン・ノード間に接続します。スイッチがアクティブにされると、回路が抵抗スタック内のスイッチ位置に比例する電圧を発生します。デジタル・システムで使用するためには、このアナログ信号をデジタル値に変換する必要があるため、マイクロコントローラが ADC を内蔵しているのがよく選択されます。

図 2. アナログ・キー・パッド・アレイ



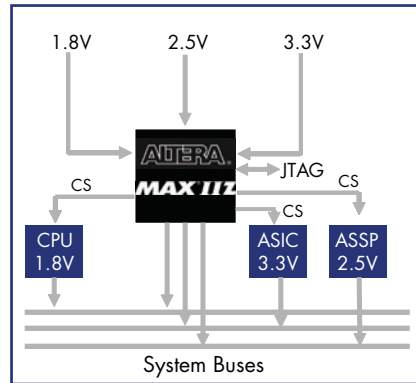
しかし、CPLD も選択することができます。シンプルな低価格コンデンサを外付けし、内蔵のオシレータ、シュミット・トリガ I/O、高集積度の演算プログラマブル・ロジック・ファブリックを使用すると、MAX IIZ CPLD により A/D 変換を実現することができます。(1)

パワー・シーケンス

MAX IIZ デバイスは、多電圧システムのパワーアップやシステム・リセット、チップ・セレクト生成といったパワー・シーケンスなどのシステム管理機能に最適化されています。これらのアプリケーションは、通常 1 つの不揮発性インスタント・オン・デバイスに統合されています。多電圧システムのパワー・シーケンスにおいては、電源投入時に瞬時にオンになり、プリント基板 (PCB) 上の他のデバイスのパワーアップ・シーケンスを管理するデバイスが必要です。従って、マイクロ秒以内でパワーアップする CPLD は、パワーアップにミリ秒かかるマイクロコントローラよりも、パワー・シーケンスに対してより優れた選択肢となります。

図 3 に、一般的な MAX IIZ デバイスのパワーアップ・シーケンス・アプリケーションを示します。ボードの集積度とボード上のパワー・プレーン数が増加するにつれ、パワー・シーケンスの複雑度も同様に増加しています。MAX IIZ CPLD は、すべての複雑化したシステム・レベルでパワーアップ・シーケンスを簡単に管理することが可能です。複数の電源レールで異なるデバイスをサポートします。また、各デバイスの完全なパワーアップ・シーケンスを管理するにはコントロール・ロジックが必要です。パワーアップ中にこれらの信号が誤ってドライブされないように、パワーアップが完了するまで重要なバス信号をコントロールするためにも MAX IIZ デバイスを使用されています。JTAG ポートはパワー・シーケンスをモニタし、パワーアップ時のエラーと情報を保存します。JTAG ポートを使用してパワー・シーケンスにブレイク・ポイントを設定することも可能で、ブレイク・ポイントはデバッグ時に役立ちます。

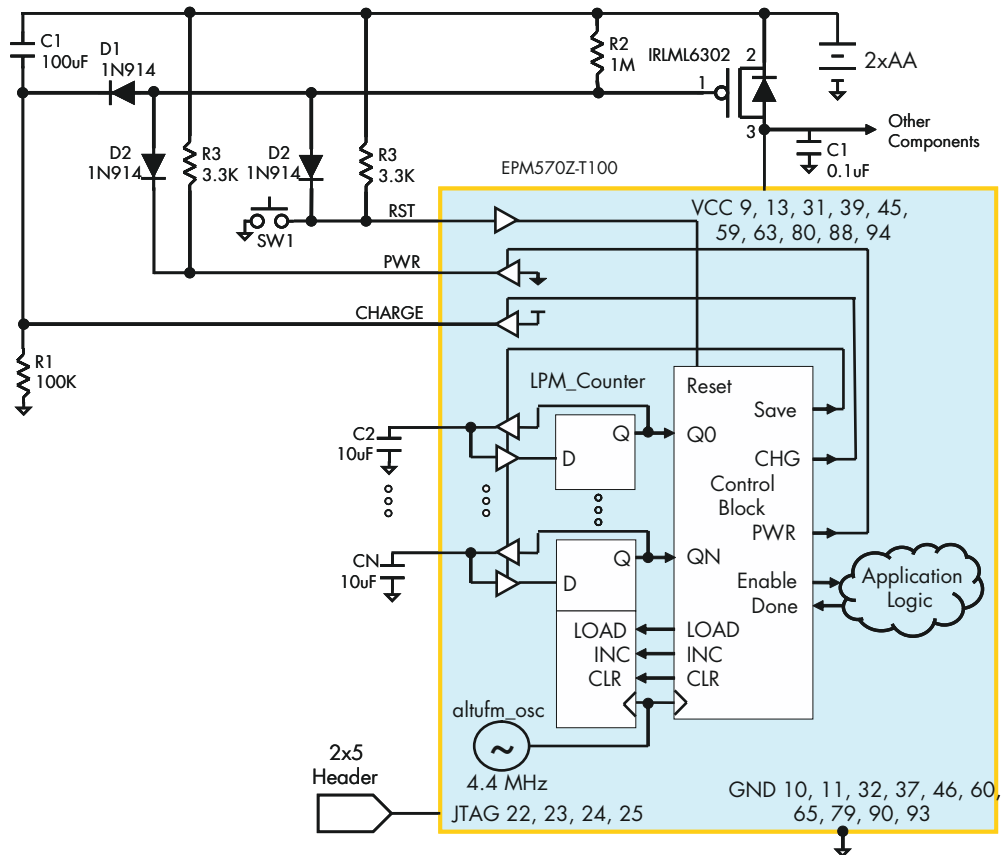
図 3. CPLD を使用したパワー・シーケンス



ウォッチドッグ・タイマ

多くのシステム管理アプリケーションでは、各種のタイマが必要です。設計者は、一般にマイクロコントローラに関係している多くのタイマ機能に CPLD を使用できることを知ると、驚くものと思われます。数個のディスクリート・コンデンサ、抵抗、ダイオード、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) により、一定周期で CPLD をパワーアップさせる、シンプルな抵抗コンデンサ (RC) タイマを採用した回路を作成することができます。図 4 の回路例では、RC 値を選択して 10 秒タイマを作成しています。この基本タイマは、シンプルな不揮発性バイナリ・カウンタの作成に使用する 3 個の外付けコンデンサ (C1、C2、C3) により拡張することができます。これにより、MAX IIZ EPM240Z CPLD 内にロジックの 19% を使用して 10 ~ 80 秒の周期を実装することができます。(2)

図 4. MAX IIZ CPLD 用に、タイマを採用したパワーアップ回路の構成



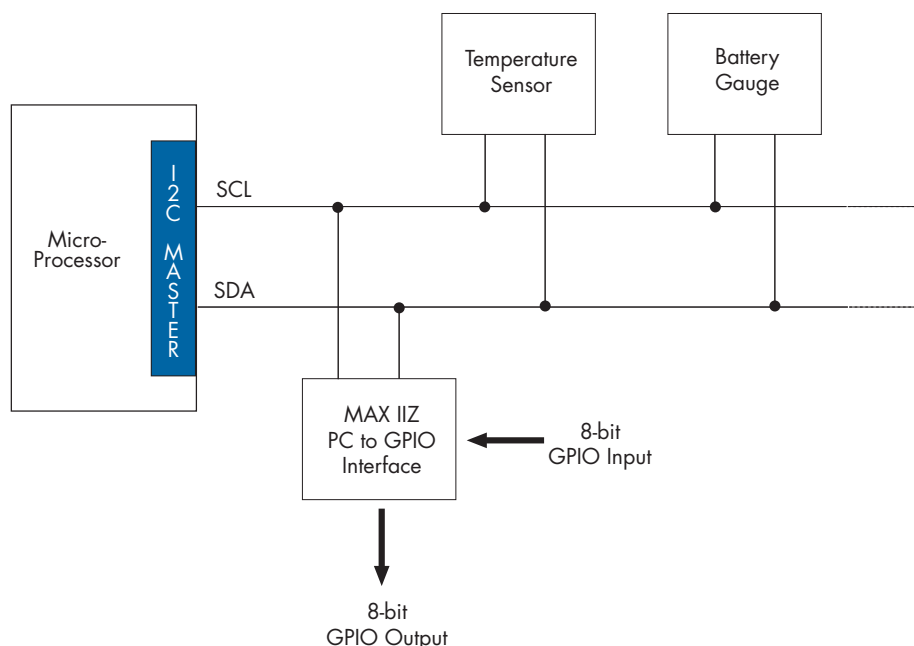
CPLD とマイクロコントローラの協調動作の例

CPLD は、マイクロコントローラと常に競合するとは限りません。次に、CPLD がマイクロコントローラと優れた協調動作を行う幾つかのケースを示します。

GPIO ピンの拡張

汎用 I/O ピンの拡張と呼ばれている一般的なアプリケーションでは、小型で安価なマイクロコントローラのプログラミング機能と CPLD の汎用 I/O リソースを組み合わせ使用しています。I²C や SPI などの使用可能なシリアル・ポートを経由して、マイクロコントローラがアクセスする内部レジスタのセットを CPLD を使用して作成します (図 5)。この方法により、マイクロコントローラは既存の I/O リソースを使用して合計 I/O を増やすことができます。このように I/O 数を増やすことにより、CPLD を電圧レベル・シフト機能に使用することができ、CPLD の用途を増やすことができます。(3)

図 5. GPIO ピンの拡張



ポート管理

ポータブル・アプリケーションの設計者は、異なる I/O インタフェースとデバイスを接続しなければならないことがよくあります。この機能は、異なるインタフェース間でブリッジを形成するのに CPLD を使用するため、ブリッジングと呼ばれることがあります。この項では、次の 3 つのケースについて説明します。

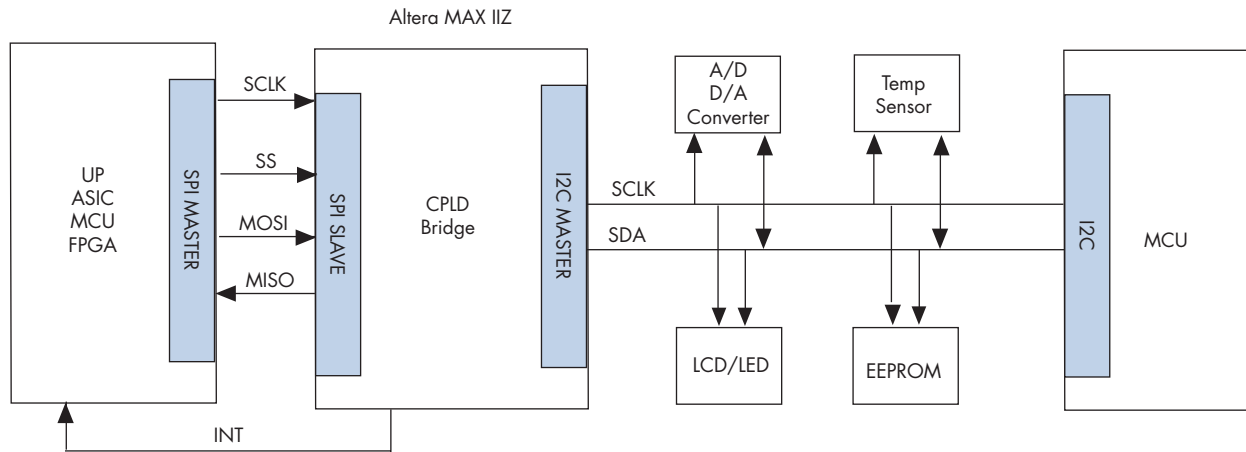
- シリアル-シリアル- I²C から SPI へ
- シリアル-パラレル- SPI デバイス (シリアル) からホスト・プロセッサ (パラレル) へ
- パラレル-パラレル-ホスト・プロセッサから CF+ へ

これらの各例では、CPLD がマイクロコントローラより優れた選択肢である理由が幾つかあります。1 つの理由は、マイクロコントローラにコスト効率良く内蔵できる I/O 数より、多くの I/O 数が必要とされることがよくあります。マイクロコードによる実装では、インタフェースの必要とする性能を満たすことができないこともあります。さらに、CPLD のハードウェアを使用する場合より、マイクロコードで実装する方が負担が大きくなることもあります。

シリアル - シリアル変換

図 6 に、2つの異なるシリアル・インタフェース (I²C と SPI) 間をブリッジする際の CPLD の使用方法を示します。このデザインは、MAX IIZ EPM240Z CPLD 内に実装することができ、使用可能なロジックの約 43% と 6 本の I/O ピンを使用しています。(4)

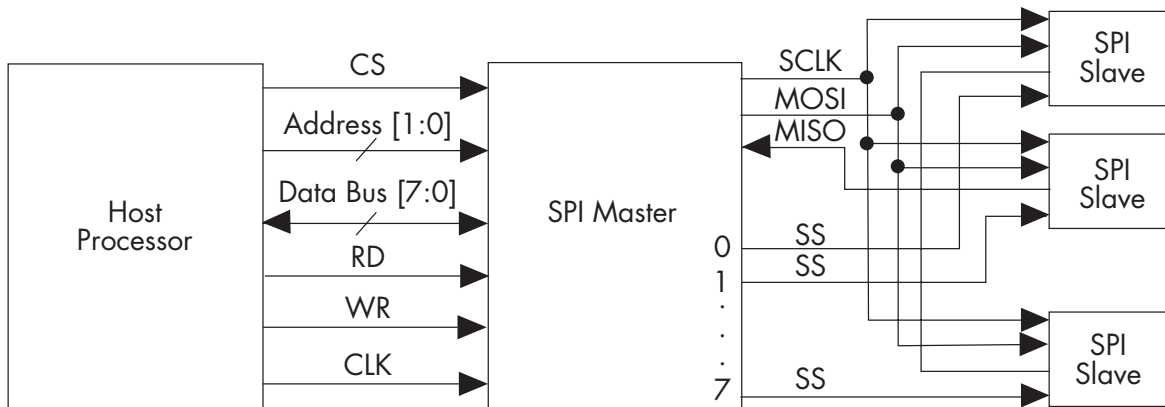
図 6. MAX IIZ CPLD を使用した I²C-SPI 間のインタフェース



シリアル - パラレル変換

図 7 に、CPLD を使用してこのシリアル - パラレル・インタフェースを実装した、SPI マスタにインタフェースするホスト・プロセッサを示します。この例では、ホスト・プロセッサ・バス・インタフェースと SPI マスタ全部を構成し、MAX IIZ EPM240Z CPLD 内に実装することができます。使用可能ロジックの約 30% と 25 本の I/O ピンを使用しています。(5)

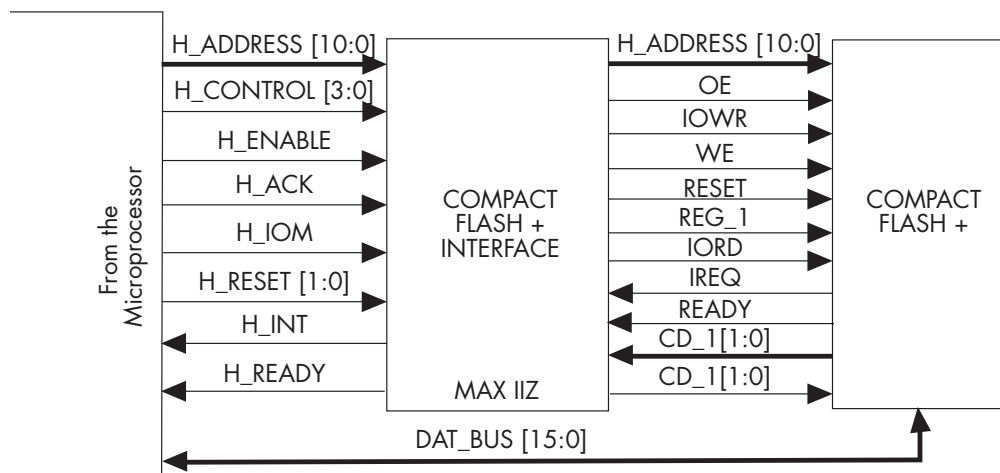
図 7. MAX IIZ CPLD を使用したホスト・プロセッサ -SPI 間インタフェース



パラレル - パラレル変換

図 8 では、CPLD を使用して 2 つの異なるパラレル・インタフェース間をブリッジしています。この例では、Compact FLASH+ デバイスに対するホスト・プロセッサ・バス・インタフェースを実装しています。これは、使用可能ロジックの約 54% と 45 本の I/O ピンを使用して、MAX II EPM240Z CPLD 内に実装することができます。(6)

図 8. MAX IIZ CPLD を使用したホスト・プロセッサ -CF+ 間インタフェース



まとめ

これまで、低消費電力電子機器に使用できる唯一の「プログラマブル」ロジックは何らかの形のマイクロコントローラでしたが、低消費電力 CPLD の登場により、ポータブル・アプリケーションに対する新しいオプションが加わりました。このホワイトペーパーでは、これまでマイクロコントローラで実現されてきた機能を置き換え、または強化するために、ポータブル・アプリケーションで低消費電力 CPLD を使用する方法について複数の例を示しました。結果として、低消費電力電子機器の設計者は、ポータブル・アプリケーションの問題解決に別の手段も持つことになり、技術革新的な製品を作成する際に最適デバイスを選択できるようになります。

参考文献

1. AN 426: MAX II CPLD を使用したアナログ・キーボード・エンコーダ:
www.altera.co.jp/literature/an/an426_j.pdf
2. AN 491: Auto Start Using Altera MAX II CPLDS:
www.altera.co.jp/literature/an/an491_j.pdf
3. AN 494: GPIO Pin Expansion Using I²C Bus Interface in an Altera MAX II CPLD:
www.altera.co.jp/literature/an/an494_j.pdf
4. AN 486: SPI to I²C Using MAX II CPLDS:
www.altera.co.jp/literature/an/an486_j.pdf
5. AN 485: Serial Peripheral Interface (SPI) Master in Altera MAX II CPLDS:
www.altera.co.jp/literature/an/an485_j.pdf
6. AN 492: CF+ Interface Using Altera MAX II CPLDS:
www.altera.co.jp/literature/an/an492_j.pdf

詳細情報について

- MAX II CPLD を使用したポータブル・アプリケーションにおけるトータル・システム・コストの削減:
www.altera.co.jp/literature/wp/wp-01001-reduce-total-system-cost-in-portable-apps-using-max_j.pdf
- Using Zero-Power CPLDs to Substantially Lower Power Consumption in Portable Applications:
www.altera.co.jp/literature/wp/wp-01042-using-zero-power-cplds-to-lower-power-in-portable_j.pdf
- AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理:
www.altera.co.jp/literature/an/an422_j.pdf
- 無償の Quartus[®] II Web Edition デザイン・ソフトウェア:
www.altera.co.jp/support/software/download/altera_design/quartus_we/dnl-quartus_we.jsp
- MAX II 開発キット:
www.altera.co.jp/products/devkits/altera/kit-maxii-1270.html
- デザイン例およびアプリケーション・ノート:
www.altera.co.jp/support/examples/max/exm-max.html

謝辞

- Rafael Camarota, Senior Manager, HardCopy Product Group, Altera Corporation
- Denny Steele, Senior Manager, Low-Cost Products Group, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.