

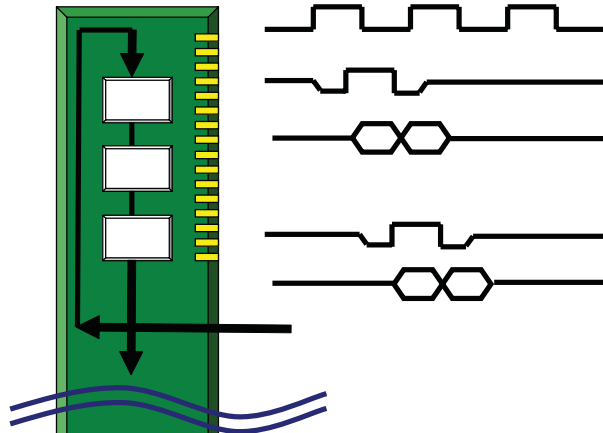
## DDR3 SDRAM メモリ・インタフェースのレベリング手法の活用

### はじめに

DDR3 SDRAM メモリ・アーキテクチャは、600 Mbps ~ 1.6 Gbps (300 ~ 800 MHz) のバス速度、低消費電力のための 1.5V 動作、および 90 nm プロセス上に 2 Gbit の高集積度を実現することで広い帯域幅をサポートします。このアーキテクチャが、高速、大容量かつビットあたりの消費電力が低いことに疑いの余地はありませんが、どのようにして DDR3 SDRAM DIMM を FPGA にインタフェースするのでしょうか？ キーワードはレベリングです。レベリング機能を FPGA I/O 構造に直接組み込まないで、何かを DDR3 SDRAM DIMM にインタフェースしようとする、複雑でコストが高く、しかも多くの外付け部品が必要になります。では、レベリングとはどのようなもので、なぜ重要なのでしょうか？

シグナル・インテグリティを改善してより高い性能をサポートするために、JEDEC はクロックおよびコマンド / アドレス・バスのためのフライバイ終端を定義しました。図 1 に示すとおり、このフライバイ・トポロジーによって、同時スイッチング・ノイズ (SSN) は減少しますが、クロックおよびアドレス / コマンド信号が DIMM を通過するときに、すべての DRAM でクロックとデータ / ストローブ間にフライト・タイム・スキューが発生します。

図 1. DDR3 SDRAM DIMM: フライト・タイム・スキューにより SSN が減少し、データはコントローラ側で 2 クロック・サイクルまでに均一化する必要がある



このフライト・タイム・スキューは、データが 2 つのクロック・サイクルのうちのどちらで返ってくるか判別できない程度の 0.8 tCK まで大きくなる可能性があります。このため、コントローラがバイト・レーンごとにタイミング調整をしてこのスキューを補償できるように、JEDEC によって DDR3 メモリに対して「レベリング」機能が定義されました。

最新の FPGA は、デスクトップ、サーバ、ストレージ、LCD ディスプレイ、ならびにネットワークおよび通信装置などの幅広いアプリケーション向けに、ダブル・データ・レート SDRAM メモリにインタフェースする多数の機能を提供します。しかし、最新の DRAM テクノロジーである DDR3 SDRAM と連携して動作するには、堅牢なレベリング方式が要求されます。

### FPGA の I/O 構造

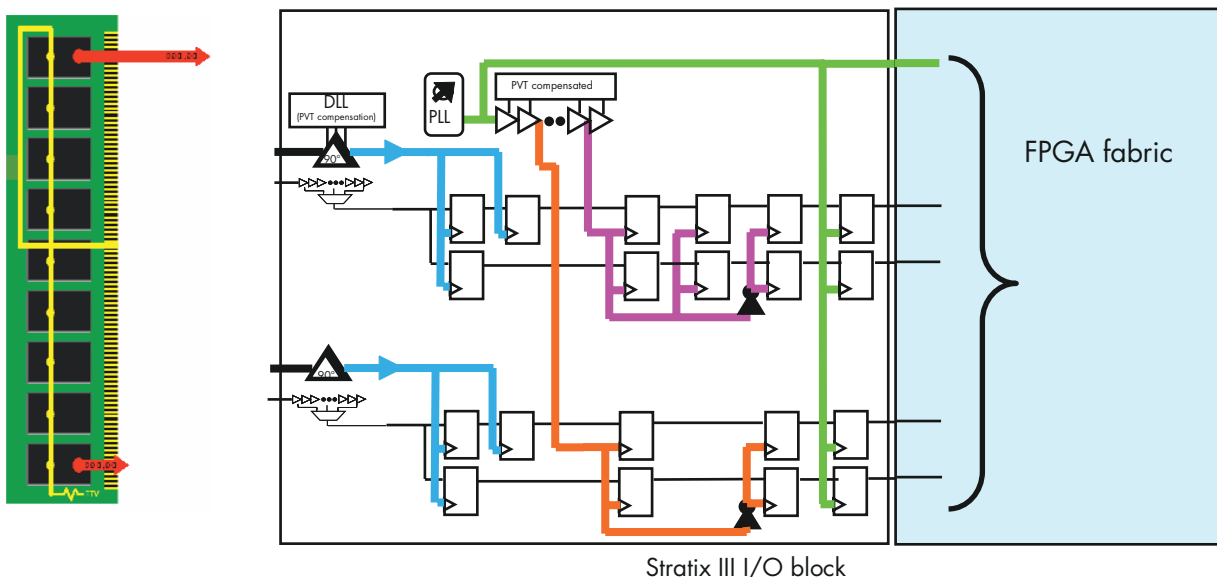
最近発表されたアルテラの Stratix® III デバイス・ファミリーなどの FPGA は、高速度でより柔軟性に富む I/O を提供して、既存および新たに登場する外部メモリ規格をサポートします。

### リード・レベリング

メモリ・コントローラ側は読み出し中には、リード・サイクルに影響を与えるフライ・バイ・メモリ・トポロジーによって生じる遅延を補正する必要があります。レベリングをデータ・パスに生じる単なる I/O 遅延と考えてはなりません。全データをレベリングまたはアラインメントするには、1T およびネガティブ・エッジ・レジスタも必要です。

各 DQS は、再同期クロック・ポジション（PVT 補償された）について個別に位相シフトが必要です。図 2 に、同じリード・コマンドに対して DIMM から戻る 2 つの DQS グループを示します。

図 2. Stratix III I/O エLEMENT における 1T、ネガティブ・エッジおよびレベリング・レジスタ



最初に、個々の DQS が公称 90 度位相シフトされ、そのグループに関連する DQ データがキャプチャされます。次に、自走再同期化クロック（DQS と同じ周波数および位相で）を使用して、データをそのキャプチャ・ドメインからレベリング回路に転送します。図 2 にピンクとオレンジのリンクで示します。この段階で、各 DQS グループには個別の再同期化クロックが存在します。

次に、DQ データは 1T レジスタに渡されます。図 2 に、特定の DQS グループで DQ データ・ビットを遅延させるために上位チャンネルに必要な 1T レジスタの一例を示します。この例で、下位チャンネルでは 1T レジスタは不要であることに注意してください。このプロセスは上位チャンネルの下位チャンネルへのアラインメントを開始します。任意のあるチャンネルに 1T レジスタが必要かどうかは、無償 PHY IP コアでのキャリブレーション方式の一部として自動的に決定されます。

次に、両方の DQS グループがネガティブ・エッジ・レジスタに送られます。繰り返しますが、オプションのレジスタを挿入するしないは、スタートアップ時に自動キャリブレーション・プロセスにより行なわれます。最終ステージは、上位および下位の両チャンネルを同一の再同期化クロックにアラインメントすることです。こうして、完全にアラインメントまたはレベリングされたシングル・データ・レート（SDR）データを FPGA ファブリックに転送するソース・シンクロナス・インタフェースを作成します。

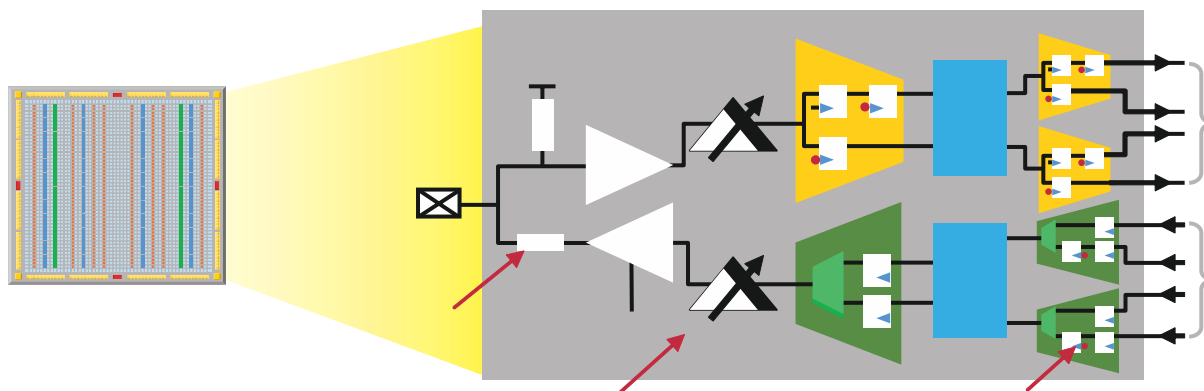
### ライト・レベリング

方向は逆ですがリード・レベリングと同様に、DIMM 上のデバイスに到達するクロックに一致するよう、別々の時刻に DQS グループが起動されますが、 $\pm 0.25$  tCK の tDQSS パラメータに適合する必要があります。

### その他の FPGA I/O の技術革新

図 3 に示すとおり、ハイエンド FPGA は、その他多くの革新的 I/O 機能を搭載しており、それによってダイナミック・オンチップ・ターミネーション（OCT）、可変 I/O 遅延、およびハーフ・データ・レート（HDR）機能などの多様なメモリ・インタフェースへの簡単で確実なインタフェースが可能で、このホワイトペーパーの残りの部分では、これらの機能を（左から右に）説明しますが、ステップごとに各機能を詳細に検討します。

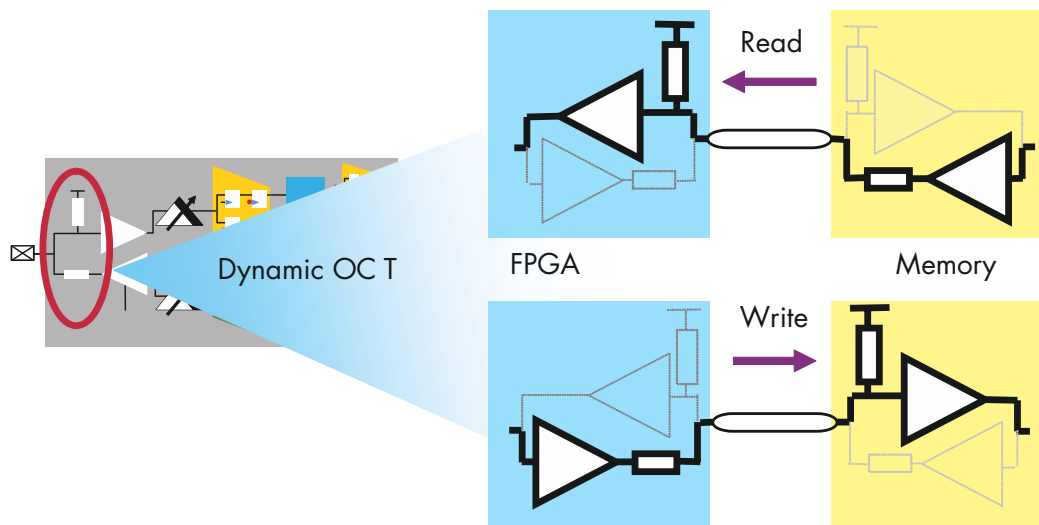
図 3. DDR3 SDRAM メモリ・インタフェースにとって有用な I/O 機能



### ダイナミック OCT

並列および直列 OCT はリード・バスとライト・バスの両方に適切なライン終端とインピーダンス・マッチングを提供します。これによって FPGA 側での外部抵抗が不要になり、外部部品のコスト、基板スペース、および配線の複雑さが低減します。さらに、ライト動作時に並列終端が回路から効果的に切り離されるため、消費電力が大幅に低減されます。図 4 に、リード動作とライト動作の両方での終端を示します。

図 4. ダイナミック OCT - リードおよびライト動作



### DQ デスキューのための可変遅延

可変入力および出力遅延 (図 5) を配線パターン長のミスマッチおよび電氣的デスキューに対して使用することができます。表 1 に示すとおり、入力および出力遅延の微細分解能 (つまり、50 ピコ秒 (ps) ステップ) を使用して、ボード長のミスマッチまたは FPGA の I/O バッファおよびメモリ・デバイスのバラツキのいずれかによって発生する DQS との間のスキューをより細かく除去 (レベリング機能とは別) することができます。最終的には、これによって各 DQS グループのキャプチャ・マージンが増大します。

図 5. I/O エLEMENTにおけるスタティックおよびダイナミック遅延

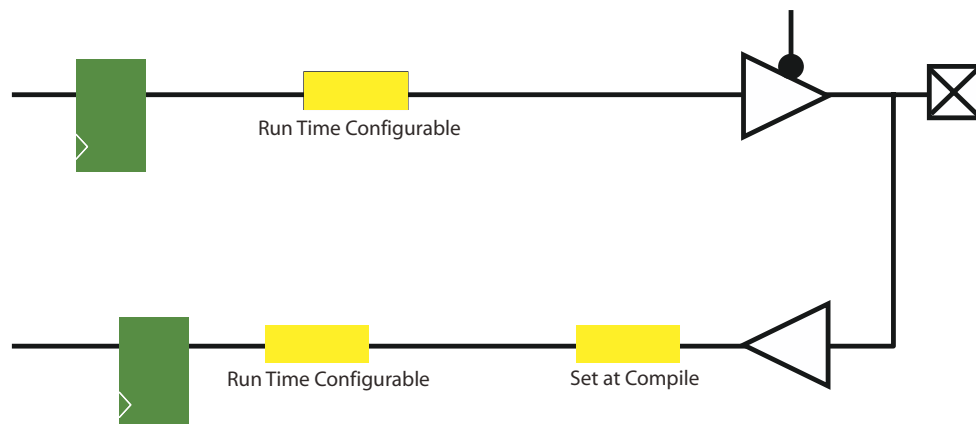
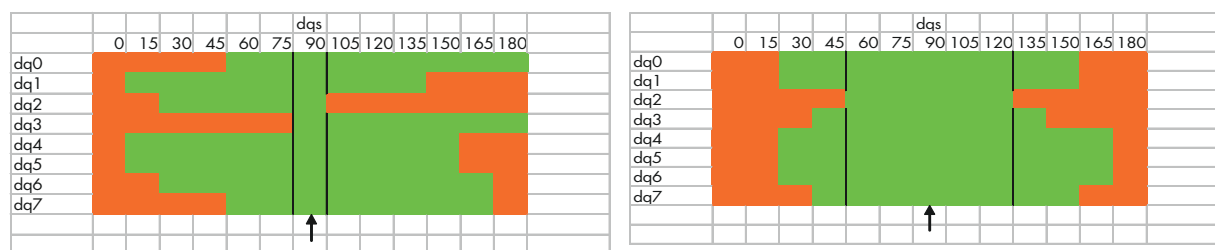


表 1. FPGA の I/O 遅延

パス	可変	スタティック	スタティック	合計
入力	750 ps	350 ps	2,800 ps	3,900 ps
	50 ps	50 ps	400 ps	
パス	可変		I/O バッファ	合計
出力	1,100 ps		150 ps	1,250 ps
	50 ps		50 ps	

起動時キャリブレーション・プロセスの一部として自動 DDR3 デスキュー・アルゴリズムを実行するために、動作時に FPGA ファブリックから遅延エレメントを獲得することができます。図 6 に、DQ データをデスキューして DQS の中心に配置し、余分なキャプチャ・マージンを確保できるようにする様子を示します。出力遅延を使用して、出力パスに小さなスキューを挿入して、同時に切り替わる I/O 数を意図的に少なくすることもできます。

図 6. 90 度位相シフトした DQS を中心とする DQS グループ内における概念的な DQ デスキュー



### 信頼性の高いキャプチャ

DQS 信号は入力ストロブとして働くため、リード・トランザクションをキャプチャするための最適な位置にシフトする必要があります。位相シフト回路 (図 7 に示す) は、DLL の周波数モードに応じて、着信する DQS 信号を 0°、22.5°、30°、36°、45°、60°、67.5°、72°、90°、108°、120°、135°、144°、または 180° シフトすることができます。シフトされた DQS 信号は、I/O エLEMENT 入力レジスタでクロックとして使用されます。

図 7. DQ キャプチャ回路

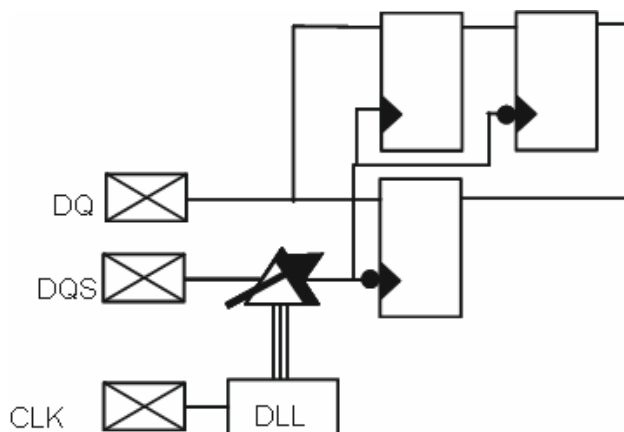
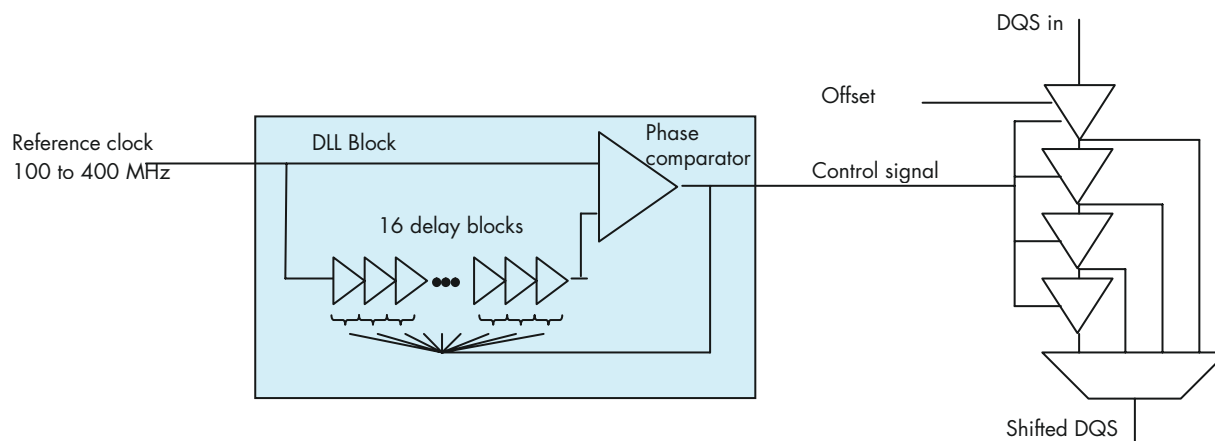


図 7 に示す DLL (Delay-Locked Loop) は、PVT での固定位置における位相シフトを維持します。図 8 に、DLL と位相シフト回路の関係を示します。

図 8. DLL と DQS 位相シフト回路

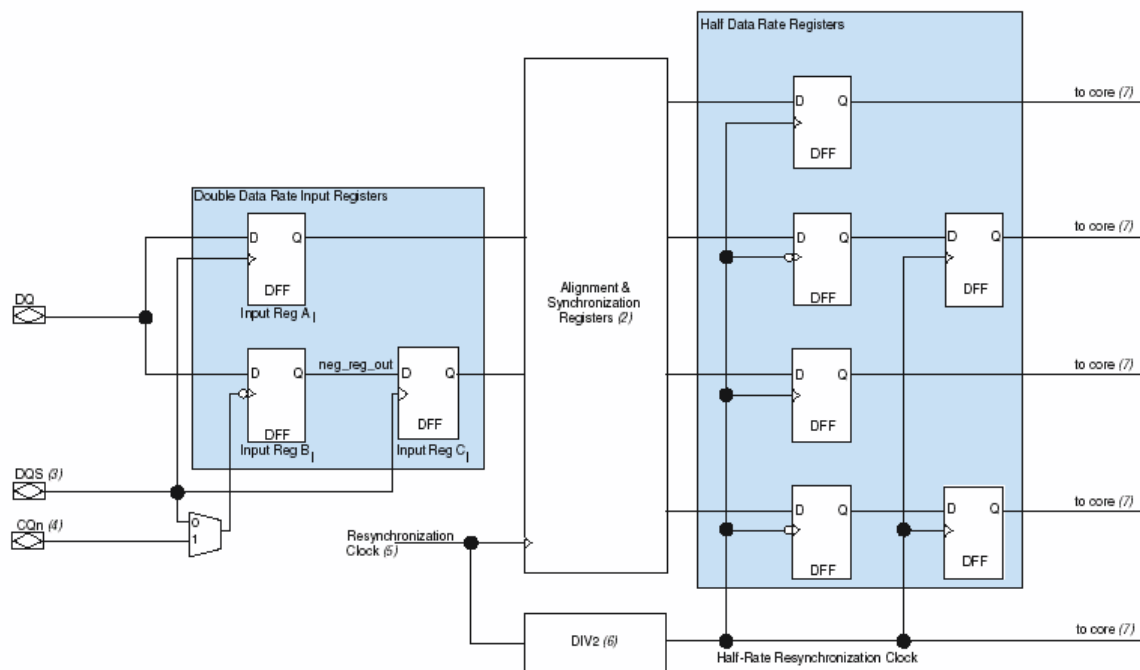


DLL は、周波数リファレンスを使用して各 DQS ピンの遅延チェーンに対してコントロール信号を動的に生成し、それによって PVT のバラツキに対する補償を可能にしています。StratixIII デバイスには 4 つの DLL があり、それぞれデバイスのコーナーに位置しています。各 DLL はデバイスの 2 つのサイドに到達可能なため、デバイスのすべてのサイドにある複数の DDR3 SDRAM メモリ・インタフェースをサポートできます。

### 高速データ・レート・ドメインのクロッシングとデザインの簡素化

DDR キャプチャ・レジスタと HDR レジスタによって、ダブル・データ・レート・ドメイン (クロックの両エッジにデータがある) から、SDR ドメイン (同じ周波数でデータ幅が 2 倍クロックの 1 つのポジティブ・エッジにデータがある)、HDR ドメイン (クロックのポジティブ・エッジにデータがあるが、周波数は SDR の 1/2 でデータ幅はさらに 2 倍) までの安全なデータ転送が可能で、内部デザイン・タイミングの達成がはるかに容易になります。図 9 に、以上の各種データ・レート・ドメインを DQ データが移動する様子を示します。

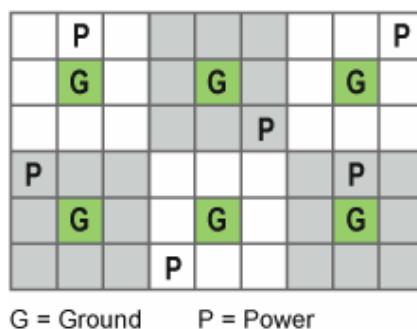
図 9. Stratix III の入力パス・レジスタ



### ダイ、パッケージ、およびデジタル・シグナル・インテグリティの機能強化

FPGA ダイおよびパッケージの設計では、高性能メモリ・インタフェースに対して、堅牢なデジタル・シグナル・インテグリティが要求されます (すなわち、図 10 に示すとおり、ユーザ I/O に対するグラウンドと電源の比率が 8:1:1 で、信号リターン・パスが最適化されたもの)。また、設計時に OCT、可変スルー・レート、およびプログラマブル・ドライブ能力を使用して、信号品質を正しく管理する必要があります。

図 10. 各電源およびグラウンドに対して 8 つのユーザ I/O



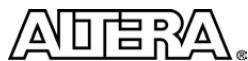
### まとめ

高性能 FPGA は、システム・デザインにおいて、高いメモリ帯域幅、改良されたタイミング・マージン、および高い柔軟性を提供することによって DDR3 SDRAM DIMM を補完します。FPGA と DDR3 SDRAM の組み合わせは、今日の通信、ネットワークング、およびデジタル信号処理システムの高スループット要件をサポートします。

### 謝辞

- Paul Evans, Product Marketing Manager for Stratix III FPGAs, High-End FPGA Products, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.