

FPGA によるハイ・パフォーマンス・コンピューティングの高速化

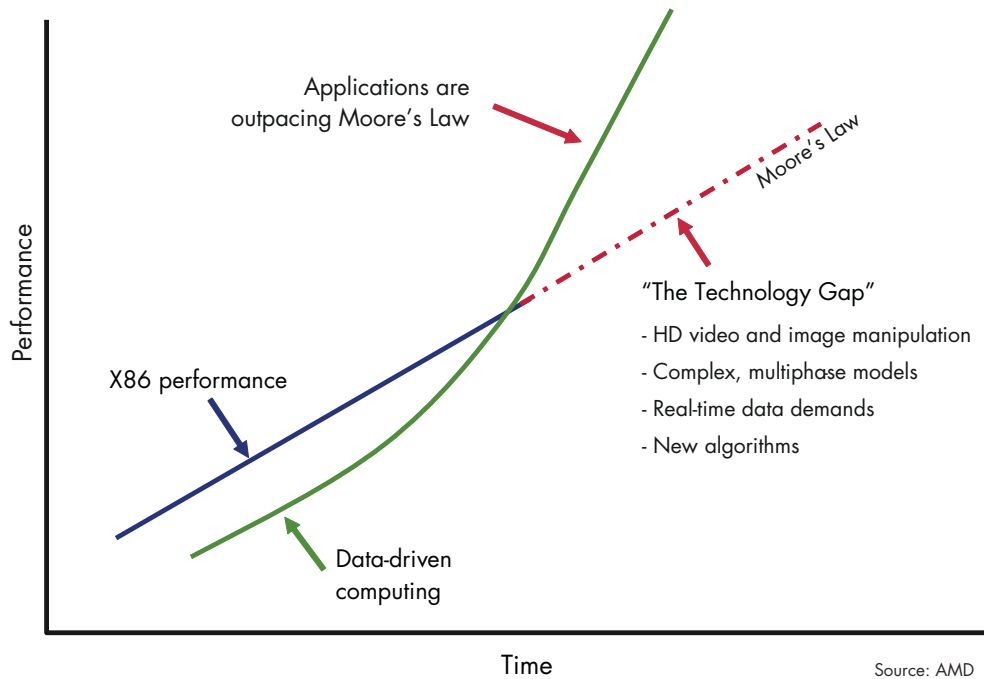
はじめに

アプリケーションの要求は、従来のプロセッサの能力を上回ってきています。これに対するソリューションは、特定用途向けのコプロセッサを使ってプロセッサを強化するハードウェア・アクセラレーションです。コプロセッサ・デザインのベースとしてFPGAを使用することにより、価格、性能、使いやすさ、大幅な消費電力の削減の適切な組み合わせが実現されます。

マイクロプロセッサは、約40年前に考案されて以来大幅な性能の進歩を遂げました。この数十年間に性能は約18ヶ月ごとに2倍になり、この傾向は「ムーアの法則」と呼ばれています。その結果、プロセッサは玩具に近いものから、有名になったCray-1スーパーコンピュータの性能を上回るデバイスにまで成長しました。

プロセッサは進歩の新しい段階ごとに複雑さを増して、アプリケーションの厳しい要求を実現可能にしてきたため、次の段階に対するユーザの期待を膨らませるようになりました。マイクロプロセッサの歴史の多くの部分では、プロセッサの進歩に応じてアプリケーションの要求が大きくなったので、プロセッサは要求の前を歩んでいました。しかし、この数年間に状況が変わりました。ハイ・パフォーマンス・コンピューティング (HPC) アプリケーションの要求は、プロセッサ単独で提供できる性能を上回るようになり、要求と性能との間にテクノロジー・ギャップが発生しました (図1)。

図1. 業界の状況: テクノロジー・ギャップ



アプリケーションの要求のこの大幅な増加には多くの理由があります。1つの例としてはファイナンシャル・アナリティクスがあります。ここでは、証券会社がアプリケーションを高速化して、市場での競争力を高めるための金融オプションを挙げます。金融アプリケーションを高速化すると、証券会社は競争相手より正確に取引を高速化することができます。アプリケーションの高速化により、金融トレーダは良い結果を迅速に達成して、証券会社に大きな利益をもたらします。必要な性能強化を実現するためには、すべての部門で一斉に向上させるのに大幅な処理能力の向上が必要となるので、少なくとも2倍の処理能力を実現する必要があります。

多くの従来型アプリケーションでは、組み込む複雑なアルゴリズムが増えるため、プロセッサへの要求が増えていきます。例えば、通信での符号化と復号化 (CODEC)、データの圧縮と保管、暗号のアルゴリズムは、アプリケーションの機能を強化するために大幅に複雑になりました。この内のいくつかは、自ら加速する複雑さのスパイラルに陥って

いるものもあります。例えば、セキュリティでは、ハッカーが既存の対策を回避する方法を学習するので、さらに強力な暗号が要求されます。

性能限界を押し広げるアプリケーション

多くの新しいアプリケーションも登場して、性能スレッシュホールドが満たされると広く採用されるようになりました。処理能力が十分高いレベルに到達し、解像度の向上要求が続くと、超音波、CT (Computer-aided Tomography) スキャンニング、MRI (Magnetic Resonance Imaging) などの医用画像処理が登場しました。同様に、科学的なシミュレーションとモデルリングも登場して主流になり、モデル化の複雑さは増し続けています。さらに、金融サービス業界では HPC を採用して、取引上の意思決定にモデルとシミュレーションを使ったリアルタイム支援を提供しています。

これらの他に、能力強化に対する要求は、結果を迅速に得ることへの要求でもありました。これは、アプリケーション性能の新しい基準線を設定するユーザの膨らむ期待によるところもあります。ユーザはアプリケーションの高速化は続くという期待を持つようになり、応答性が悪いことに不寛容になりました。しかし、別のさらに強力な、現在の能力を強化させる圧力は、計算スピードが提供できる競争力の面から来るようになりました。例えば、遺伝子ベースの医学研究では、シミュレーション結果を迅速に得る能力が勝者と敗者を決定します。金融マーケットのコンピュータ制御によるデリバティブ取引では、ミリ秒が百万ドルの損益をもたらすことがあります。高い性能が高い収益と同意義となることがあるため、マーケットはプロセッサが対処できるようになることを待ってられません。

性能要求がムーアの法則を超えるようになって、プロセッサの進歩は停滞し始めました。この 40 年間に見られた性能強化の多くは、半導体技術の進歩によるもので、スループットとシステム性能が向上してきました。しかし、このような技術スケールは、ハード的な限界に到着しつつあります。回路が複雑になるにつれて、デザイン当たりの開発コストが数百万ドルを要するようになり、新しい生産能力の立ち上げにはプラント当たり数十億ドルを要するようになりました。クロック・スピードが大きくなると、デバイスの消費電力も大きくなり、熱を十分高速に除去できないレベルに達しています。

幸運なことに、プロセッサの性能を向上させることだけが、アプリケーションの要求増に対処する唯一の方法ではありません。特定用途向けのコプロセッサによるプロセッサの強化は、性能不足を解消する有効な手法であることが長い間実証されてきました。このようなコプロセッサの採用は、モデムやイーサネット・コントローラなどのような特化した I/O 処理から始まり、ディスプレイ要求の増加によるグラフィック描画エンジンやセキュリティを強化する暗号エンジンの採用にまで拡大しています。汎用コプロセッサも増加しています。最初は乗算と除算を扱う演算アクセラレータの形式で登場しました。次に、デジタル信号プロセッサが、演算ハードウェアを内蔵し、パイプライン構造とパラレル構造を持つ新しいアーキテクチャを採用することにより、複雑な数学的アルゴリズムを処理するようにデザインされたコプロセッサとして登場しました。

このように特化した構造は問題の 1 つの側面のみに対処するため、まったく今日のテクノロジー・ギャップに対する答えになっていません。これは、プロセッサ性能が多くの目的に対して十分であり、かつコストと利点によりコプロセッサに価値があった特定のアプリケーションで支援機能としてのみ使用されていた過去には、許容できるものでした。今日のテクノロジー・ギャップに対処するためには、従来型コプロセッサが提供した属性より広範囲なセットの属性が必要です。さらに、デザインではデジタル信号プロセッサのようなソフトウェア・ベースの実装を回避する必要があります。これらはメイン・プロセッサと同じスケール限界に直面するためです。

必要とされる特定用途向けコプロセッサ

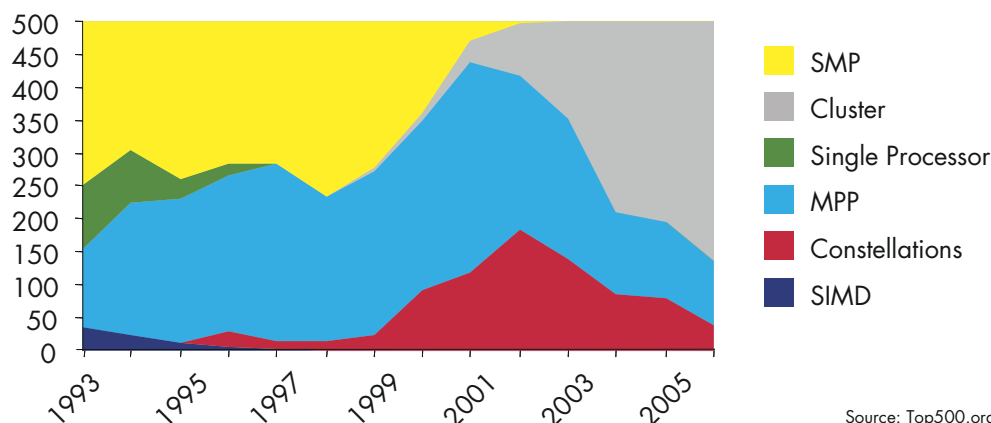
今日の理想的なコプロセッサは、3 つの主要な機能を提供するハードウェア・ベースのデザインである必要があります。1 つ目は、アプリケーションは何であろうと、アプリケーション内の重要プロセスに対して特定のハードウェア・アクセラレーションを提供する必要があることです。2 つ目は、性能要求の増加に合わせられるように、コプロセッサ・デザインの性能をパイプライン構造やパラレル構造を使ってスケラブルにすることです。3 つ目は、コプロセッサがメイン・プロセッサとシステム・メモリに対して広帯域かつ低レイテンシのインタフェースを提供することです。

ハードウェア要件の他に、理想的なコプロセッサは HPC マーケットの性能 (Performance)、生産性 (Productivity)、消費電力 (Power)、および価格 (Price) の「4P」を満たす必要があります。HPC マーケットでの性能要求は、単に個別ステップではなくアルゴリズム全体のアクセラレーションであり、理想的にはアプリケーション全体のアクセラレーションです。生産性の要求は、エンド・ユーザから求められます。コプロセッサは既存のコンピュータ・システムに容易にインストールでき、さらに既存のアプリケーション・ソフトウェアを高速化するようにシステムを設定する簡単な方法を提供する必要があります。

HPC マーケットでの消費電力の要求は、消費電力によってコンピュータ・システムの設置と使用に課せられる制約から発生します。多くのユーザでは、コンピュータに使用できるスペースは固定されています。コンピュータ・システムの消費電力が小さいほど、スペースを適切な温度制限内に維持する冷却能力は小さくて済みます。したがって、コプロセッサの消費電力が小さいほど、コンピュータ・システムの運用コストが低くなること、またはスペースに設置できるコンピュータ・システムが多くなることを意味します。

HPC マーケットでは、価格はますます重要な要素になっています。10 年前には、シングル・プロセッサが提供できる性能を超えた性能を必要とする少数のアプリケーションは、MPP (Massively Parallel Processing) や SMP (Symmetric Multiprocessing) のような特化したアーキテクチャを採用していました (図 2)。しかし、このようなシステムは、カスタム・プロセッサ・エレメントや独自のデータ・パスウェイの使用を必要とするため、その構築とプログラムの費用は高価でした。

図 2. HPC アーキテクチャのクラスタ・コンピューティングへのシフト



Source: Top500.org

注:

(1) SMP = symmetric multiprocessors, MPP = MOTIVE model compilation, and SIMD = single instruction multiple data

今日の HPC マーケットは、コスト / パフォーマンスの優れたクラスタ・コンピューティング手法を支持して、このような高価な手法を断念しています。クラスタ・コンピューティングでは、Intel 社や AMD 社が提供するような標準アーキテクチャ、Gigabit Ethernet や InfiniBand のような業界標準のインタコネク、低価格の Linux オペレーティング・システムで動作する C 言語アプリケーションのような標準プログラミング言語を使っています。次に、今日のコプロセッサ・デザインは、クラスタへのノード追加と同等のコスト・ポイントでクラスタ・コンピューティング環境にスムーズに組み込めることが必要です。

特定用途向けハードウェア・アクセラレーションを提供するコプロセッサをデザインすることは、これらのマーケット状況のもとでは大きな問題となります。開発者は過去において、グラフィック・コントローラやイーサネット・コントローラなどの一般的な各アプリケーション領域に対して異なるコプロセッサをデザインすることによりアプリケーションの要求に対処してきましたが、長い開発時間と高い開発コストにより、この手法が不可能になりました。これは、多くのアプリケーションで見返りが少な過ぎて、ユーザが待つことができなくなったためです。さらに、アプリケーションが必要とするアクセラレーションの多様性と既存コンピューティング・クラスタへの組み込みがスムーズであるべきことにより、従来型の手法はコスト的に不可能になってしまいました。

最適実装を可能にする FPGA パワー

各アプリケーション要求に対して異なるコプロセッサをデザインする別の方法があります。各アプリケーションの要求に合わせてコンフィギュレーションできる FPGA を使う方法です。プロセッサを性能限界まで到達させた同じ半導体技術の進歩が、FPGA をシンプルなグルー・ロジックの集合から高機能なプログラマブル・ファブリックへ変化させました。FPGA は、HPC マーケットの「4P」に十分対応できる能力を持っています。

今日の FPGA は、非常に大きな潜在的な性能を提供します。深さが可変なパイプライン構造をサポートし、何千もの並列計算リソースを提供できるため、非常に複雑なファンクションでもシングル・クロック実行で実現することができます。FPGA のプログラム性により、カスタム・コプロセッサをデザインする際のコストと時間が不要になり、アプリケーションの特定の要求に合わせて FPGA を変えることができます。さらに FPGA がリプログラマブルである

場合には、広範囲なアプリケーションに対して、コプロセッシングの高度なカスタマイズをシングル・チップで提供することができます。

FPGA 内にオンボード・メモリを持つことも、大きな性能上の利点です。ある人にとっては、メモリをチップに内蔵することは、コプロセッサ・ロジックのメモリ・アクセス帯域幅がデバイスの I/O ピン数に制約されないことを意味します。さらに、メモリがアルゴリズム・ロジックに密に結合されているため、外部高速メモリ・キャッシュの必要性が少なくなります。このために、消費電力の大きいキャッシュのアクセス問題とコヒーレンシ問題を回避することができます。また、内部メモリの使用は、コプロセッサにとってアクセス可能なメモリ・サイズを増やすために I/O ピンの追加が不要になることを意味し、デザインのスケールアップが簡素化されます。FPGA の規模が大きくなって、従来のデバイスと同じボード・フットプリントを使用することができるため、ボードの変更なしに性能のアップグレードが可能になります。

今日の高性能 FPGA (アルテラの Stratix® III FPGA ファミリー) で使用可能な構造とリソースにより、広範囲なアプリケーションのハードウェア・アクセラレーション・コプロセッサとして機能することができ、大幅な性能強化を提供します。表 1 に示すように、FPGA ベースのコプロセッサによる実績は、プロセッサ単体に比べてアルゴリズムの実行スピードが少なくとも 10 倍に向上していることを示しています。100 倍を超える高速化が一般的です。

表 1. FPGA のアルゴリズム・アクセラレーション

アプリケーション	プロセッサ単体	FPGA コプロセッシング	アクセラレーション 係数
Hough および Inverse Hough 処理 (1)	処理時間 12 分 (Pentium 4-3 GHz)	20 MHz で処理時間 2 sec	370X
宇宙統計学 (2 ポイント角相関宇宙論) (2)	2.8 GHz Pentium で 3,397 CPU 時間 (近似解)	36 時間 (正確な解)	96X
Black-Scholes (金融アプリケーション (単精度浮動小数点 2M ポイント)) (2)	2.8 GHz プロセッサで 2.3M 回 実験 /sec	299M 回実験 /sec	130X
Smith Waterman SS search 34 from FASTA (1)	6461 sec 処理時間 (Opteron)	FPGA 処理で 100 sec	64X
Prewitt エッジ検出 (計算能力を要するビ デオおよびイメージ処理) (3)	327M クロック (1 GHz 処理能力)	0.33 MHz で 131K クロック	83X
モンテカルロ放射伝熱 (1)	処理時間 60 ns (3 GHz プロセッサ)	処理時間 6.12 ns	10X
BJM 金融解析 (5M パス) (1)	処理時間 6300 sec (Pentium 4-1.5 GHz)	61 MHz で処理時間 242 sec	26X

注:

- (1) 出典: Celoxica
- (2) 出典: SRC Computers
- (3) 出典: XtremeData

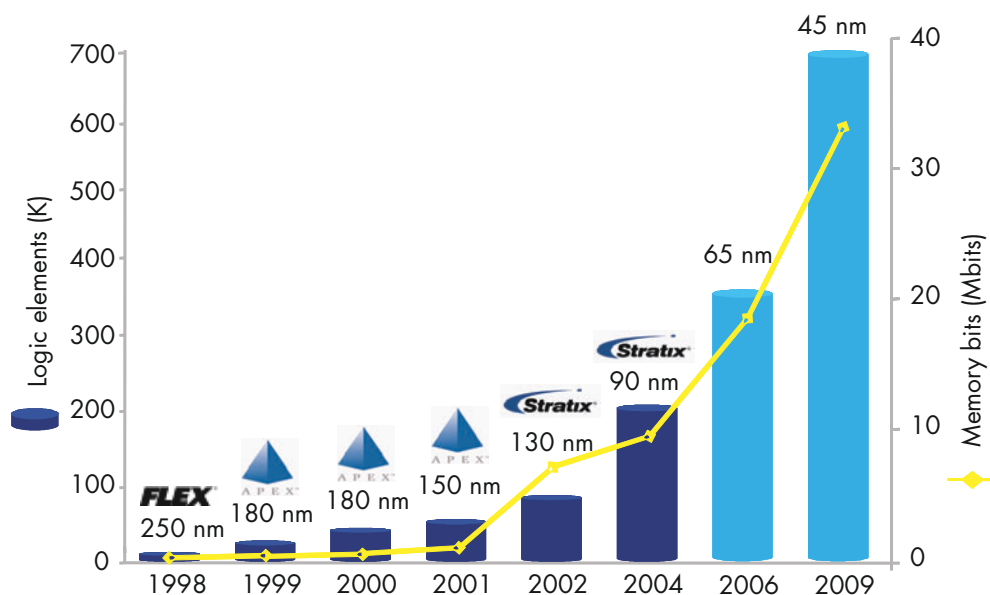
カスタマイズを簡素化するツール

要求が強いほど、これらの性能が向上するので、大幅な開発労力を必要とする場合には、限界に直面するものと思われます。FPGA は、アルテラの Quartus® II 開発ソフトウェアで採用している優れた配置配線ツールと組み合わせた ImpulseC 社や SRC Computers 社の C-to-hardware ツールのような多くの完成した開発ツールでサポートされています。この配置配線ツールは、FPGA を特定用途向けコプロセッサに変換するプロセスを簡素化し、合理化します。コード解析ツールはユーザの C コードを入力して、ハードウェア・アクセラレーションによって有利になるファンクションを識別することができます。コンパイラは、これらのファンクションをパラレル処理およびパイプライン処理して、アクセラレーションの有効性を最大化するようにオブジェクト・コードを自動的に構造化することができます。次に、デザイン・ツールはオブジェクト・コードをハードウェア記述言語 (HDL) にマッピングします。FPGA レイアウト・ツールは、この HDL を最終的なコプロセッサ・デザインに自動的に変換します。

このフル・デザイン・ツール・チェーンが存在するため、ユーザはアプリケーションの高速化に苦勞しないで済みます。ツール・チェーンは既存コードを受け取り、FPGA コプロセッサを自動的にコンフィギュレーションして大幅な性能強化を提供することができます。さらに、これらのツールは FPGA ハードウェアを有効に使うための専門知識をユーザに要求しません。またコプロセッシング向けにソース・コードを書き直すことをユーザに要求することもありません。この方法は、金融サービスのようアプリケーション向けに最適です。この金融サービスでは、ソフトウェアの規制が厳格で、変更する場合にはコストまたは時間のかかる再認定が必要です。

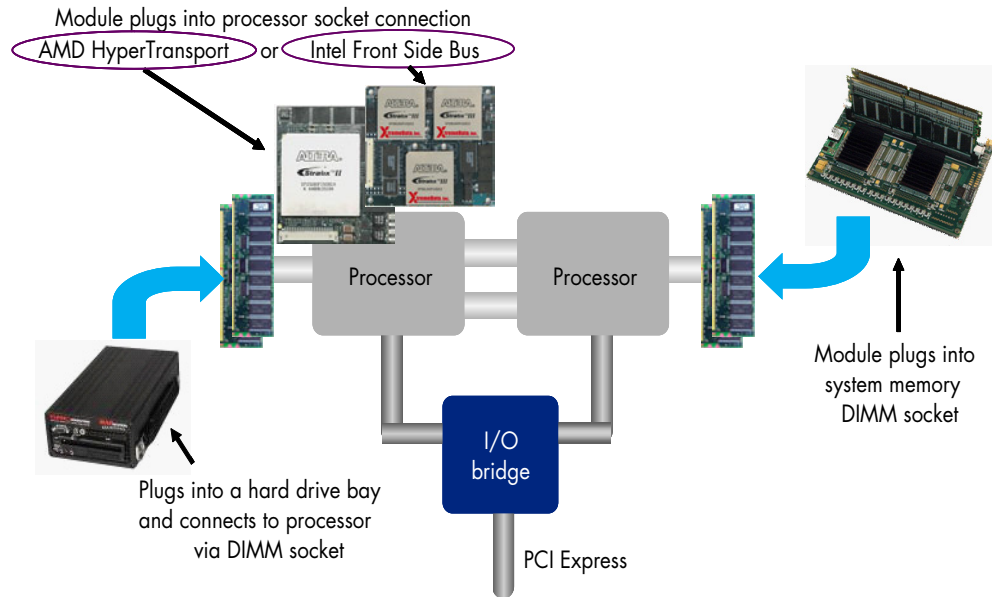
3つ目の「P」である消費電力については、FPGA はプロセッサより大幅に優れています。FPGA の豊富なパラレル・リソースを使うと、ハードウェアが数クロック・サイクルでファンクションを実行できるようになります。これは、プロセッサで必要とされるシーケンシャル動作での数百～数千のクロック・サイクル数と比較すると対照的です。必要とされるクロック・サイクル数が少ないため、FPGA ははるかに低速なクロックで動作しても、性能を向上させることができます。クロックが低速であるほど、消費電力が少なくなるので、FPGA コプロセッサの電力効率はプロセッサに比べてはるかに高くなります (図 3)。

図 3. FPGA の増加するメモリと帯域幅



4つ目の「P」である価格についても、FPGA は要求を満たします。FPGA コプロセッサのコストは、同等の性能を持つプロセッサと同等か、それを下回ることがあります。そのため、プロセッサと FPGA コプロセッサの部品コストは、標準のクラスタ・デザインの2個のプロセッサのコストを上回ることはありません。また、FPGA コプロセッサは、標準クラスタ・デザインに対する多くの追加オプションを追加コストなしで提供します。これらのオプションとしては、マルチプロセッサ・ボード・デザインでのプロセッサの交換、メモリ・インタフェースを介してのプロセッサへの接続、高性能ペリフェラル・カードとしての挿入などがあります (図 4)。FPGA は、そのファブリックの一部として該当するインタフェースを簡単に実装する必要があります。

図 4. コプロセッシング・ソリューション



完璧に位置づけられたアルテラの製品

アルテラの FPGA の Stratix III ファミリーは、HPC コプロセッシング・エレメントとして最適であり、他の FPGA より優れた利点を持っています。1つの利点は、ロジック・ブロックと DSP ブロックのバランスのとれた組み合わせです。このバランスにより、Stratix III FPGA は倍精度浮動小数点などのような高性能ファンクション向けに最適です。さらに、Stratix III FPGA はフィールドでコンフィギュレーション可能であるため、コプロセッサ・デザインをユーザの希望するアプリケーションへ適応させることができます。このため、ユーザの要求が変わった場合でも、アクセラレーションの提供を続けることができます。

Stratix III FPGA のもう1つの利点は、柱状アーキテクチャです。このアーキテクチャはメモリ・サプライヤが採用しているものと同じです。アルテラは、このアーキテクチャの採用により、与えられた半導体製造プロセスで最大集積度の部品を製造できるようになりました。これは単に大きなロジック・ゲート数を提供するだけでなく、すべてのアプリケーションに対して十分なオンチップ・メモリ・リソースを提供することも意味します。

Stratix III FPGA は、リソース・マトリックス内に加算器ロジックと乗算器のバランスのとれた組み合わせを提供します。この組み合わせにより、行列乗算や倍精度浮動小数点演算を必要とする計算量の多いアプリケーションに最適になっています。例えば、IEEE 標準浮動小数点乗算アルゴリズムの代表的な実装は、毎秒 480 億回演算 (GFLOP) のピーク性能を実現します。バランスのとれたリソースの組み合わせに加えて、Stratix III FPGA は Avalon[®] 配線ファブリックの利点も提供します。このユニバーサル・インタコネク構造を使うと、最適なパイプライン構造を自動的に生成することができます。

アルテラの利点はシリコン以外にもあります。アルテラは Intel 社や AMD 社のような大手プロセッサ・ベンダと緊密に提携して、これらのベンダのプロセッサ・ファミリーに対して高性能で低レイテンシのインタフェースを提供しています。例えば、アルテラの Intel 社との関係では、FPGA を Intel プロセッサへ接続するための FSB (Front Side Bus) (1) インタフェースの開発が行われています。広く採用されているペリフェラル接続用 North Bridge (NB) バスとは異なり、FSB を使うと、FPGA はマルチプロセッサ・デザイン内のもう1つのプロセッサであるかのように動作することができます。したがって、標準のクラスター・デザイン内で、Stratix III FPGA をドロップイン・プロセッサ置き換えとしてコンフィギュレーションして、ハードウェア・アクセラレーションをハードウェアの変更なしにマルチプロセッサ・ボードで使うことができます。アルテラの Advanced Micro Devices (AMD) 社との関係では、AMD ベースのデザインで同様のドロップイン置き換えを提供する HyperTransport[™] (2) インタフェースを開発しました。

シリコンの先を見すえて

半導体ベンダとの関係の他に、アルテラはデザイン・ツール業界で広範囲な提携を行っています。これにより、アルテラのデバイスを採用して特定用途向けコプロセッサを作成する際に多くのツールが使用できるようになります。例えば、ツール開発の Impulse 社との協力によるデザイン・ツール Impulse C があります。このツールは C 言語のアプリケーション・コードをコンパイルし、FPGA ロジック内でのアクセラレーション向けに最適化します。Impulse C の出力は、アルテラの Quartus II 開発ソフトウェア、Visual Studio、Eclipse、その他の標準ツールと互換性を持っているため、ユーザのアプリケーション・コード向けに最適化したコプロセッサを迅速に作成することができます。アルテラのツールの提携から得られた互換性により、プロトタイプ・デザインを最適化する数週間分の開発作業が不要になります。

また、アルテラは Stratix III FPGA を採用したクラス最高のデザインの生成を確実にするため、製品開発者とも提携しています。HPC マーケットでは、アルテラは複数の製品開発者と協力して、エンド・ユーザがコンピュータ・システムに挿入すると直ちに性能を強化できるコプロセッサ・モジュールを作成しました。例えば、Xtreme Data 社は、マザーボード内の AMD Opteron プロセッサをボード変更なしにドロップイン置き換えするモジュールを開発しました。ユーザは、マルチプロセッサ・デザイン内で Opteron プロセッサと FPGA コプロセッサを必要に応じて、ミックスして接続させることができます。

別のベンダの SRC 社はアルテラと協力して、コプロセッサの MAP 製品ファミリを開発しました。これらのモジュールは、メモリ・バス・インタフェースを介して AMD 社と Intel 社のプロセッサに接続し、14 Gbyte/sec のデータ帯域幅を実現します。この小型の MAP モジュールは、ソケット内の DIMM メモリ・カードを置き換えることにより使用可能です。また、これより大型のコプロセッサ・アセンブリは、ディスク・ドライブ・ベイに装着して、ドライブの電源接続と大きな容量を提供するメモリ・カード・データ・インタフェースを使います。また、SRC 社は C または FORTRAN のプログラムを FPGA コプロセッサ上で高速に動作するように変換する Carte ツール・チェーンも提供しています。

まとめ

Xtreme Data 社と SRC 社のコプロセッサは、HPC の次のステップを代表するものです。アプリケーション・スピードはユーザに競争力を提供するため、スピードに対する要求がプロセッサ単体で実現できるスピードを超え続けることは確実です。Stratix III FPGA を採用したコプロセッサが、ハードウェア・アクセラレーションを必要とする高速で低レイテンシのインタフェースを提供すると同時に、アルテラの提携会社が提供するツール・チェーンとその他のサポートは、HPC ユーザが要求するカスタム化したアクセラレーションの作成を簡素化します。これらのツールと製品は、定評のある高性能ソリューションとして市販されています。また、アルテラは不断の提携努力により、これらの部品、製品、ツールが将来の HPC の要求を確実に満たすようにいたします。

詳細情報について

1. FSB (Front Side Bus) とは、プロセッサ (CPU) - システム・メモリ間のデータ・バスを表す用語です。CPU バス・スピード、外部 CPU スピード、メモリ・バス、システム・バスと呼ばれることもあります。CPU が RAM (メモリ) と交信する速度を表します。コンピュータの FSB は、プロセッサをメモリ・バス、PCI バス、AGP バスから構成される North Side Bridge に接続します。一般に、FSB バスが高速なほど、処理速度が高く高速なコンピュータであることを意味します。

www.intel.com/technology/platforms/quickassist/index.htm?iid=platform_home+qa

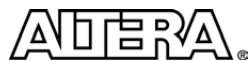
2. HyperTransport 技術は、コンピュータ、サーバ、エンベデッド・システム、ネットワーク、通信装置内にある集積回路相互間の通信速度を既存技術に比べて最大48倍に高速化するためにデザインされた高速で低レイテンシのポイント・トゥ・ポイント接続です。HyperTransport 技術は、システム内のバス数を減らすのに役立ちます。この技術により、システムのボトルネックを少なくして、ハイエンド・マルチプロセッサ・システム内で今日の高速マイクロプロセッサがシステム・メモリを効率良く使えるようにします。

www.hypertransport.org

謝辞

- Bryce Mackin, Strategic Marketing Manager, Compute and Storage, Applications Business Group, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.