

ホーム・ネットワーキングの QoS

はじめに

ホーム・ネットワーキングは、より高速なビデオ、音声、およびデータ・トラフィックに対する“グランド・セントラル・ステーション”になっています。ビデオの画質が標準から高精細に移行するのに伴い、より高速なデータ・レートに対する需要増大が予想されるため、ホーム・ネットワーキング・システムは、新たに登場するビデオ規格に対応して進化していく必要があります。現状では、有線と無線の両方のネットワーキングに対する様々なインタフェース規格を使用してマルチメディア・ホーム・ネットワーキングが実装されていますが、現在の規格のどれも、家庭内におけるライブ・マルチメディア伝送の QoS (Quality-Of-Service、サービス品質) を保証するものではありません。

課題

1つ目の課題は、十分な QoS を確保し、画質や音質を劣化させることなく IP (Internet Protocol) パケットを配送する、信頼性の高いマルチメディア・ホーム・ネットワーキング・プラットフォームを設計することです。2つ目の課題は設計者に求められるもので、このような環境をコスト効率よく実現して、コンシューマ・アプリケーションを妥当な価格に抑える方法を考えることです。

プロの放送業界では、すでにいくつかの手法を採用して最初の課題に取り組んでいます。これらの手法をコンシューマ・タイプの低コスト FPGA に実装することによって、設計者は2つ目の課題にも取り組みことができます。

リアルタイム・トランスポート・プロトコル

リアルタイム・トランスポート・プロトコル (RTP) は、主にビデオ会議やビデオ・ストリーミングなどのアプリケーションで、音声やビデオをインターネット経由で伝送および配信することを目的としています。また一方で、RTP は、タイム・スタンプやパケット損失または再オーダリングの検出機能を備えているため、ホーム・マルチメディア・ネットワーキングなど、より高度に制御された環境におけるイーサネット経由でのビデオ配信にも役立ちます。

IETF (Internet Engineering Task Force) の Audio/Video Transport (AVT) ワーキング・グループは、RTP を IP による音声およびビデオのリアルタイム伝送用と定義しています。RFC (Request For Comment) 文書 RFC3350 で本来定義されているとおり、RTP は 2004 年 5 月に IESG (IETF Internet Engineering Steering Group) によって完全な規格として承認されています。また、AVT ワーキング・グループは、ペイロード・フォーマット、エラー訂正、およびセキュリティに関する補助的な規格も数多く作成しています。

MPEG/MPEG-2 ビデオ向け RTP ペイロード・フォーマット

RTP は、様々な伝送アプリケーションに対応可能な汎用プロトコルです。RTP は、より具体的なアプリケーションを対象とした追加仕様によって拡張されます。RFC2250 は、MPEG および MPEG-2 ビデオ用の RTP ペイロード・フォーマットを定義し、MPEG-2 トランスポート・ストリーム (TS) データのカプセル化に関する詳細を定めており、CoP3 (Pro-MPEG Code of Practice #3) と DVB (Digital Video Broadcast) -IP ハンドブックで参照されています。

UDP/IP

RTP は伝送プロトコルです。通常、RTP は、UDP (User Datagram Protocol、IETF RFC768 で定義) をホスト間の層として使用し、IP をインターネット層 (IETF RFC791 で定義) として使用します。UDP は TCP (Transmission Control Protocol) とは異なり、データを順番に並べたり、信頼性の高いパケット配送を保証するものではありません。UDP は、TCP より高速、シンプルかつ効率的であるため、RTP と組み合わせれば、広帯域幅ビデオ配信により最適なものになります。

Pro-MPEG Code of Practice #3 FEC

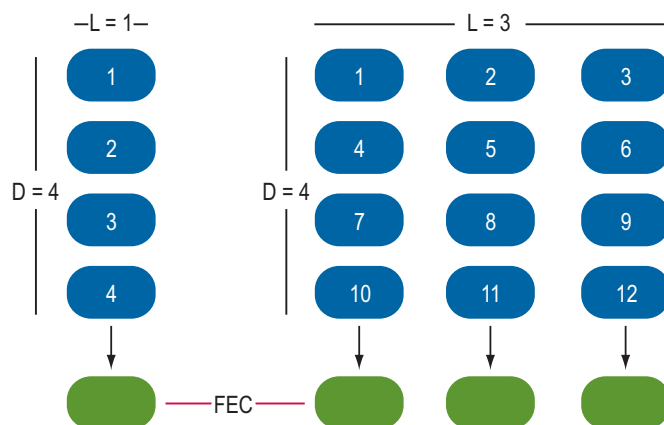
有線ネットワークや無線ネットワーク上でデータがルーティングされる場合、ノイズ、クロック・ジッタ、およびネットワーク・リンクの飽和が原因でデータが破損する可能性があり、パケット損失またはビデオ・ピクセル損失を生じます。この現象は、非圧縮ビデオ・ストリームよりも圧縮ビデオ・ストリームで頻繁に発生します。

Pro-MPEG フォーラムは、放送会社、プログラム製造元、機器メーカ、およびコンポーネント・サプライヤの協会であり、放送会社や他のエンド・ユーザの実装要件に応じた、プロ仕様のテレビ機器の相互接続性の実現に向けて活動しています。Pro-MPEG WAN (Wide Area Network) ワーキング・グループは、高品位プログラミング・マテリアルを IP を使用して WAN 経由で交換するシステムでの相互接続性の確立に取り組んでいます。このグループは、本格的な MPEG-2 TS データの IP ネットワーク経由での伝送に関する実施規定を定めています。この規定では、伝送プロトコル (例えば、RTP/UDP/IP マッピング) と順方向誤り訂正 (FEC) 手法を推奨しているほか、タイミング・リカバリ、ジッタ許容、およびレイテンシなどの問題についても説明しています。伝送プロトコルの推奨事項は、ビデオ・オーバ IP リファレンス・デザインに従っていますが、UDP/IP をベースにした従来の規格をサポートするために RTP を使用するかどうかは任意です。

IP ネットワーク環境で最小レベルのデータ・インテグリティを保証する方法の 1 つは、ペイロード認識処理を使用することです。ペイロード認識処理では、IP カプセル化、タイミング訂正、およびアプリケーション層での FEC を使用する必要があります。ライブ・ビデオ伝送では、パケット再送手法は使用できません。したがって、FEC を使用することにより、レシーバは消失したデータや破損したデータを動作中に再構築するため、再送要求の必要はありません。様々なタイプの FEC 方式が、ケーブル、衛星、および地上波によるデジタル・ビデオ伝送に使用されています。IP ビデオ・ネットワークについて Pro-MPEG フォーラムが提唱する FEC アルゴリズムでは、排他的論理和 (XOR) 手法を使用してエラー訂正用の冗長データを生成します。この規格は、Pro-MPEG COP3 リリース 2 (CoP3r2) と呼ばれています。この FEC は、主に MPEG-2 や H.264 などの圧縮ビデオ・ストリームに使用されます。

Pro-MPEG FEC は、データ行列のサイズを決定するいくつかの可能性を持つ 2 次元 XOR アルゴリズムです。この FEC では、データ行列には 1 以上 20 以下の列と、4 以上 20 以下の行が必要であると規定しています。また、1 つの行列内のパケット総数が 100 パケットを超えてはなりません。この単純な FEC の概念を理解するために、次のように考えます。A および B が RTP パケットの場合、 $F = A \oplus B$ は、{A, B} 保護セットに関連付けられた FEC パケットです。F は、両方の RTP パケットにおけるバイト単位の XOR 演算子の結果です。XOR 演算子の興味深い特性は、 $F = A \oplus B$ の場合、 $A = B \oplus F$ および $B = A \oplus F$ です。A または B が破棄された場合は、F FEC パケットを使用して A または B を復元することができます。図 1 に Pro-MPEG 行列の配列を示しています。結果の FEC オーバヘッド・データは緑色になっています。

図 1. 行列の配列の例



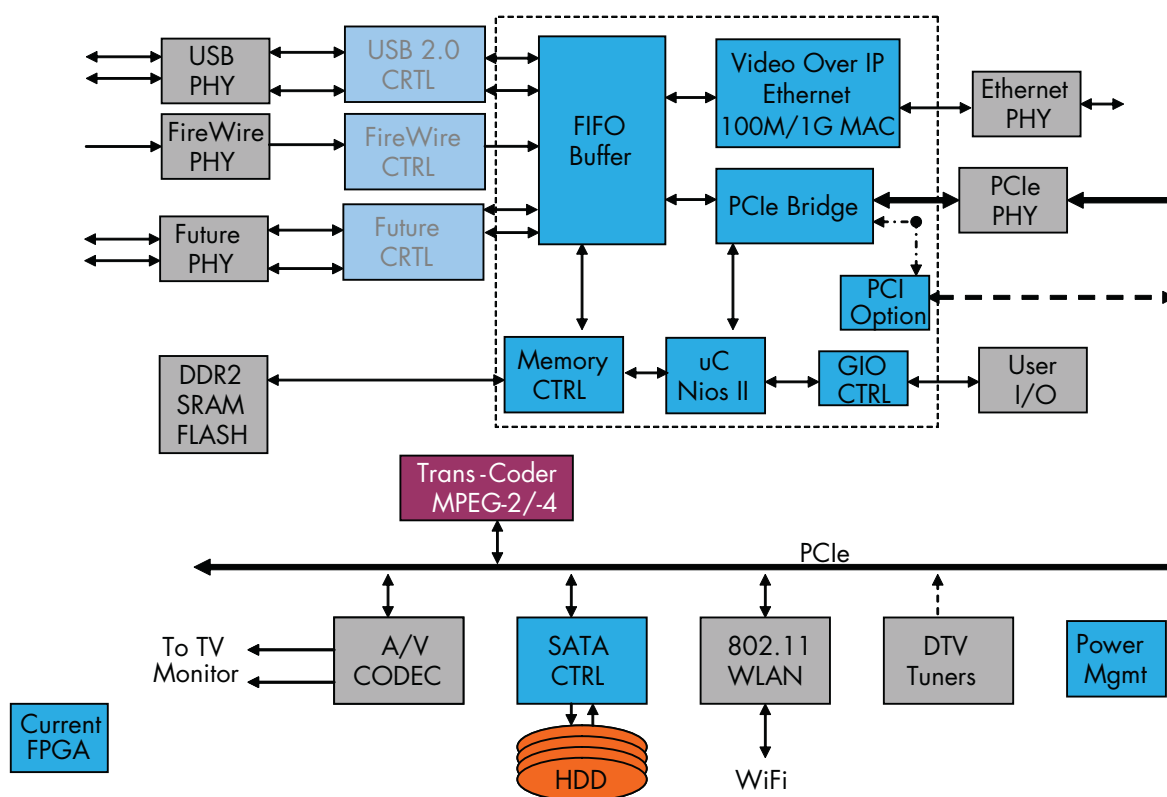
アルテラのソリューション

アルテラのビデオ・オーバ IP リファレンス・デザインでは、いくつかの入力から MPEG TS データを受け付けてカプセル化し、イーサネット・ベースの IP ネットワーク経由で伝送することによってトラフィックを配送します。このデザインでは、業界標準の UDP/IP ネットワーク・カプセル化を使用しており、RTP カプセル化と Pro-MPEG CoP3 FEC はオプションで使用できます。このデザインでは、100 Mbps (全二重) と 1 Gbps のイーサネット接続をサポートし、最大 256 の個別ストリームを処理できます。このデザインでは、ハードウェア・カプセル化を使用することによって、最小の伝送レイテンシでギガビット・イーサネット (GbE) 性能を実現することができます。

また、このデザインは、イーサネット・ネットワークから最大 256 の個別ストリームを受け付けて、TS データを復元します。RTP のカプセル化されたデータの場合、デザインはレシーバ・バッファを取り込んでネットワーク・ジッタを吸収し、パケットのリオーダーリングと重複を補正します。CoP3 FEC をベースにした損失パケットの復元もオプションで利用できます。

重要なビルディング・ブロックのほとんどが入手可能で、FPGA システム・デザインにダウンロードして再利用できます。また、FPGA デザイン・ツールで既存のビルディング・ブロックを使用してデザインを構築することもできます。ほとんどのデザイン・ツールには、FIFO、内部メモリ、外部メモリ・コントローラ、カウンタ、PLL (Phase-Locked Loop)、およびその他のシンプルなロジック・ブロックなどのブロックが含まれています。図 2 は、FPGA を USB 2.0 や FireWire などのインタフェース用のブリッジ・ファンクションとして使用し、また将来のビデオ・インタフェース・プロトコルを使用した、標準的なマルチメディア・ホーム・ネットワーキング・デザインを示します。入力ビデオは、アルテラのビデオ・オーバ IP リファレンス・デザインを使用して IP ネットワーキングにマップできます。Cyclone® シリーズなどの低コスト FPGA を使用して完全なデザインを実装することによって、システムに柔軟性とアップグレードabilityを与え、将来の要件に対応することができます。

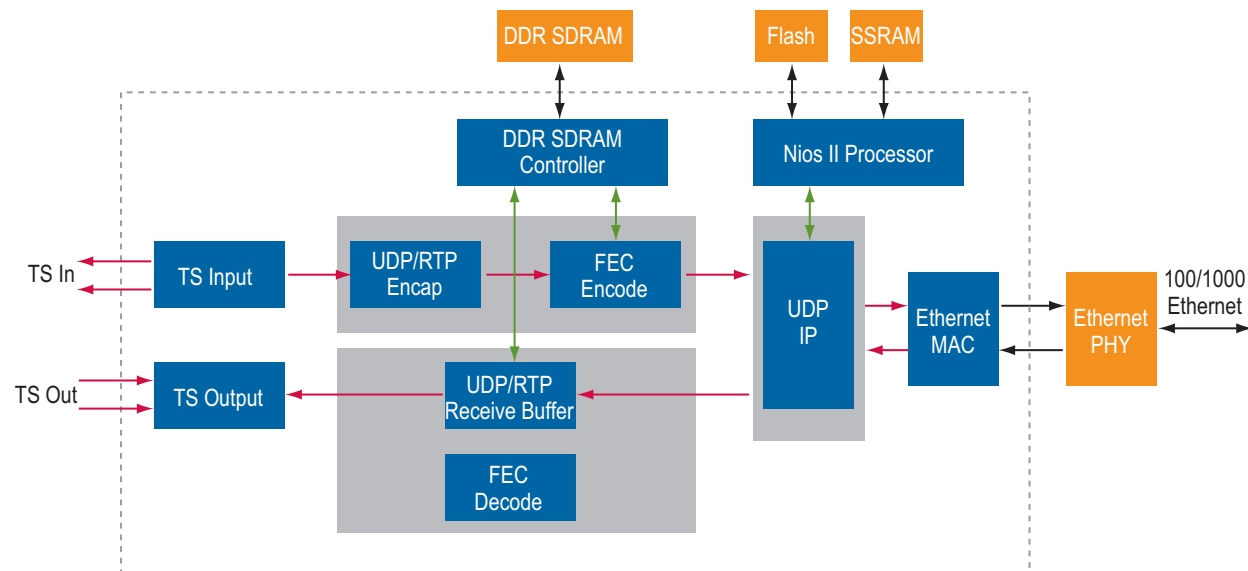
図 2. 標準的なマルチメディア・ホーム・ネットワーキング



ビデオ・オーバ IP リファレンス・デザイン (図 3 に示す) は、SOPC Builder システムに基づき、以下の重要なビルディング・ブロックを提供します。

- RTP トランスミッタ
- RTP レシーバ
- UDP/IP ファンクション
- PHY インタフェース
- デザイン制御用 Nios® II エンベデッド・プロセッサ
- FEC ジェネレータおよびレシーバ・バッファ外部 RAM 用のアービトレーション・ロジックおよびメモリ・コントローラ

図 3. ビデオ・オーバ IP リファレンス・デザイン



まとめ

放送業界の既存のテクノロジーを使用して、マルチメディア・ホーム・ネットワーキングの QoS を単純化することができます。このテクノロジーは、アルテラの低コスト FPGA の Cyclone ファミリーとビデオ・オーバ IP リファレンス・デザインを使用して容易に実装できます。多様な規格が存在するため、新たに登場するホーム・マルチメディア・ネットワーキング市場においてプログラマブル・ロジックはますます重要な役割を果たしていくものと予想されます。

詳細情報について

- Video Over IP Reference Design:
www.altera.co.jp/support/refdesigns/sys-sol/broadcast/ref-video.html
- AN 374: Video Over IP Reference Design:
www.altera.co.jp/literature/an/an374_j.pdf
- Professional-MPEG Forum's discussion forum:
www.pro-mpeg.org/forum

謝辞

- Tam Do, Senior Technical Marketing Manager, Broadcast/Automotive/Consumer Business Unit, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.