

デジタル放送品質の追求：ホット・スポットへの対応

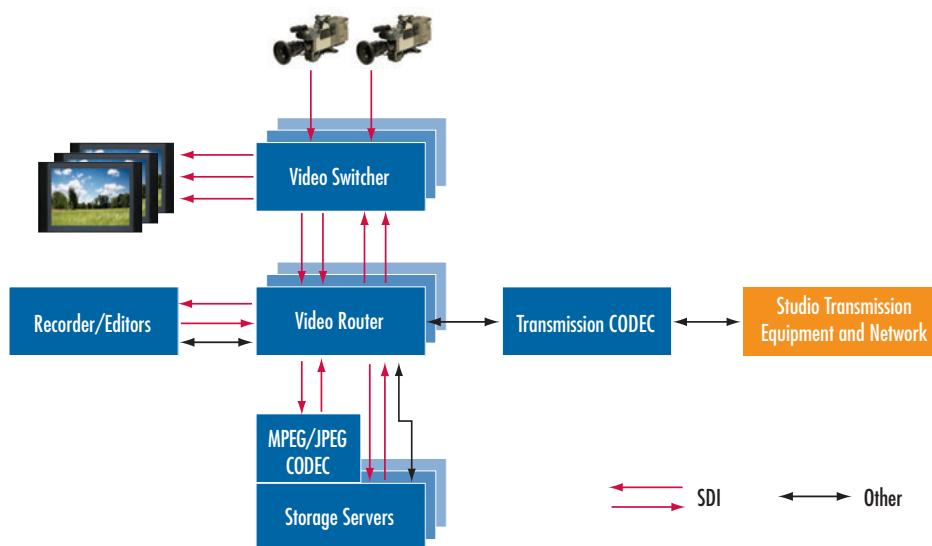
はじめに

デジタル・テレビ（DTV）内でのデジタル信号処理が著しく進歩した結果、画質が向上しました。次の数年間にわたる DTV テクノロジーのさらなる改善によって引き続き画質が向上しますが、ビデオ分野での最大のメリットは、DTV が受信するビデオ・ソースの改善によって達成されます。ビデオ・ソースは、スタジオでキャプチャされたオリジナル・ソースが大幅に劣化したものです。スタジオおよび放送インフラストラクチャの改善は、将来のビデオ品質に対する最大の利点となります。このホワイトペーパーでは、ビデオがキャプチャされた時点から消費者がそれを見る瞬間までに、ビデオに生じる可能性があるビデオ品質の「ホット・スポット」（劣化点）について考察し、既存の配信帯域幅制約の範囲内で画質を維持し向上させる方法について説明します。

最高の HD 品質を得るためのスタジオでの 1080p の実現

DTV ビデオ・スタジオ環境は、録画、編集、符号化、および復号化装置はもとより、ビデオ・スイッチャおよびルータ、ストレージ・サーバ、プロ仕様のカメラ、モニタなど、さまざまな装置で構成されています。ビデオ・スイッチャは、流動的ビデオ・プログラムを制作するために複数のカメラからのライブ・ビデオやストレージ・サーバ、ビデオ・テープまたはデジタル・レコーダ（VTR または VDR）、およびエディタからの事前に録画されたビデオを組み合わせ、テレビ配信チャンネルを通じて放送されるビデオ・ストリームを作成します（図 1 参照）。ビデオ・スイッチャはスタジオ・モニタにも直接供給するため、ユーザ（多くの場合、制作者）はスイッチャへの入力ビデオおよびスイッチャからの出力ビデオを見ることができます。ビデオ・データは、通常、保存または最終視聴者への送信のために、MPEG または JPEG 圧縮アルゴリズムを用いて圧縮および解凍されます。

図 1. 標準的なスタジオでの接続



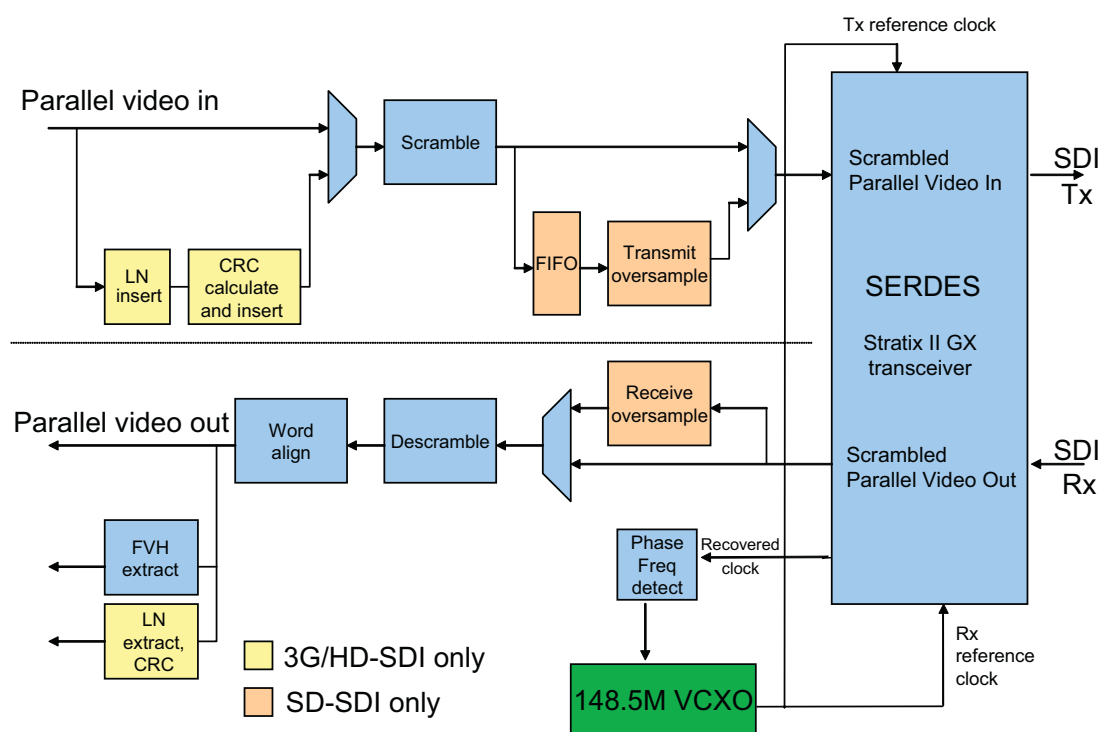
今日の高精細（HD）ビデオ・スタジオ環境は、HD データ転送レートで動作する機器のネットワークをサポートしなければなりません。制作スタジオでは、同軸ケーブルを使用して、装置間で SMPTE259M（SDI）ビデオおよび SMPTE292M（HD-SDI）ビデオ、埋め込みオーディオを伝送します。HD-SDI インタフェースは最大 1.485 Gbps のデータ・レートをサポートしており、このレートは 1080i および 720p に関連する HD 解像度に対応するのに十分です。ただし、1080p で実現されるより高品質のフル HD ビデオに対するニーズのために帯域幅要件が厳しくなりました。

画質の向上に加えて 1080p を実現することで、制作スタジオ内に他の利点ももたらされました。1080p は、規格によって実現される最高のレベルの解像度であり、インタレース形式に伴う複雑さやモーション・エラーがありません。さらに、北米および欧州では、720p 形式および 1080i 形式の両者が支持を得ており、近い将来にはこれらが共存するものと予想されます。このために、制作の際にどちらの形式を使用すべきかという、スタジオにとってのジレンマが生じています。

スタジオが制作時に 1080p を使用する場合は、品質の損失を伴わない 1080i または 720p への変換が容易になるでしょう。幸いにも、SMPTE は先頃スタジオで使用される SDI 帯域幅のボトルネックを打開する新しい 1080p 規格を批准しました。新しい SMPTE 規格である 424M (ビット・シリアル・データ形式、および 3 Gbps SDI リンクの PHY 特性を定義) および 425M (3 Gbps リンク上の SDI ビデオに対するさまざまな送信フォーマットのマッピングを定義) は、FPGA および PHY のインタフェース・チップのコア・テクノロジーの機能強化を活用して、SDI ケーブル帯域幅を 1.485 Gbps から、シングル・リンク上で完全な 1080p シリアル・ビデオ伝送をサポートするのに十分な 2.97 Gbps に倍増させます。

アルテラは、1080p をサポートする柔軟性の高い次世代スイッチャ、カメラ、サーバ、およびスタジオ装置の迅速な開発と配置を可能にするために、SD-SDI、HD-SDI、および 3G-SDI というトリプルレート SDI を実現するハードウェアをテスト済みの SDI MegaCore[®] ファンクションを提供しています (図 2 を参照してください)。MegaCore ファンクションは、自動的に受信したビデオ・データの種類に応じて、SD-SDI、HD-SDI、および 3G-SDI を検出し、それらを切り替えます。また、標準精細 (SD) ビデオ、720p HD、1080i HD、または 1080p HD をキャプチャ/送信します。これらの SDI レートを実現するのに必要なものは、1 つの電圧制御水晶発振器 (VCXO) のみです。

図 2. アルテラのトリプルレート SDI MegaCore のブロック図



SDI MegaCore ファンクションには、270 Mbps、1.485 Gbps、および 2.970 Gbps の主な 3 つのデータ・レートに対して必要なすべての受信および送信ビルディング・ブロックが含まれています。受信ブロックには、CRC (Cyclic Redundancy Check) デコーダ、ライン番号抽出、ビデオ・フレーミング、およびタイミング抽出、フォーマット検出器があります。送信ブロックは CRC エンコーダとライン番号挿入で構成されています。レガシー SD-SDI ブロックには、送信側用にワード・スクランブラ、受信側用にはデスクランブルと共にワード・アラインメントが含まれます。

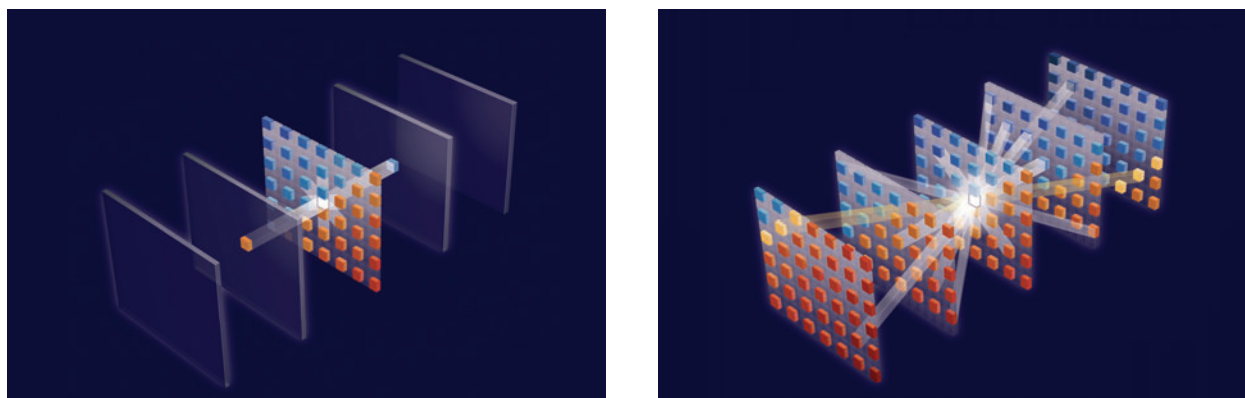
Stratix[®] II GX FPGA は、最大 20 本の全二重トランシーバ・チャンネルで、トリプルレート SDI のデータ速度をサポートすることができます。Stratix II GX FPGA のトランシーバ回路には、ハードコードされたクロック/データ・リカバリ (CDR) 機能とシリアライザ/デシリアライザ (SERDES) 機能が組み込まれています。クロック-データ間のスキューをなくすために、FPGA の CDR 回路では外部基準クロックを使用し、その動作制御発振器 (VCO) ループによって、着信データと位相および周波数が一致するクロックを回復しています。Stratix II GX デバイスの SDI 特性評価は、デバイスにジッタ仕様を送受信するための十分なマージンがあることを示しています。(特性評価レポートは、認定された顧客に提供されています。) アルテラは、1080p との SDI インタフェースを直接サポートする Stratix GX II FPGA ファミリーをベースにした A/V 開発キットも提供しています。

SD から HD へのビデオ・スケーリングにおける著しい品質の向上

大量の HD コンテンツが制作される一方で、未だに生放送またはカタログ・コンテンツ形式の SD コンテンツで埋めなければならない大きなギャップがあります。HD 放送チャンネルの最初の年には、HD にアップコンバートされる SD コンテンツの割合が 80% を超えることがしばしばあります。既存のアップコンバージョン手法では、画面上に動く文字の残像が残り、これが HD 画面上で不鮮明になったり飛び跳ねたりします。これが切実に品質の改善が求められる領域です。なぜなら、広告主はメッセージが画面上の広告に表示されるか、スポーツ・イベントの端に掲示される広告に表示されるかを問わず、鮮明であることを望むからです。

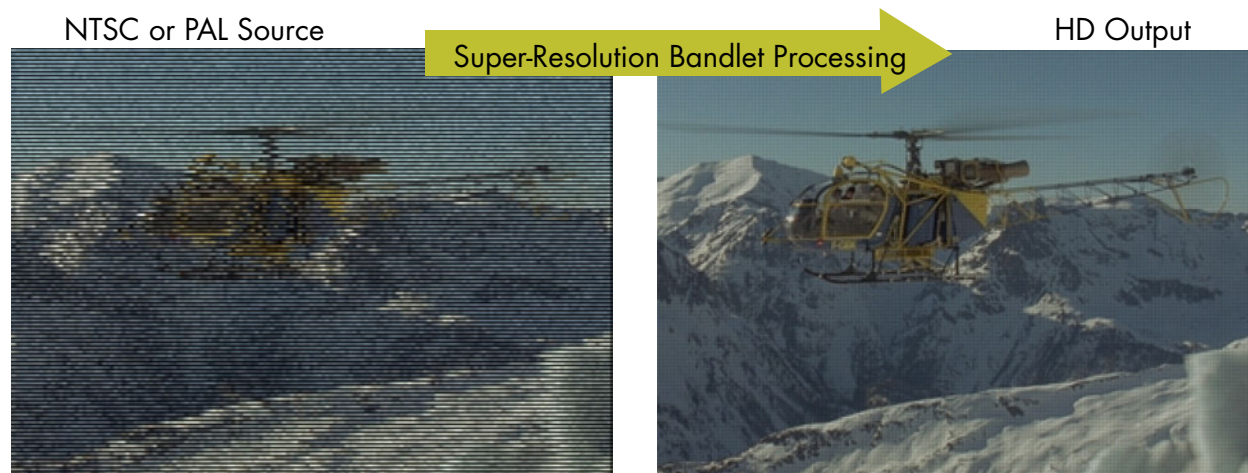
2006 年に、Let It Wave という名前のベンチャー企業が、低コスト、低消費電力のアルテラ FPGA に実装された革新的なフル・スペース・タイム・ジオメトリック・プロセスによって、標準 NTSC または PAL テレビからあらゆる HDTV フォーマットへのアップコンバージョン品質の達成に新たなパラダイムを導入しました。Let It Wave 社のバンドレット方式は、[図 3](#) に示すように、画像内の動きに重点を置くのではなく、空間内および前のフレームに亘ってジャギ（空間的振動）またはフリッカ（時間的振動）のない最良のピクセルを探します。

図 3. 超解像度バンドレット方式



結果として生じるビデオ品質の向上を [図 4](#) に示します。

図 4. バンドレット処理による著しい画質の向上



バンドレット・ベースは、画像をマルチスケールの幾何学的なバンドレット要素に分解します。品質の向上のために、細部を復元し、歪みを除去するようにバンドレット係数が処理されます。バンドレットにより、最新のフーリエおよびウェーブレット・フィルタリング手法が大幅に改善されます。フーリエ・フィルタが固定された近傍での画像情報を処理し、それと並行してウェーブレットが計算型近傍を局部的な画像細部のスケールに適応させることによって最初の改善をもたらします。バンドレットは画像の幾何構造に従って画像情報からノイズと歪みをより適切に区別することによって、このプロセスをさらに改善します。

ビデオ処理の場合、空間、時間のバンドレットは動きに対応する時間ジオメトリに適応しています。バンドレットは時間変位に従うことにより、ビデオ・シーケンスの時間冗長性を利用しています。超解像度アプリケーションでは、欠落したピクセルを計算し、このバンドレット・テクノロジーを総合的なバリエーション・コントロールと組み合わせることによって画像解像度を向上させています。それにより、精細な画像を復元する幾何学的処理で振動性アーチファクトが生じないことが保証されます。

このアップスケーリング方式は、放送機器では 50Hz ~ 60Hz、大型パネル・ディスプレイでは最大 120Hz のフレーム・レート変換にも適しています。このテクノロジーは実装サイズが小さいため、量産型コンシューマ・アプリケーションに対応可能です。バンドレット・アルゴリズムは、放送市場およびコンシューマ・テレビ市場において機器の設計方法を大きく変える可能性を持つ点で、真のディスプレイ技術です。

バンドレット・アルゴリズムは、コンシューマ機器市場に大量に供給されている既存の低コスト Cyclone® FPGA に適合します。したがって、このテクノロジーは製品としてだけでなく開発プラットフォームとしても実現可能です。アルテラのロードマップには、特に量産テレビ市場に適合する、より高速で低価格の次世代 FPGA シリーズも含まれています。

ビデオ圧縮品質に関するレベルの向上

キャプチャされたビデオまたはアップコンバートされたビデオの品質を向上させることは、消費者が受信するビデオを改善する最初のステップにすぎません。ビデオ圧縮、すなわち配信チャンネルにおけるビデオ・ホット・スポットによって、最終サブスクリプション・ポイントおよびインフラストラクチャに向けて、コスト効果の高い配信を行うことが可能になります。MPEG から MPEG-4 まで各世代の圧縮規格があり、離散コサイン変換 (DCT)、ベクトル量子化 (VQ)、フラクタル圧縮、および Discrete Wavelet Transform (DWT) の 4 つの方式で圧縮を実行します。表 1 に、各種 MPEG 規格をまとめます。

表 1. 圧縮規格

規格	データ・レート	アプリケーション
MPEG	<1.5 Mbps	CD-ROM 用 VCD: レベル 3 は MP3 オーディオ用として最も一般的
MPEG-2	1.5 ~ 15 Mbps	ケーブル、衛星、および地上波放送用 DTV
MPEG-4	0.5 ~ 40 Mbps	H.264 の Part 10 によるビデオ会議、監視、および放送

MPEG-2 圧縮は、今日最も広く使用されている規格であり、HD の将来についての議論が広く行われ、HD コンテンツがほとんど存在しなかった時代に作成および採択されたものです。ケーブル設備および衛星プラントの総処理能力は、次の簡単な式に従って確立されました: MPEG-2 での圧縮が予想される SD チャンネル本数 × 圧縮ビデオ・ビット・レートの平均値 = 処理能力圧縮で改善が行われない状態では、HD チャンネルがラインアップに追加される度に、最大 4 本の SD チャンネルがなくなることを意味していました。

この問題に取り組むために、ITU-T Video Coding Experts Group VCEG と ISO/IEC Moving Picture Experts Group MPEG は、MPEG4-Part -10 規格 (H.264 規格とも呼ばれる) を発表しました。H.264 では、以前の規格よりもはるかに低いビット・レートで良質なビデオが提供され、デザインが複雑になりすぎて実装が非現実的 (高価過ぎる) にならないように工夫がなされています。現在の H.264 ソリューションは、定められたビット・レートでのビデオの品質に関しては、潜在能力が十分に引き出されていません。

アルテラの IP (Intellectual Property) パートナである ATEME 社は、Stratix II FPGA を使用することにより、放送業界向けに業界で最高品質を誇る H.264 ハイ・プロファイル・エンコーダを発売しました。H.264 ASSP ソリューションは、通常コンシューマ市場をターゲットにしているため、定められたデータ・レートでビデオ品質を継続的に改善することは求められていません。しかし、放送市場がこうした改善を要求しています。アルテラの FPGA は、新しいプロセス・テクノロジー (65 nm 以下) への積極的な移行、およびビデオ・アプリケーションをターゲットとするアーキテクチャの強化によるハードウェア・コストの継続的な改善に加えて、ビデオ品質の向上を提供します。

アルテラの Stratix II および Stratix III FPGA ファミリーは広いメモリ帯域幅を提供するので、H.264 の実装のための理想的なプラットフォームです。Stratix III デバイスは、25 テラビット / 秒を超える全帯域幅に対して、最大 600MHz のクロック・レートで最大 17M ビットの内部メモリ (9K および 144K ブロック) を提供します。Stratix III FPGA は、400MHz 以上の周波数で外部 DDR2 および DDR3 メモリをサポートします。さらに、アルテラの固有の 3 入力加算器アーキテクチャにより、H.264 におけるもう 1 つの重要な機能である動き推定の実装が他の FPGA アーキテクチャと比較して 50% も向上します。

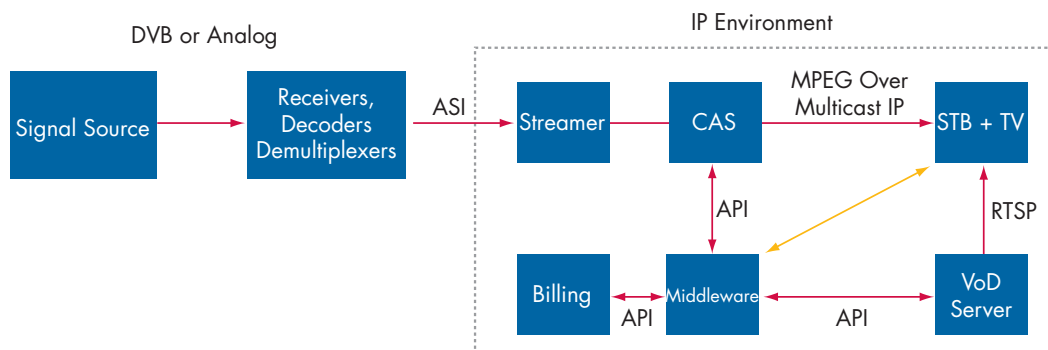
最大 QoS を実現するための FEC を備えた低コスト・ビデオ配信オーバ IP

ケーブル設備およびその他の構内ネットワークを経由したビデオの配信は、ビデオ・オーバ・インターネット・プロトコル (IP) に移行しつつあります。IP ネットワークは、トリプル・プレー方式でのビデオ、音声、およびデータの伝送に対する人気の高まりに伴って、絶えず使用されています。この移行には、長距離の伝送時のパケット破損、およびマルチチャンネル要求に起因するサービスの品質 (QoS) に対応する低コスト・ソリューションが必要です。かつて非リアルタイム・データ用に設計された同じ IP ネットワークが、現在は消費者への高速リアルタイム・ビデオ・トラフィックを処理する役割を担っています。

アルテラのビデオ・オーバ IP リファレンス・デザインは、MPEG トランスポート・ストリーム (TS) データとイーサネット・ベースの IP ネットワークの橋渡しを行うシステムを実装しています。このリファレンス・デザインは、複数の入力からの TS データを受け入れると、イーサネット・ネットワークで伝送するためにそれをカプセル化します。

図 5 に、実システムにおける標準的なビデオ・オーバ IP アプリケーションを示します。デザインでは、業界標準のユーザ・データグラム・プロトコル (UDP) /IP ネットワーク・カプセル化が使用され、リアルタイム・トランスポート・プロトコル (RTP) カプセル化、および Professional MPEG (Pro-MPEG) フォーラムの Code of Practice #3 (CoP3) の順方向誤り訂正 (FEC) もオプションとして提供されています。このデザインは 100 Mbps (全二重) および 1 Gbps イーサネット接続の両方をサポートしています。デザインは、ハードウェア・カプセル化を使用することによって、最小限の伝送レイテンシでギガビット・イーサネット回線速度性能を達成します。デザインはイーサネット・ネットワークからのトラフィックも受け入れて、TS データを復元します。デザインには、RTP カプセル化データ用にレシーバ・バッファが内蔵されており、ネットワーク・ジッタを吸収し、パケットのリオーダーリングと複製を訂正します。CoP3 FEC ベースのロスト・パケット・リカバリがオプションで用意されています。

図 5. 標準的なビデオ・オーバ IP インフラストラクチャ



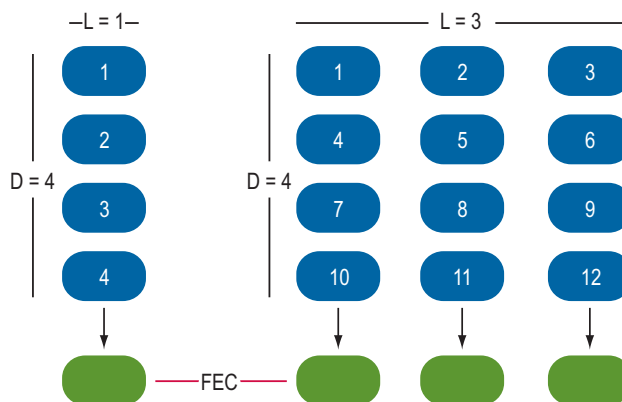
IP 環境において最低レベルのデータ・インテグリティを確保するための手法の 1 つは、ペイロードを考慮した処理を使用することです。ペイロードを考慮した処理には、IP カプセル化、タイミング修正、およびアプリケーション・レイヤ FEC が含まれます。伝送チャンネルからのバースト・ノイズに起因するパケット損失を防止するには、リンク・レベルの FEC では不十分です。しかし、FEC をペイロードを考慮したデバイスに組み込むことで、パケット損失を最小限に抑えることができます。アルテラのビデオ・オーバ IP リファレンス・デザインは、Pro-MPEG CoP3 FEC を備えた IP ベース・ネットワーク上での MPEG-2 TS データの伝送を実証します。

Pro-MPEG ワイド・エリア・ネットワーク (WAN) 作業グループは、IP を使用して WAN 上で高品質のプログラミング資料の交換を行うシステムの相互運用手法を確立することに重点を置いています。このグループは、IP ネットワーク上で MPEG-2 TS データの伝送に関する作業標準を作成しました。この作業標準は、伝送プロトコル (例えば、RTP/UDP/IP マッピング) および FEC 方式を推奨し、またタイミング・リカバリ、ジッタ許容差、およびレイテンシなどの問題を扱っています。レガシー UDP/IP 規格をサポートするための RTP の使用はオプションですが、リファレンス・デザインでは伝送プロトコルに関する推奨事項に従ってきました。

Pro-MPEG FEC は、データ・マトリックスのサイズに関して複数の可能性を持つ 2 次元 XOR アルゴリズムです。この FEC では、カラムの数が 1 ~ 20、ロウの数が 4 ~ 20 でなければならないと規定しています。さらに、1 つのマトリックスに含まれるパケットの総数が 100 を超えてはなりません。以下に、このシンプルな FEC のコンセプトの例を示します。A および B が RTP パケットの場合、 $F = A \oplus B$ は、保護セットに関連付けられた FEC パケット {A,B} と呼ばれます。F は、両方の RTP パケットのバイトの後ろにある XOR 演算子バイトの結果です。演算子の興味深いプロパティは、 $F = A \oplus B$ の場合、 $A = B \oplus F$ および $B = A \oplus F$ になることです。A または B が破棄された場合、A または B は F の FEC パケットを使用して復元できます。

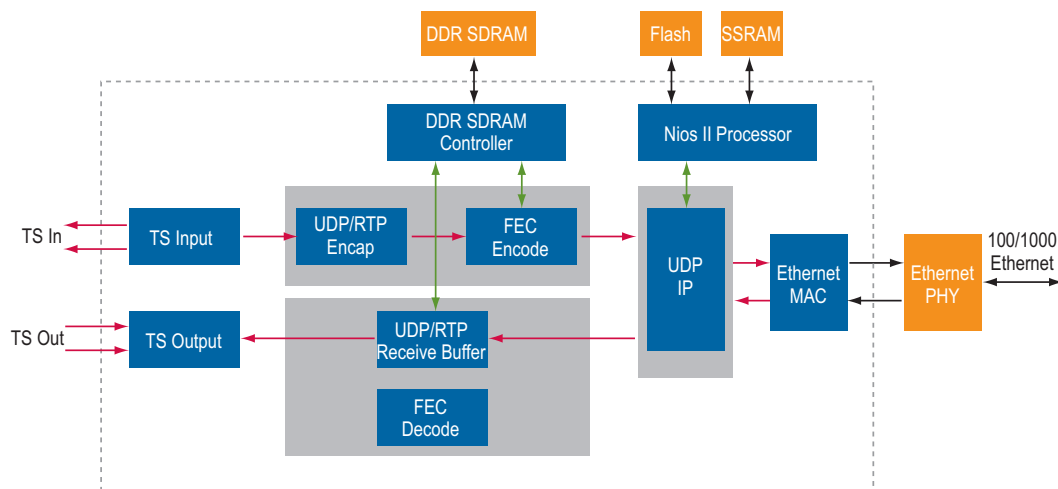
図 6 に、Pro-MPEG マトリックスの配列と、結果として生じる FEC オーバヘッド・データ (緑色で表示) を示します。

図 6. マトリックス配列の例



アルテラは、TS からイーサネットへの伝送のための 2 本のデータ・チャンネル、およびイーサネットから TS への伝送のための 2 本のチャンネルをサポートするデモンストレーション・デザインを提供しています。このデモンストレーションでは、トランスミッタ側での FEC パケット・バッファリングとレシーバ側でのペイロード・バッファリングおよび FEC パケット・バッファリングのために外部 SDRAM を使用しています。Nios® II プロセッサにより、ユーザはソフトウェアを記述してデザインの動作を制御およびモニタすることができます。このデモンストレーションは、ハードウェアのデモンストレーションおよび評価のために、Nios II 開発キット、Cyclone II エディションにマップされています。このリファレンス・デザインを図 7 に示します。

図 7. 完全なビデオ・オーバ IP のブロック図



ハードウェア内で業界標準の UDP/IP または RTP/UDP/IP カプセル化が実行される 100 Mbps または 1 Gbps イーサネットは、最小の確定的レイテンシおよび個々の A/V ストリーム用コンフィギュレーション可能な UDP/IP ソケットによるギガビット・イーサネット回線速度スループットを提供します。オプションの冗長ネットワーク・アーキテクチャ用セカンド・イーサネット・ポートを備えたブロードキャスト・アプリケーションのために、IP マルチキャストがサポートされています。このデザインは、900 Mbps を超える TS の全帯域幅で 1 ~ 256 の個別 A/V ストリームに効率的にスケーリングする、複数の独立したストリーム (SPTS または MPTS) もサポートしています。

まとめ

今日の放送業界が消費者に提供するビデオ品質は、良くてもかろうじて要件を満たす程度のもので、消費者の積み期待に応えるには、このホワイトペーパーで検討したビデオ品質のホット・スポットに適切に対処しなければなりません。幸いにも、現在はアルテラとそのパートナーがフル HD キャプチャ、高品質の圧縮、ビデオ・スケーリング、およびビデオ伝送で行ってきた研究により、品質の向上が可能になりました。これらのプログラマブル FPGA ソリューションでの放送システムのアップグレードによって、品質が向上し、ビット・レートが低減され、使用感が改善されます。

詳細情報について

- アルテラのビデオ・オーバ IP リファレンス・デザイン：
www.altera.co.jp/end-markets/refdesigns/sys-sol/broadcast/ref-video.html

謝辞

- Tam Do, Senior Technical Marketing Manager, Consumer, Broadcast and Automotive Applications, Altera Corporation
- Alban d'Halluin, Vice President, Marketing, Let It Wave
- Brian Jentz, Broadcast Video Market Development Manager, Consumer, Broadcast and Automotive Applications, Altera Corporation
- Girish Malipeddi, Sr. Technical Marketing Engineer, Consumer, Broadcast and Automotive Applications, Altera Corporation
- Herve Mer, European Broadcast and Consumer Market Development Manager
- Todd Scott, Senior Director, Broadcast and Consumer Business Unit, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.