

Cyclone III FPGA を使用した、より鮮明な LCD HDTV の実現

はじめに

今日の液晶ディスプレイ (LCD) テクノロジーは、高精細 TV (HDTV) に多く利用されていますが、より高速なデータ・レートを要求する高解像度の達成が課題となっています。データ・レートの高速化には、動きの早いビデオをサポートする特別な画像処理アルゴリズムが必要です。業界は、このようなアルゴリズムをどのように実装して製品をいち早く市場投入するか、また既存の許容電力内でどのようにこれを実現するかという大きな問題に直面しています。

この問題に対処するために、設計者はハードウェア・プラットフォームが異なるサイズの LCD パネルに接続される際に、画像処理アルゴリズムをどのようにリコンフィギュレーションするかを決定する必要があります。大型 LCD パネルには高速データ・レートが要求されるため、パネル・サイズに合わせてどのようにデータ・レートを調整するかが問題になります。

これらの問題は、新しい低コスト Cyclone® III FPGA ファミリで簡単に管理できます。設計者は、Cyclone III FPGA 内の画像処理アルゴリズムを適用して、デジタル・ビデオ信号を変換し、表示パネルにマップします。この他に、設計者は Cyclone III FPGA の柔軟性を活用して画像処理アルゴリズムをリコンフィギュレーションし、大型表示パネルのデータ・レートを上げることができます。これにより、設計者はサイズに関係なく、すべての LCD パネルに共通のハードウェア・プラットフォームを開発できます。

Cyclone III FPGA の利点

Cyclone III FPGA は、デジタル・テレビおよびディスプレイにコスト、性能、柔軟性の効果的な組み合わせを提供します。LCD TV のメーカーは、Cyclone III FPGA をコプロセッサとして使用して、リアルタイム・エンベデッド・オペレーティング・システムを動作させてディスプレイ装置全体を制御することができます。ディスプレイのセントラル・コントロール以外に、Cyclone III FPGA を特定のビデオ / 画像処理用のデータ・パスで ASSP と共に使用することもできます。例えば、FPGA はビデオ・ストリーム上でリアルタイム画像スケーリングを実行するオプションの表示機能に最適です。

Cyclone III FPGA は、最大 288 個の最適化されたハードコードド・デジタル信号処理 (DSP) ブロックを内蔵しており、これらのブロックがビデオおよび画像処理の基本要素を形成します。DSP ブロックは、高データ・スループットを要求する画像処理などの DSP アプリケーションの実行に適した、高速パラレル処理能力を備えています。最も一般的に使用される DSP ファンクションには、有限インパルス応答 (FIR) フィルタ、複合 FIR フィルタ、高速フーリエ変換 (FFT)、離散コサイン変換 (DCT)、相関器などがあります。これらのファンクションは、HDTV やその他の複雑な LCD アプリケーションのビルディング・ブロックです。

新しいテクノロジーが HDTV の障害を克服

今日の大型ディスプレイでは、わずかなアーティファクトが画像上の重大な問題に発展する可能性があり、消費者の購入意欲を損なってしまうことがあります。ディスプレイ設計者は、これらのアーティファクトをフィルタし、縁のギザギザやぎくしゃくした動きを滑らかにする方法を見出さなければなりません。

このような画像処理ロジックを実装するオプションとして、ASSP、ASIC、FPGA の使用があります。残念なことに、ASSP を使用すると自社製品の差別化ができません。また ASIC の開発には長い年月がかかり、非常にコストがかかります。デザインを素早く完成させ、競合他社よりも早く製品を市場に投入できる高速デザイン性能と柔軟性を提供できるのは、FPGA 以外にありません。現在 Cyclone III FPGA は、今日の市場のどの FPGA よりも低いコストと消費電力を達成しており、このさらなる 2 つの理由により、FPGA は画像処理に最適なソリューションとなっています。

また、今日の新しい HDTV は優れた画像を提供していますが、旧式の標準精細 (SD) 入力への対応も少なからず必要です。ディスプレイ・メーカーは SD 入力画像の拡張を必要としています。これはアルテラのビデオ / 画像処理スイートからのコアと併せて Cyclone III FPGA に容易に採用できるスケーリング・ファンクションで可能になります。表 1 に提供されている各種 MegaCore® を示します。

表 1. 提供されている IP MegaCore

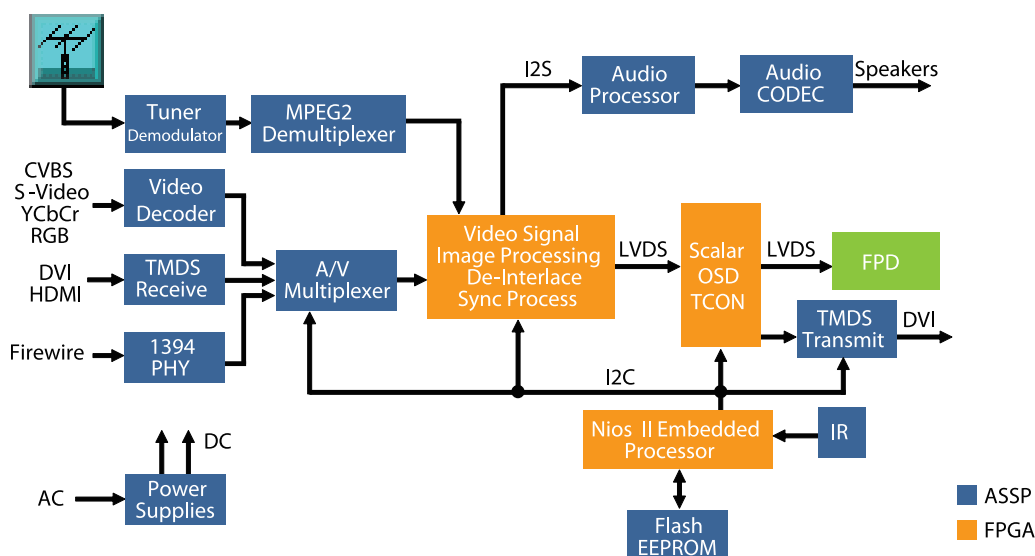
IP MegaCore	説明
カラー・スペース・コンバータ	画像データを様々なカラー・スペース間で変換します。
クロマ・リサンブラ	画像フレームのクロマ・データのサンプリング・レートを変更します。
ガンマ補正	カラー・スペースでガンマ補正を実行します。
2D FIR フィルタ	画像データ・ストリームに 3×3、5×5、または 7×7 の FIR フィルタを使用し、画像をソフトまたはシャープにします。
2D メディアン・フィルタ	3×3、5×5、または 7×7 フィルタを使用して、各ピクセル値を隣接ピクセルとの中間値に置換することにより、画像のノイズを除去します。
アルファ・ブレンディング・ミキサ	複数の画像ストリームを混合およびブレンドします。
スケーラ	画像フレームをサイズ変更や切り抜きします。
デインタレーサ	インタレース・ビデオ・フォーマットをプログレッシブ・ビデオ・フォーマットに変換します。
ライン・バッファ・コンバイラ	画像用ライン・バッファをアルテラのオンチップ・メモリに効率的に配置します。

ビデオ入力フォーマット

標準的なデジタル LCD TV ブロック (図 1 に示す) では、チューナ・モジュールは MPEG2 または MPEG4 デコーダを使用した衛星、地上、またはケーブルの復調器になります。デジタル TV チューナからの信号以外に、標準的な LCD TV では DVI (デジタル・ビジュアル・インタフェース) または HDMI (高精細マルチメディア・インタフェース)、アナログ RGB、CVBS、S ビデオ、コンポーネント・ビデオなどの外部ビデオ入力も提供しています。

LCD HDTV モニタは、さまざまなビデオ入力フォーマットに対応できなければなりません。ディスプレイに直接マップできるフォーマットもありますが、正しく表示するにはフォーマットのリスケールが必要で

図 1. 標準的なデジタル LCD TV のブロック図



Nios エンベデッド・プロセッサ

設計者は、制御機能にハード・ロジック (多くはステート・マシンの形で) を使用する代わりに、いくつかの理由から Nios® II エンベデッド・プロセッサを使用する傾向にあります。まず、Nios II エンベデッド・プロセッサは、HDL に比べてはるかにデザインおよびデバッグが簡単です。開発が容易であること以外に、設計者は 1 つの CPU と幅広いアプリケーションに適合するツールセットの汎用性を好みます。さらに、Nios II ソフト・プロセッサは、外部プロ

セッサを必要としない非常に費用対効果の高いソリューションであり、設計者は追加費用なしで既存の FPGA デザインに埋め込むことができます。

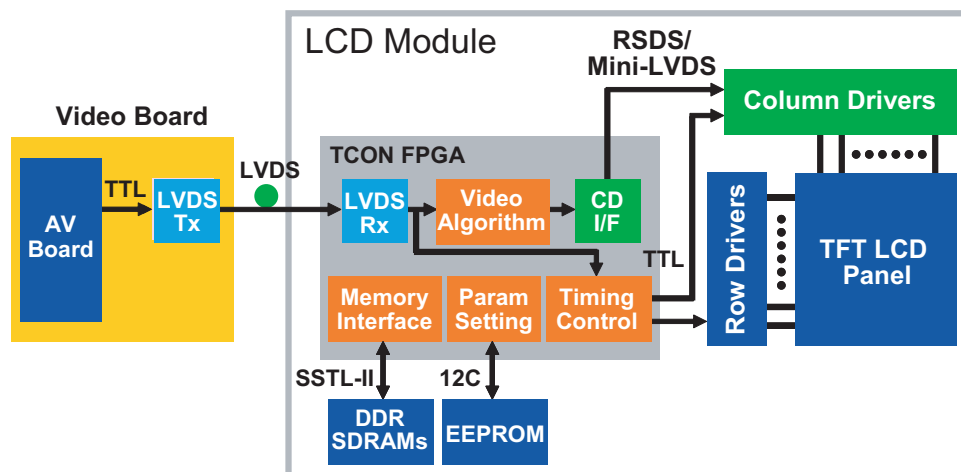
DTV アプリケーションの場合、Nios II プロセッサは、以下を含むすべてのデータ・トラフィックを制御します。

- ディスプレイへのビデオ・ストリームの配線
- リモート・コントロールの処理
- 一般的なハウスキーピング動作
- スマート・カードなどの条件付きアクセス・インタフェースの処理
- ビデオ・ストリームのコントロール・ワードの復号化

FPGA の利点

LCD HDTV の中心は、画像処理とタイミング・コントロール・ブロックです (図 2 を参照)。画像処理ブロックには、一般にスキャン・レート・コンバータ、フレーム・レート・コンバータ、カラー・デコーダ、動き検出、スケラ、デインタレースなどのファンクションが含まれます。

図 2. 標準的な LCD TV インタフェースのブロック図



HDTV LCD ディスプレイのカラー・レスポンス時間は、通常のディスプレイよりも遅く、カラー・コンテンツに依存します。これは、すべての表示アーティファクトの除去という追加要件を考慮する場合、画像処理アルゴリズムの開発の障害になります。Cyclone III FPGA は、デザインの柔軟性という非常に大きな優位性を有するため、設計者は再プログラミングすることなくデバイス内でアルゴリズムを再設計できます。

さらに重要な点は、Cyclone III ファミリが集積度、オンボード・メモリ、I/O など、設計者が最終製品に適したアプリケーションを設計するために活用できる機能を幅広く提供することです。

例えば、上記のデザインでは 1 本のタイミング・コントローラ・チャンネルを使用しており、小型ディスプレイまたは低解像度ディスプレイを対象としています。他方 Cyclone III FPGA を使用した場合、設計者は 2 チャンネルのタイミング・コントローラを使用し、より高い解像度のディスプレイまたはより大型 (36 インチ超) のディスプレイに対応できます。Cyclone III ファミリは、以下のようなアプリケーションをサポートするために、他の低コスト FPGA にはない機能を提供します。

- 外部メモリ・アクセスのための高速 I/O
 - 最大 200MHz の X36 DDR2
- メモリのブロック・サイズを 9K ビットまで高め、より効率的なビデオ・ライン・バッファリングを実現
- LVDS、mini-LVDS、RSDS などのチップ内終端 (On-Chip Termination) と差動バッファとの統合により、外部抵抗を不要にし、PCB レイアウトを簡素化する簡単な I/O デザイン

- 柔軟性の高い PLL の提供：
 - 出力の増加。デバイスあたり最大 20 本のグローバル・クロック
 - 変動するリフレッシュ・レートに対応する PLL の位相および周波数のオンザフライ・ダイナミック調整
 - PCB レイアウトを簡素化するオフチップ配線の無い PLL カスケード接続
 - 低コスト・クロックに対応する最小 5MHz の入力クロック周波数のサポート
- 他のコンシューマ・アプリケーションに比べ、はるかに温度が高い場合が多い環境において重要な利点である低消費電力

I/O の柔軟性

また、Cyclone III FPGA は I/O の柔軟性が非常に高く、常に新しい規格が登場する環境でデザインを開発するエンジニアにとって大きなプラスになります。例えば、上記のデザイン（図 2）では、ビデオ・ボードは LVDS バスを通じて LCD モジュールにインタフェースします。現在パーソナル・コンピュータとホーム・エンターテインメント・システムのいずれにも対応した機能で大いに注目を集めている DisplayPort などの規格が、今後はインタフェースの選択肢の 1 つになる可能性があります。ただし、このような新しい規格が多く、ASSP でサポートされることは少なく、エンジニアは要求される機能を適切なインタフェースに提供できる FPGA を追求することになります。Cyclone III FPGA は、幅広い規格に接続する能力と、必要なタイミングと制御を提供する PLL 出力を備えた新しい規格をサポートします。

Cyclone III FPGA で使用できる価値ある I/O のもう一つの例として、前世代の Cyclone デバイスで利用され、現在では On-Chip Termination も加わった RSDS があります。現在、設計者はより高いシグナル・インテグリティを達成し、インタフェースにしばしば要求される抵抗パックをなくして部品数を減らすことができます。

ビデオ拡張

ディスプレイ・メーカは、トゥルー・カラーとモーション性能に関する独自のアルゴリズムを追加し、自社製品の差別化を図りながら、Cyclone III FPGA を前述のビデオ / 画像処理スイートと併用して、迅速な開発促進と市場機会の活用を実現できます。LCD パネルから真のビデオ性能を引き出すために、2つの独自のビデオ拡張方法が使用されます。

1 つは、テンポラル・ディザリングと呼ばれる技術で、一定時間にピクセルのオンとオフを迅速に切り替えることによって、それぞれの色に対してトゥルー・グレイ・スケールを生成します。もう 1 つの空間ディザリングは、正確な量の色強度スケールを生成します。空間ディザリングは、空間ノイズまたはエラー拡散を引き起こす可能性があり、この種のノイズを補正するには、さらなるフィルタリングとファイン・チューニングが必要です。

性能

Cyclone III FPGA は、最大 4M ビットの RAM、最大 288 個のハードコード DSP ブロック、最大 120K のロジック・エレメントなどの DSP 処理機能を備えているため、性能を大幅に向上させます。Cyclone III FPGA は、いくつかの DSP プロセッサでサポートされている機能を提供し、コスト削減、より高度な集積能力、消費電力の大幅削減などを実現します。

まとめ

LCD は、当初は静止したコンピュータ・データ・テキストやグラフィックス用として設計されたものですが、現在は大型ディスプレイ・パネルに素早い動きのビデオ・コンテンツを表示します。この能力には、FPGA で実装可能な特別な画像処理アルゴリズムが必要です。Cyclone III FPGA ファミリーは、LCD 設計者に標準ハードウェア・プラットフォーム内でパネル・サイズに基づいて、これらのアルゴリズムをリコンフィギュレーションする集積度と機能セットを提供します。これは製造コストを削減し、製品の早期市場投入を実現するのに役立ちます。さらに、設計者は Cyclone III FPGA のダイナミック画像処理に対する柔軟性を用いて、最先端の商用 TV やディスプレイ・アプリケーションにより広く LCD を応用することができます。

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.