

急成長するワイヤレス・アプリケーションに対応する Cyclone III FPGA

はじめに

リモート・レディオ・ヘッド (RRH)、pico/femto BTS、WiMAX 加入者宅端末 (CPE)、ソフトウェア無線 (SDR) などの新しいワイヤレス・アプリケーションは、低消費電力および低コストの厳しい要求条件を課しています。これらの課題に加え、高いデータ・レートへの要求や常に進化する標準規格を満たすために、設計者は最終製品に高い性能と柔軟性を持たせる必要があります。

ここでは、WiMAX pico BTS をケース・スタディとして、アルテラの Cyclone® III FPGA を使用して、ワイヤレス・アプリケーションにおける多様な要求をどのように実現するか概要を紹介します。

急成長するワイヤレス・アプリケーション

より高いデータ・レートを要求する市場ニーズにより、ワイヤレス・セルラー・システムはナローバンド 2G GSM IS-95 システムから、最大 10 Mbps のピーク・データ・レートをサポートする現行世代の W-CDMA ベース 3G および 3.5G システムへと進化しました。将来の 3GPP LTE (Long-Term Evolution) 仕様では、Multi-Input Multi-Output (MIMO) などの複雑な信号処理技術が、OFDMA のような新しい無線テクノロジーとともに、100 Mbps を超えるターゲット・スループットを達成する鍵になると考えられています。WiMAX を始めとする他の OFDM ベース・ブロードバンド・ワイヤレス・システムも同様の進化を遂げており、70 Mbps を超える伝送速度を達成しています。ビル内でのカバーも今後のワイヤレス成長の重要な条件であると認識され、pico および femto BTS などのテクノロジーでこの問題に取り組んでいます。RRH は、資本や運用経費を削減しながらカバレッジを向上させることを目的とした、もう 1 つの新しいテクノロジーです。

急成長するアプリケーションに対するデザインの要求

前述の新しいワイヤレス・アプリケーションは、OEM に対して、設計する製品が拡張可能でコスト効率に優れているだけでなく、柔軟性に優れ、進化する複数の標準規格で再利用できなければならないという重大な課題を突きつけています。これらのさまざまな要求は最終的に、ハードウェア・プラットフォームの選択を決定付けます。

低コスト生産

pico BTS などのシステムは、資材費 (BOM) が数千ドルになる macro および micro BTS と比較して大幅に低く、一般的には数百ドルです。同様に、WiMAX CPE 機器は 200 ドル以下になると予測されています。これらの価格をサポートするには、ベースとなるシリコンを低コストで量産できることが必要です。

低消費電力

pico BTS や RRH などのシステムは、macro および micro BTS よりも実装面積が小さく、通常は屋上やポールに取り付けられます。小さなフォーム・ファクタと重量への制約により、通常これらのシステムには強制気流または冷却ファンを実装できないため、使用するハードウェアの許容消費電力レベルは厳しく制限されます。

柔軟性

WiMAX は比較的新しい市場であり、現在は初期開発および導入期にあります。同様に、3GPP LTE は標準化作業が進められており、最終案が作成されるまでに何回も改訂が行われます。こうした状況では、バグ修正を可能にしたり、標準規格にとらわれない、またはマルチプロトコルの基地局ソリューションを提供するために、柔軟で再プログラム可能な製品を持つことが必要です。しかし、それは最終製品を ASIC で設計したのでは達成できません。高い柔軟性を備えたシステムは、絶えず進化する標準規格によってもたらされるリスクを軽減しながら、ワイヤレス・インフラストラクチャ OEM および事業者の設備投資や運用経費を大幅に削減します。

高性能

WiMAX ブロードバンド・ワイヤレス・システムは、W-CDMA および CDMA2000 セルラー・システムよりも大幅に高いスループットおよびデータ・レートを要求します。高いデータ・レートをサポートするには、ハードウェア・プラットフォームが広い処理帯域幅を持っていないとなりません。さらに、ターボ・コーディング/デコーディングや、高速フーリエ変換/逆高速フーリエ変換 (FFT/IFFT) を含むフロントエンド・ファンクションなどの高度な信号処理技術は演算を多用し、1 秒あたり数百万回の乗算および累算 (MAC) 演算を必要とします。ソフトウェア・プログラマブル・マルチプライヤには、これらの性能要件に対応できる処理帯域幅がなく、チャンネルあたりのコスト効率が低い実装となります。

急成長するワイヤレス・アプリケーションを可能にする Cyclone III FPGA

Cyclone III FPGA では、かつてない低消費電力、高機能、および低コストが実現されており、システム電力の節約、生産性の向上、競争力の最大化を可能にします。最大 3.9M ビットの RAM、120,000 ロジック・エレメント (LE) の集積度、および 288 個の 18 × 18 マルチプライヤにより、Cyclone III ファミリはその他の低コスト FPGA と比べて高レベルの機能性を提供します。

Cyclone III ファミリは、低消費電力 FPGA を提供するアルテラの強固なリーダーシップの頂点に立つものです。アーキテクチャおよびシリコン機能強化による包括的アプローチ、最新の半導体プロセス・テクノロジー、および顧客向けの完全な消費電力管理ツールを融合することにより、アルテラは 90 nm ベースの Cyclone II FPGA と比較して最大 50% の消費電力削減を達成しており、Cyclone III ファミリは同等の FPGA のの中では最も消費電力が低くなっています。多数のマルチプライヤとオンチップ・メモリおよび並列処理能力を統合した Cyclone III FPGA は、標準マルチプライヤを大幅に上回る高い性能を備えています。図 1 は Cyclone III の DSP 性能を標準マルチプライヤと比較したものです。

図 1. Cyclone III FPGA の DSP 性能の比較

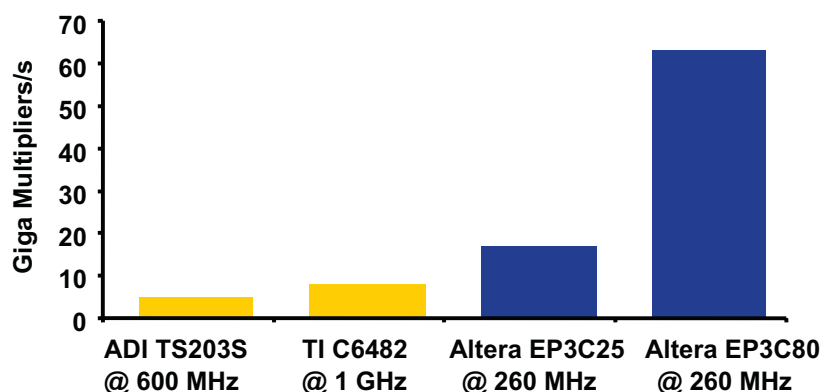
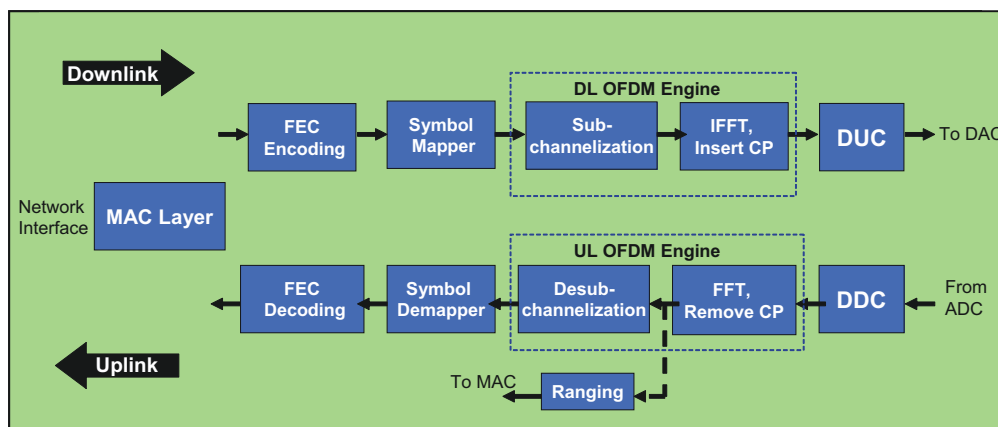


図 2 は WiMAX pico BTS の機能を表すブロック図です。次の項では、Cyclone III FPGA の低消費電力、メモリ、およびマルチプライヤを使用して、pico BTS のさまざまな機能をコスト効率よく実装する方法について説明します。

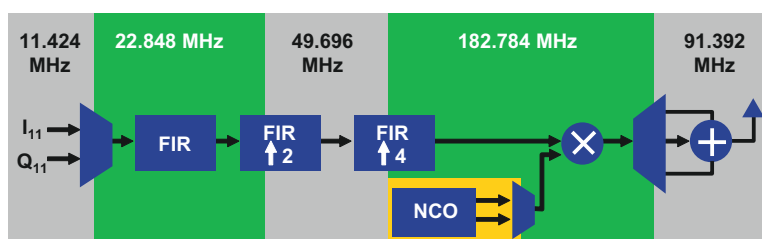
図 2. WiMAX Pico BTS のブロック図



WiMAX DUC および DDC

デジタル・アップコンバータ (DUC) とデジタル・ダウンコンバータ (DDC) は両方とも、有限インパルス応答 (FIR) フィルタやカスケード積分くし形 (CIC) フィルタなどの複雑なフィルタ・アーキテクチャを使用します。Cyclone III FPGA には 260 MHz の速度で動作する最大 288 個の 18×18 マルチプライヤが搭載されており、DUC および DDC 機能を実装するための低コスト、低消費電力のプラットフォームを提供します。図 3 と図 4 に、WiMAX DUC および DDC のアーキテクチャと仕様の概要を示します。

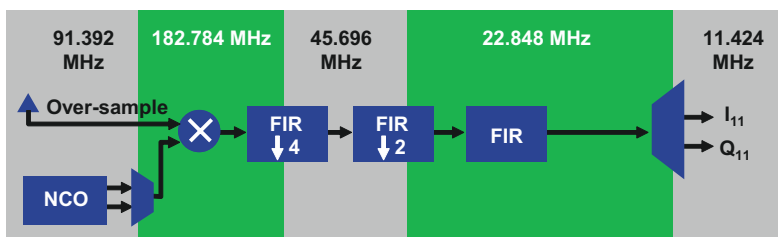
図 3. 単一チャネル IQ 時分割多重 DUC



注:

(1) NCO = 数値制御オシレータ

図 4. 単一チャネル IQ 時分割多重 DDC



リファレンス・デザインの詳細については、「AN 421: Accelerating WiMAX DUC and DDC System Designs」(www.altera.co.jp/literature/an/an421.pdf) を参照してください。

表 1 に、これらのデザインおよび W-CDMA ベースの DUC および DDC pico BTS デザインで消費される Cyclone III EP3C80 FPGA のリソースを示します。Cyclone III EP3C80 は WiMAX および W-CDMA アプリケーションの DUC/DDC 機能を実装するのに、リソースの数パーセントしか使用しません。したがって、残りの FPGA は他のアプリケーションに使用することができます。

表 1. DDC/DUC に使用される Cyclone III EP3C80 FPGA のリソース

	LUT 数	ロジック・レジスタ数	M9K メモリ数	18×18 マルチプライヤ数	f_{MAX} (MHz)	電力 (W)
WiMAX DUC	2704	5900	50	30	192	0.4
WiMAX DDC	2623	4786	46	25	203	0.4
W-CDMA DUC	4462	5865	28	18	149	0.3
W-CDMA DDC	4102	5666	21	22	144	0.3
EP3C80 リソースの 最大使用率	6%	7%	28%	10%		

注:

(1) 消費電力は事前の特性評価の推定値に基づきます。これらの数値は最終特性評価後に変更されます。

表 1 から、低消費電力の利点もわかります。DDC および DUC 機能は 0.5 W 以下の電力しか消費せず、多くの新しい基地局および RRH の電力要件に適合します。

WiMAX OFDMA エンジン

図 2 に示すように、ダウンリンク (DL) OFDMA エンジンにはサブチャネライゼーション、IFFT、およびサイクリック・プリフィックス・インサージョンなどの機能が含まれます。逆に、アップリンク (UL) OFDMA エンジンにはサイクリック・プリフィックス・リムーバル、FFT、およびサブチャネライゼーションなどの機能が含まれます。Cyclone III FPGA の豊富な M9K メモリ・ブロックとマルチプライヤは、表 2 および表 3 に示すとおり、DL および UL OFDMA エンジンのコスト最適化された実装を可能にします。

表 2. DL OFDMA エンジンに使用される Cyclone III EP3C80 FPGA のリソース

FFT サイズ	組み合わせ ALUT 数	ロジック・ レジスタ数	メモリ (ビット)	メモリ M9K	マルチプライヤ数		f _{MAX} (MHz)
					9 × 9	18 × 18	
128	3,132	3,766	31,439	8	0	4	161
512	3,724	4,372	125,483	18	0	4	156
1,024	4,176	4,646	250,916	33	0	4	171
2,048	5,142	5,300	501,762	63	0	4	172

表 3. UL OFDMA エンジンに使用される Cyclone III EP3C80 FPGA のリソース

FFT サイズ	組み合わせ ALUT 数	ロジック・ レジスタ数	メモリ (ビット)	メモリ M9K	マルチプライヤ数		f _{MAX} (MHz)
					9 × 9	18 × 18	
128	3,909	4,427	38,790	19	2	3	149
512	3,976	4,512	137,384	35	2	3	146
1,024	3,834	4,461	271,780	57	2	3	140
2,048	4,015	4,566	535,950	77	2	3	144



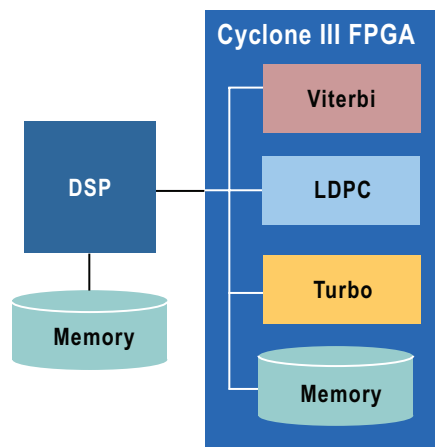
リファレンス・デザインの詳細については、「AN 412: A Scalable OFDMA Engine for Mobile WiMAX」(www.altera.co.jp/literature/an/an412.pdf) を参照してください。

WiMAX ターボ・デコーディング

Viterbi デコーディング、ターボ・コンボリューショナル・デコーディング、ターボ・プロダクト・デコーディング、LDPC デコーディングなどの順方向誤り訂正 (FEC) のデコーディング方式は、演算を多用し、ソフトウェア・プログラマブル・マルチプライヤでの実行時にかなりの帯域幅を消費します。FPGA はこれらの機能の負担を軽減するために広く使用され、DSP 帯域幅を他の機能の実行に解放します。これらの同じ FPGA を使用して、MAC レイヤにインタフェースしたり、暗号化 / 復号化や認証などの特定の低位 MAC ファンクションを達成することも可能です。アルテラの低コストでメモリ容量の大きい Cyclone III FPGA は、適切なロジック / メモリ比を備えており、そのような DSP コプロセッシング機能の実行に最適です。例えば、20 Mbps の WiMAX コンボリューショナル・ターボ・デコーディングを EP3C55 FPGA の LE の 10% 以下、メモリの 5% 以下で実装できます。

図 5 は、さまざまな FEC デコーディング方式によって、処理をどのようにマルチプライヤから FPGA コプロセッサに振り向けるかを示しています。

図 5. WiMAX ベースバンド処理のための FPGA コプロセッサの使用



まとめ

最大 3.9M ビットの RAM、120,000 個の LE、および 288 個の 18×18 マルチプライヤにより、Cyclone III FPGA は Cyclone II FPGA よりも多くのエンド・アプリケーション機能を、低コストと低消費電力を実現しながら統合することができます。例えば、WiMAX pico BTS の DUC と DDC、DL および UL OFDMA エンジン、CTC デコーディング機能をすべて、ミッドレンジ Cyclone III EP3C55 FPGA に 2 W 以下の消費電力と 29 ドル以下の価格で統合できます。Cyclone III FPGA ファミリは、消費電力、多機能性、およびコストのこれまでにない組み合わせにより、成長著しいコスト重視の量産型ワイヤレス・アプリケーションの幅を広げます。

詳細情報について

- WiMAX チャンネルカード・ソリューション：
www.altera.co.jp/end-markets/wireless/broadband/wimax/channel-card/wir-wimax-channel.html
- WiMAX RF カード・ソリューション：
www.altera.co.jp/end-markets/wireless/broadband/wimax/rf-card/wir-wimax-rf.html
- DSP アプリケーション用 FPGA コプロセッサ：
www.altera.co.jp/technology/dsp/devices/fpga/dsp-fpga_coprocessor.html
- アルテラの DSP IP コア：
www.altera.co.jp/products/ip/dsp/ipm-index.jsp
- Cyclone III エンド・マーケット・アプリケーション：
www.altera.co.jp/cyclone3-markets

謝辞

- Deepak Boppana, Sr. Technical Marketing Engineer, Communications Business Unit, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.