

65 nm Cyclone III FPGA における低消費電力の実現

65 nm Cyclone® III ファミリの発表により、アルテラはコスト重視の量産アプリケーション向けに、継続して優れた機能を提供します。65 nm プロセス・ノードへの移行は、コストの低下、性能の向上、ロジック容量の増加など、プロセス・ジオメトリの微細化に伴う利点をもたらします。しかし、その一方で 65 nm プロセスは消費電力の面で新たな課題も生み出しています。このホワイトペーパーでは、アルテラがどのようにして、65 nm プロセスでスタティックおよびダイナミック消費電力を大幅に削減しながら、同様の 90 nm プロセス・デバイスを上回る性能を維持できるかについて説明します。

はじめに

これまで、次世代 FPGA は、機能の拡張と性能の向上にばかり目が向けられてきました。しかし、設計者はそうした新しい機能や性能の向上を従来と同じ（あるいは、多くの場合はより少ない）スペースと消費電力の制約の下で実現しなければならないこともよくあります。また、アプリケーションの中には特定の電力要件を満足する必要があるものも存在します。その結果、設計者が FPGA を選択する基準において、消費電力の占める比重はますます大きくなっています。

65 nm プロセス・ノードに関連する低コストおよびリソースの増加を提供するために、アルテラはシリコン・プロセスの最適化と Quartus® II PowerPlay 消費電力解析 / 最適化テクノロジーを組み合わせ、業界で最も消費電力の低い、低コスト 65 nm FPGA である Cyclone III デバイスを開発しました。

低消費電力の利点

これらの消費電力の目標達成することによって、デバイスが正常に動作するだけにとどまらず、多くの利点を得られます。もちろん、コンポーネントの仕様範囲内で動作することは性能と信頼性に対する期待を満足するうえで必須ですが、消費電力の目標達成はシステム全体に対してより大きな好影響を与えます。

FPGA の消費電力の削減は、システム・デザインに直接的な利益をもたらします。電源の要求が低くなると、部品点数の少ない安価な電源を実現でき、PCB の占有面積も少なくて済みます。高性能電力システムの実装コストは、通常 1 ワットあたり US\$0.50 ~ US\$1.00 です。したがって、FPGA を低消費電力で動作させることは、システム全体のコスト削減に直結します。ファンの小型化やファンの廃止によって EMI も削減されます。

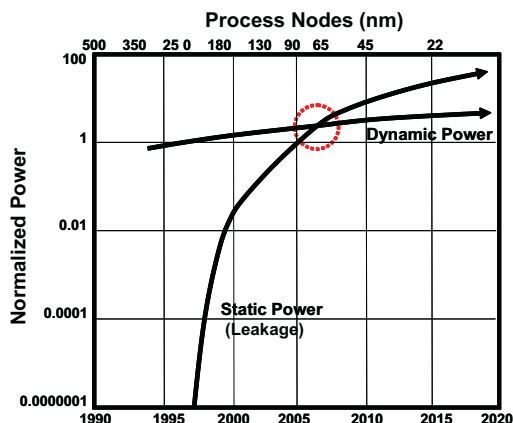
熱放散は消費電力に直接関係しており、動作電力が低下すると、よりシンプルで安価な温度管理が可能になります。また、ヒート・シンクをなくしたり、より小型のヒート・シンクを使用できる場合も少なくありません。高集積・高性能デザインでは、より高コストで信頼性の低いアクティブ・コンポーネントの代わりに、パッシブ・ヒート・シンクを使用できる場合があります。それによって、システムの空気流要件も緩和されます。

低消費電力動作によって、部品点数が少なくなり、デバイス温度も低下します。このことはシステムの信頼性の向上につながります。デバイスの動作温度が 10 °C 下がるだけでコンポーネントの寿命は 2 倍に延びます。このように、FPGA の消費電力の低下は、性能、コスト、および品質の面でシステム全体に直接恩恵をもたらします。

65 nm プロセスにおける消費電力の課題

消費電力は、スタティック消費電力とダイナミック消費電力で構成されます。これまで、半導体のジオメトリの小型化が進み、システム・スピードが高くなった場合、各ノードでコア電圧が低下するため、ダイナミック消費電力の増加への対応が可能でした。また、寄生キャパシタンスの低下（トランジスタの小型化に関連）およびロジック間の容量性インタコネクタの短縮および低下により、ダイナミック消費電力の増加率も緩やかなものになります。しかし、スタティック消費電力は、トランジスタ・リークが増加に伴って指数関数的に増加します。図 1 に、スタティック消費電力がダイナミック消費電力と等しくなる 65 nm の交差ポイントを示します。

図 1. スタティックおよびダイナミック消費電力とプロセス・ノード



スタティック消費電力の課題

半導体物理学の広く知られた法則に、トランジスタの長さが短くなるとリーク電流が増加するというものがあります。物理的な距離が短くなると、電流がリークしやすくなります。ソース・ドレイン・リークとゲート・リークはそれぞれチャネル長およびゲート酸化膜厚に反比例するため、これらのリークは大幅に増加します。

ソース・ドレイン・リーク

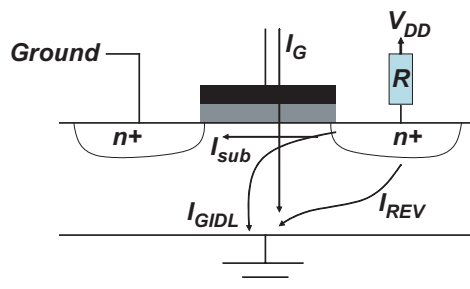
リークの支配的要素は、サブスレッショルド (I_{SUB}) (図 2) とも呼ばれるソース・ドレイン・リークです。ここで、電流はトランジスタ・ゲートがオフの場合でもソースからトランジスタ・ドレインに流れます。トランジスタ・ゲートが小型になるとこの電流を防ぐことが困難になります。したがって、より小型の 65 nm トランジスタでは、他のすべてのパラメータが同じサイズの大きなトランジスタに比べて、ソース・ドレイン・リークははるかに大きくなる傾向があります。また、ソース・ドレイン・リークは温度の上昇に伴って指数関数的に増加します。例えば、ジャンクション温度 (T_J) が 25 °C から 85 °C に上昇すると、ソース・ドレイン・リークは 5 倍に増加します。

もう一つの課題として、ゲート酸化膜の厚さが挙げられます。酸化膜厚が薄くなるとトランジスタはより高速でオン/オフできる一方、リーク電流も増加します。また、リーク電流量はトランジスタのスレッショルド電圧にも影響されます。トランジスタのスレッショルド電圧 (V_T) とは、チャネルがゲート・ソース間に電流を流すときの電圧です。小型の高速トランジスタの場合、ゲート・コントロールを介してオン/オフの切り替えを行うのに必要な速度を維持するために、低いスレッショルド電圧 (酸化膜厚とドーピングによって影響を受ける) を必要としますが、これによってトランジスタ・チャネルが完全にオフできなくなるため、リーク電流が増加します。

ゲート・リーク

サブスレッショルド電圧ほどではないものの、ゲートからサブストレートに流れるこのリーク要素も重要です。65 nm プロセス・ノードでは、トランジスタ・ゲート酸化膜厚が薄くなっているため、ゲート・リークが増加します。ソース・ドレイン・リークとは異なり、ゲート・リークは温度が上昇してもわずかしこ増加しません。

図 2. トランジスタ・リーク図



ダイナミック消費電力の課題

ダイナミック消費電力とは、デバイスの信号のトグルおよび容量性負荷の充電 / 放電を通じて消費される電力です。図 3 に示すように、ダイナミック消費電力に影響する主な変数は、キャパシタンスの充電、電源電圧、およびクロック周波数です。ダイナミック消費電力は、プロセスの縮小を利用してキャパシタンスと電圧を低減することにより、ムーアの法則に従って減少します。課題は、各プロセスを縮小してより多くの回路を実装し、最大クロック周波数を高くすることです。同等回路の低消費電力化はプロセス・ノード間で鈍化しますが、FPGA 容量は倍々に増え、最大クロック周波数も高くなる一方です。

図 3. ダイナミック消費電力に影響する変数

$$P_{dynamic} = \left[\frac{1}{2} CV^2 + Q_{ShortCircuit} V \right] f \cdot activity$$

Capacitance Charging
Short Circuit Charge During Switching
Percent of Circuit That Switches Each Cycle

スタティクおよびダイナミック消費電力を低減するために十分な対策を講じないと、FPGA の消費電力が容易にプロセス・ノードの小型化によって得られる利点を相殺するレベルにまで達する可能性があります。

アルテラの Cyclone III FPGA における 65 nm 消費電力の課題への対処

アルテラは 65 nm プロセスの消費電力の課題に対処するために、TSMC の 65 nm ロー・パワー (LP) プロセスの使用、シリコン・プロセスの最適化、そして PowerPlay 電力解析および最適化テクノロジーの 3 つの柱から成る戦略を構築しました。

TSMC 65 nm ロー・パワー・プロセス

TSMC は、0.13 μm 以降の各プロセス・ノードにおいて、低消費電力アプリケーション用に最適化されたテクノロジー・ファミリを提供しています。TSMC の 65 nm LP テクノロジー・ファミリは、DVR、ハンドセット、およびポータブル・メディア・プレーヤなどのポータブルおよびコンシューマ市場のアプリケーションをターゲットにしています。スタティクおよびダイナミック消費電力を最小限に抑えるために、LP プロセスの性能およびリークは複数のスレッショルド電圧、I/O 電圧トランジスタ、および可変ゲート長トランジスタの使用により微調整されてきました。LP デバイスは TSMC の汎用 (G) デバイスよりも厚いゲート酸化膜を使用して、待機時リークを指数関数的に低減しますが、トレード・オフを図るのは一部の性能のみです。さらに、TSMC はライブラリ、IP、および低消費電力用に最適化されたデザイン・リファレンス・フローによる密接に統合されたプロセスおよびデザイン・テクノロジー手法を採用しています。

シリコン・プロセスの最適化

半導体業界では、進化する小型プロセス・ディメンションの課題に継続的に取り組んでおり、装置、プロセス・テクノロジー、デザイン・ツール、および回路手法に膨大な投資を行っています。プロセス・ジオメトリの微細化に伴うトランジスタ・リークによる消費電力の増大は、業界全体の課題となっています。トランジスタ・リークによる消費電力を管理しながら性能を維持または向上させるために、65 nm プロセス・ノード (およびそれ以前) で広く使用される多くのテクノロジーを使用しています。アルテラは、表 1 に示す業界最新の能力を使用する業界最先端の FPGA を継続して提供しています。

表 1. アルテラが採用するプロセスおよびデザイン・テクニック

デザイン・テクノロジー	プロセス・ノード	利点
全層銅配線	150 nm	性能向上
Low-k 誘電体	130 nm	性能向上 消費電力低減
マルチ・スレッショルド・トランジスタ	90 nm	消費電力低減
可変ゲート長トランジスタ	90 nm	消費電力低減
TSMC ロー・パワー・プロセス	65 nm	消費電力低減

全層銅配線

アルテラは、150 nm プロセス・ノードからオンチップの配線の全層銅メタルに切り替え、FPGA 業界で初めて 130 nm、90 nm、および 65 nm の全製品に全層銅配線を採用しました。アルミニウムを銅に置き換えることで、電気抵抗および電力抵抗を低減して性能を向上させます。

Low-k 誘電体

誘電体はメタル層間に絶縁を提供することにより、複数の配線層を可能にします。Low-k 誘電体に移行することで配線層間のキャパシタンスが減少し、それによって性能が大幅に向上し消費電力が大幅に減少します。アルテラは、Low-k プロセス・テクノロジーの採用に成功した最初の FPGA 企業です。

マルチ・スレッシュホールド・トランジスタ

トランジスタの電圧スレッシュホールドは、トランジスタの性能とリーク電力に影響を与えます。アルテラは、性能が要求される場合は高速トランジスタを生成する低スレッシュホールド電圧を使用し、性能が要求されない場合は低速かつ低リークのトランジスタを生成する高スレッシュホールド電圧を使用しています。マルチ・スレッシュホールド・トランジスタは、90 nm および 65 nm の Stratix® シリーズ・デバイスと 65 nm の Cyclone III デバイスで使用されています。

可変ゲート長トランジスタ

トランジスタのゲート長は、トランジスタの速度とサブスレッシュホールド・リークに影響します。トランジスタの長さが 65 nm プロセスの最小ゲート長に近づくにつれて、サブスレッシュホールド・リーク電流が大幅に増加します。アルテラでは、性能が要求されない場合は回路のリーク電流を低減するために、より長いゲート長を使用しています。また、性能が重視される場合には、性能を高めるためにより短いゲート長を使用しています。アルテラは、消費電力を低減するために最初に 90 nm および 65 nm Stratix シリーズで採用した可変ゲート長を 65 nm Cyclone III デバイスでも継続して使用しています。

PowerPlay 消費電力解析および最適化テクノロジー

アルテラの技術革新の主要分野となるのが、消費電力に配慮した Quartus II の合成および配置配線エンジンです。ユーザは特別に意識することなく GUI の簡単な設定でアルテラの PowerPlay テクノロジーを使用することができます。デザイン・エンジニアは、デザイン入力プロセスでタイミング制約を設定し、デザインを合成するだけで性能要求を満たすことができます。アルテラとサードパーティのツールは、消費電力を考慮した配置配線、およびクロックにより消費電力を低減し、各ロジックに対して必要な性能を自動的に選択します。Quartus II ソフトウェアは、以下に示すような、設計者が特に意識する必要がない消費電力の自動最適化機能を備えており、Cyclone III FPGA アーキテクチャの詳細を最適に利用して消費電力を最小化します。

■ 解析および合成における最適化

- 消費電力を低減する主要なファンクション・ブロックの変換、ユーザ RAM のマッピング
- ダイナミック消費電力を低減するロジックの再構築、トグル・レートの高いネットでのキャパシタンスを最小化するロジック入力の適切な選択

■ フィットにおける最適化

- コア・ロジックの面積と配線数の低減による配線時のダイナミック消費電力の最小化
- クロック消費電力を削減する配置の変更
- 非タイミング・クリティカル・データ信号配線時の速度調整による消費電力の低減

結果として得られるデザインは、最小限の消費電力で設計者の要件に適合させることができます。ユーザにはロウ・エフォートまたはハイ・エフォート最適化を選択するオプションがあります。“high effort”を選択した場合、コンパイル時間は長くなりますが消費電力を最大限節約できます。ただし、結果はデザインおよび選択したエフォート・レベルに応じて変化します。この機能の目標は、デザイン性能への影響を最小限に抑えながら、ユーザの介入なしで消費電力を低減することです。

アルテラの消費電力 / 性能上の利点

アルテラの 3 つの要素から成る Cyclone III ファミリでの消費電力低減戦略により、これらのデバイスの消費電力とリーク電流が大幅に削減されます（表 2 を参照）。65 nm デバイスの高リーク電流によりスタティック消費電力が許容範囲を超え、それによってユーザに多大な減損をもたらすのではないかと業界の懸念とは対照的に、アルテラの Cyclone III FPGA は 90 nm Cyclone II FPGA および競合の 65 nm FPGA を大幅に下回るスタティック消費電力を実現しました。また、積極的かつ革新的な消費電力低減手法により、アルテラの Cyclone III FPGA は 90 nm Cyclone II FPGA および競合する 65 nm FPGA よりも低いダイナミック消費電力を消費しながら、性能の向上も達成しています。

表 2. Cyclone III の消費電力低減手法

Cyclone III の消費電力低減手法	スタティック消費電力の低減	ダイナミック消費電力の低減
TSMC ロー・パワー・プロセス	✓	✓
シリコン・プロセスの最適化	✓	✓
PowerPlay 電力解析および最適化		✓

消費電力の低減に加え、アルテラは性能の競争力をより強固なものにしています。Cyclone III ファミリでは、Cyclone II デバイスに比べてロジック・ファブリックの性能は変わらないものの、エンベデッド・メモリ、I/O、メモリ・インタフェース、およびマルチプライヤなどすべての主要な性能の指標は向上しています。これらの消費電力管理手法を組み合わせることで、アルテラの Cyclone III ユーザはプロセス技術の革新からデザイン・ソフトウェアの消費電力最適化に至るまで、65 nm プロセスの持つ利点を最大限享受し、可能な最小限の消費電力で必要な性能を手にすることができます。

アルテラの 65 nm プロセスにおける製造リスクの最小化戦略

65 nm 半導体製造プロセスの利点を提供するためのアルテラの方針は、高度なテクノロジーおよび方法を利用して最高の機能と性能のデバイスを最も低いコストで提供しながら、お客様のリスクを最小限にして製品の早期市場投入を実現することです。アルテラが 130 nm および 90 nm デバイスで獲得している市場シェアは、高度な半導体テクノロジーのリスクを抑えることで FPGA アーキテクチャの市場での魅力が高まることを示しています。その目標に向かって、アルテラは 2003 年の早い時期から着実に 65 nm テクノロジーの開発と試験を行ってきました。

最新テクノロジーのリスクを最小化しながらプロセスの利点を確実に提供するために、アルテラは高度なプロセス技術、包括的な 65 nm テスト・チップ・プログラム、そして欠陥密度を低減する実証済みのシステムによる戦略を採用しています。すべての製品に対してこうした厳格なテストおよびチェックアウト手順を適用することによって、アルテラは製品の確実な供給に加え、最高レベルの品質と信頼をお約束します。

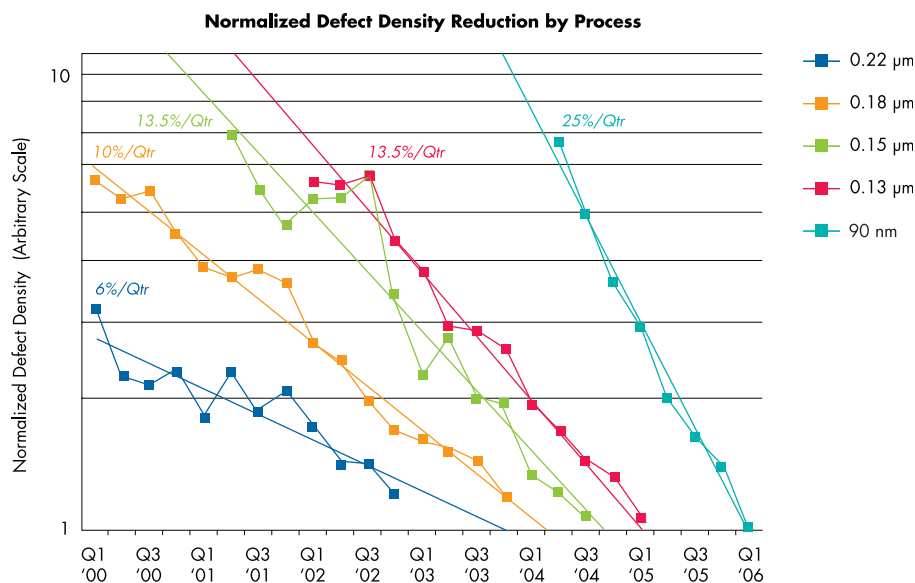
アルテラのファンドリ・パートナーである TSMC は、ファンドリ市場のリーダーです。TSMC は専門ファンドリの中で、50% を超える世界市場シェアを持ち、年間の研究開発投資額は、競合他社を 55% 上回っています。これらの投資により、TSMC はリソグラフィおよび 65 nm 半導体プロセスの利点を提供するアルテラの戦略において、業界の牽引役としての地位を確立しています。アルテラの DFM (Design-For-Manufacturability) テクノロジーにより、TSMC は高度なプロセス世代の製品を確実に提供することができます。例えば、TSMC は次世代のプロセスである液浸リソグラフィのパイオニアです。これはリソグラフィのレンズを純度の高い液体と組み合わせて高解像度光を生成し、より小型で高集積度のデバイスを実現する技術です。

TSMC は、独自でマスク・セットを作成することによってリソグラフィの分野を補完し、デバイス歩留まりの直接フィードバック・メカニズムを作り上げています。TSMC はこの能力を備えた数少ないファンドリの 1 社であり、マスク作成施設は業界で最も長期間操業しているため、製造性および歩留まりを競合他社よりも迅速かつ効率的に向上させることができます。このインフラストラクチャは TSMC の DFM 努力におけるリーダーシップも強力にサポートし、最初の DFM コンプライアンス・イニシアチブをスタートさせています。これには、複数のツールに対する最初の DFM 用統一データ形式、最初の DFM データ・キット、ライブラリおよび IP に対して DFM コンプライアンスを定義する最初のプログラムが含まれます。

65 nm プロセスを成功に導く上で、アルテラと TSMC のパートナーシップの強みは、両社が長年にわたり高度なプロセス・テクノロジーを共同で開発してきたことにあります。アルテラは複数のファンドリに意識を分散する必要なく、その努力を業界最強のファンドリに集中させたことで、複数の製造パートナーにより生じる製品の不一致やサプライ・チェーン中断のリスクなしに、高信頼性製品を供給することに専念できました。

アルテラと TSMC のパートナーシップの最も重要な成果の 1 つは、両社の共同努力によってアルテラ製品での欠陥密度が着実に減少したことです。シリコン・プロセスでの欠陥は避けられないものであり、新しいプロセスの初期段階では、欠陥密度がかなり高くなる場合も少なくありません。アルテラと TSMC は、フィードバックの繰り返しや製造の強化と改善を通して、欠陥密度を低減するために積極的に協力してきました。過去 5 世代のプロセスにわたって、欠陥密度を低減するだけでなく、この動きを加速させました (図 4 参照)。プログラマブル・ロジック業界で最も長期に及ぶこの努力の結果、アルテラと TSMC は、65 nm FPGA を迅速に高い信頼性で市場に投入し、大量生産をスムーズに開始できる最も有利な地位を得ています。

図 4. アルテラの TSMC ベースの製品で正規化された欠陥密度と過去 5 世代のプロセスの比較



アルテラは 65 nm プロセスの開発にあたり TSMC とパートナー関係にありますが、Broadcom、QUALCOMM、Freescale などの半導体業界のリーダとも協調しています。プロセス・テクノロジーを牽引するこれらの主要な半導体ベンダと並んで、TSMC は専門ファンドリの中で、65 nm プロセスの製造において最高の信頼性と品質を提供するユニークな位置を占めています。

まとめ

非常に小型のプロセス・ノードへの移行により、ムーアの法則で予測される高集積化および高性能化が実現する一方で、高性能化によって消費電力が大幅に増加し、許容範囲を超える電力が消費される危険性があります。消費電力を低減するための対策を講じないと、スタティック消費電力が重大なレベルまで増加する可能性があります。また、ロジック容量の増加と達成可能なスイッチング周波数が高くなっているため、具体的な消費電力最適化対策を講じないと、ダイナミック消費電力も増加する可能性があります。

アルテラは絶えず、性能を高めながら消費電力を最小化する最先端テクノロジーを提供しています。TSMC の 65 nm 低消費電力シリコン・プロセス最適化機能、および Quartus II PowerPlay 消費電力解析および最適化テクノロジーを採用することにより、Cyclone III FPGA は性能を犠牲にすることなく消費電力を最小限に抑えます。さらに、Cyclone III FPGA は、プロセスおよび回路デザインにおいて業界で最も優れたベスト・プラクティス (最良実施例) と併せて、アルテラの戦略的ファンドリ・パートナーシップを今後も継続していきます。その結果、Cyclone III デバイスは、Cyclone II デバイスと比べて 50% の消費電力削減を達成し、業界で最も消費電力の低い、低コスト FPGA となっています。

詳細情報について

- 「65 nm 半導体プロセスの利点を提供するためのアルテラの方針」：
www.altera.co.jp/literature/wp/wp-01002.pdf
- 「Stratix III プログラマブル・パワー」：
www.altera.co.jp/literature/wp/wp-01006.pdf
- 「Leakage Current: Moore's Law Meets Static Power, Computer, December 2003 IEEE Computer Society」：
www.eecs.umich.edu/~tnm/papers/computer03.pdf

謝辞

- Denny Steele, Sr. Marketing Manager, Low-Cost Products, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.