

## Stratix III FPGA の QDR II および QDR II+ サポート

## はじめに

コントローラ・メモリ・バッファ、ルックアップ・テーブル (LUT)、リンク・リストなどの広い帯域幅を要求するアプリケーションでは、できるだけ多くのメモリ帯域幅が必要です。QDR II+ および QDR II メモリ・アーキテクチャは、1 サイクルあたり合計 4 つのデータ・インスタレーションを供給するために、1 クロック・サイクルあたり 2 回動作する別々のリード・ポートとライト・ポートを備えています。

Stratix® III I/O は、QDR II+ および QDR II SDRAM などのダブル・データ・レート (DDR) 外部メモリ規格をサポートするように特別に設計されています。各 DQ ピンの背後には最大 31 個のエンベデッド・ハード I/O レジスタがあり、迅速な統合、およびメモリ・ドメインとアプリケーション・ドメイン間での安全なデータ転送を提供します。トップおよびボトム I/O バンクでは最高 350 MHz または 1,400 Mbps の周波数がサポートされ、サイド I/O バンクでは低い速度がサポートされます (表 1 を参照)。

表 1. 外部メモリ・インタフェースに対する Stratix III の最大クロック・レート・サポート (1)、(2)

メモリ規格	-2 スピード・グレード (MHz)		-3 スピード・グレード (MHz)		-4 スピード・グレード (MHz)	
	コラム I/O	ロウ I/O (3)	コラム I/O	ロウ I/O (3)	コラム I/O	ロウ I/O (3)
QDR II+ SRAM	350	300	300	250	300	250
QDR II SRAM	350	300	300	250	300	250

注:

- (1) 最終特性評価まで、すべての数値は暫定仕様です。
- (2) すべての数値は 1.1 V のコア電圧に基づいています。
- (3) ロウ I/O バンクのピンは、LVDS I/O 規格をサポートするために高い入力キャパシタンスを持っているため、これらの I/O のサポートは低周波数に制限されます。

IP コアと TimeQuest、SSN Estimator、ピン・プランナなどのソフトウェア・ツールは、使いやすく迅速な統合を支援します。自己キャリプレート式メガファンクション (ALTMEMPHY) は、Stratix III I/O を利用するように最適化されており、プロセス電圧および温度の全域において、高信頼性の周波数動作を達成するダイナミック補償データ・パスを提供します。

本書では、QDR II+ および QDR II SDRAM をサポートする Stratix III の I/O 機能について最初に説明し、次に QDR II+ および QDR II SDRAM インタフェース・デザイン実装のデザイン・フローを示します。最後に、Quartus® II ソフトウェアにおける TimeQuest およびピン・プランナ・ツールのサポートについて簡単に説明します。

## Stratix III の I/O 機能

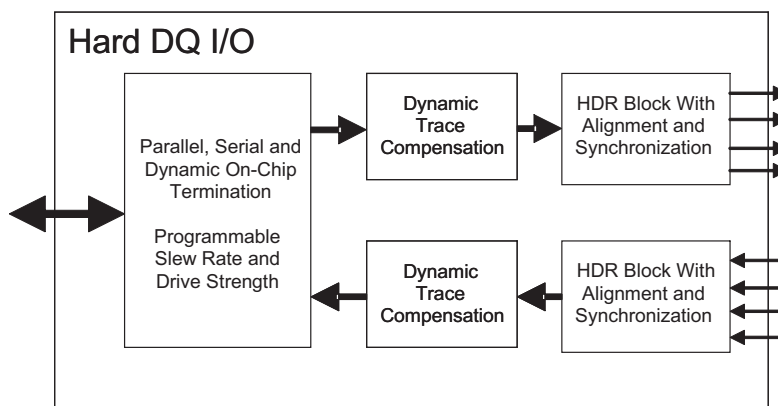
デバイスのモジュール・ベースの I/O バンク構造は、FPGA のすべてのサイドで 1.8 および 1.5 V HSTL をサポートする最大 24 の独立したユーザ I/O バンクを提供し、これによって外部メモリ・インタフェースを必要な場所に正確に、迅速かつ簡単に配置することができます。

8:1:1 のユーザ I/O、電源、グラウンドのピン数比率、スルー・レートとドライブ強度、並列および直列 OCT (On-Chip Termination) などのプログラマブルな I/O 機能が、クラス最高のシグナル・インテグリティを提供します。

## DQ ピンと DQS ピン

Stratix III の DDR データ・ピンは DQ ピンと呼ばれ、リード・データ・ストローブまたはクロックは DQS ピンと呼ばれます。Stratix III デバイスのどのサイドでも利用可能な標準的な DQ ピンは、QDR II および QDR II+ などの DDR デバイスとのインタフェース専用で最大 31 個のレジスタを含む I/O エlement に信号を供給します。図 1 に、DQ の I/O Element を示します。

図 1. DQ のハード I/O



### On-Chip Termination

Stratix III FPGA には、オン・ボード終端抵抗を削減する直列および並列 OCT があります。インピーダンス値の許容差は、デジタル自動キャリブレーション回路とプルアップ/プルダウン外部リファレンス抵抗によって制御されます。キャリブレートされた OCT を使用するには、外部リファレンス抵抗を  $R_{UP}$  および  $R_{DN}$  ピンに接続して、OCT キャリブレーション・ブロックをキャリブレートします。キャリブレート済みであるか、OCT が不要な場合、 $R_{UP}$  および  $R_{DN}$  ピンは DQ ピンとしても使用できます。

### ダイナミックな配線パターンの補正

Stratix III I/O のプログラマブル遅延チェーンは、配線パターン長のミスマッチを補正するデスクュー機能を提供します。各ピンは、ピンから入力レジスタまで異なった入力遅延 (50 ps 遅延ステップごとに 800 ps まで)、あるいは出力レジスタから出力ピンまで異なった出力遅延 (50 ps 遅延ステップごとに 1000 ps まで) を持つことができます。このプログラマブル遅延を使用すれば、PCB 上を伝送される時にバスの各要素の遅延を同じにして、可能な最良のタイミング・マージンを保証することができます。

### スルー・レート調整

Stratix III FPGA は、出力のスルー・レートを 4 つのレベルでスタティックに制御することができます。速いスルー・レート設定を使用すると、高い I/O 性能を達成でき、遅いスルー・レート設定ではシステム・ノイズや信号オーバーシュートを低減できます。

### プログラマブルなドライブ強度

ドライブ強度を高くすると電圧振幅が大きくなり、それによってノイズ・マージンが向上し、大きなタイミング・マージンを持つクリーンなアイ・ダイアグラムを提供します。ただし、ドライブ強度を高くする場合、一般に速いスルー・レートが必要であり、同時スイッチング・ノイズ (SSN) が増加することがあります。

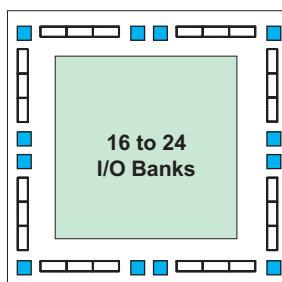
### アラインメントおよび同期機能を備えた HDR ブロック

データ・キャプチャの前は、データはクロックの両方のエッジで変化します (DDR)。データ・キャプチャの後では、データはクロックの正エッジでのみ変化します (シングル・データ・レートまたは SDR)。Stratix III I/O には、オプションで使用される第 2 のデータ・デマルチプレキシング・レジスタのセットがあり、データをハーフ・データ・レート (HDR) に変換するのに使用できます。データが正エッジでのみ発生することは同じですが、データ幅は 2 倍で SDR の半分の周波数で発生します。例えば、8 ビット、200 MHz DDR は、16 ビット、200 MHz SDR と等しく、また 32 ビット、100 MHz HDR と等しくなります。HDR は、低速でデータ幅の広いプロセスを高速メモリ・デバイスと簡単にインタフェースするのに役立ちます。Stratix III I/O 構造には、I/O の各レジスタ・ステージにオプションのバイパス回路が含まれています。

## 効率的なピン・パッキングと容易なパーティカル・マイグレーションを提供するモジュール・ベースの I/O

Stratix III デバイスには、バンクあたり 24、32、36、40、または 48 のユーザ I/O を持つ固定バンク幅の I/O バンクが 16 ~ 24 個含まれており、同一パッケージで異なるサイズの Stratix III デバイス間でインタフェースのパーティカル・マイグレーションを容易に行うことができます。また、多数の小さな I/O バンクを使用して、ピンを浪費したり失うことなくメモリ・インタフェースを効率的にパッキングできます。図 2 にこれらの I/O バンクの配置を示します。

図 2. モジュール・ベースの I/O バンク



## ピン・サポート

QDR II+ および QDR II SDRAM メモリ・インタフェースは、D および Q データ・ピンと CQ/CQn データ・ストロブ・ピンを必要とします。QVALID (QVLD) ピン (QDR II+ のみ) は、リード・データがキャプチャ可能であることを示します。

QDR II+ および QDR II SRAM インタフェースの場合、Stratix III の DQS ピンを単方向コンプリメンタリ信号に設定する必要があります。次に、メモリの CQ 信号と CQn 信号を Stratix III の DQS ピンと CQn ピンにそれぞれ接続します。未使用の DQS または DQ ピン (ライト・データ・ピンと同じ I/O バンク内) を単方向ライト・データ・ストロブまたはクロックに使用し、2つの別々の Stratix III DQ グループをリードおよびライト・データに使用します。書き込み方向でデスキュー機能を使用するには、D 出力が DQ 対応のピン上になければなりません。Stratix III デバイス内の I/O バンクごとに、4、8、9、16、18、32、および 36 ビットのプログラマブル DQ バス・モードで DQS および DQ 信号がサポートされます。

## BWSn ピンと QVLD ピン

QDR II+ および QDR II SRAM デバイスは、BWSn 信号を利用して、メモリに書き込むバイトを選択します。BWSn 信号が Low のときは、書き込みが有効であることを示します。同じバンク内の任意の DQ 対応 I/O ピンを BWSn 信号の D ピンとして使用できます。

QVLD ピンは QDR II+ SRAM インタフェースで使用され、リード・データが利用可能であることを示します。メモリ・デバイスあたり 1 本の QVLD ピンがあります。QVLD が High のときは、メモリが要求されたデータの出力中であることを示します。DQ 入力と同様に、この信号は QK/QK# 信号にエッジが揃えられ、データがメモリから出力されるよりも半クロック・サイクル前に送信されます。QVLD ピンは DQ ピンと同じように扱われ、サポートされます。自己キャリプレート式データ・バス ALTMEMPHY は、リード・トレーニング・パターンに基づいてスタートアップ時に自身をキャリプレートできるため、QVLD を必要としません。

## アドレス・ピンとコントロール / コマンド・ピン

アドレス・ピンとコントロール / コマンド・ピンは一般にシングル・データ・レートで送信されますが、バースト 2 の QDR II SRAM デバイスは例外です。リード・アドレスはメモリによってクロックの立ち上がりエッジでキャプチャされ、ライト・アドレスはクロックの立ち下がりエッジでキャプチャされることが必要です。アドレス・ピンとコントロール / コマンド・ピン用に特殊な回路は必要ありません。同じ I/O バンクの任意のユーザ I/O ピンをデータ・ピンとして使用できます。

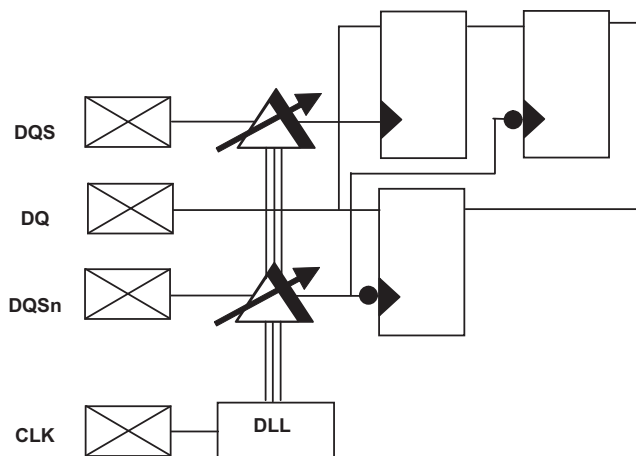
## メモリ・クロック・ピン

QDR II+ および QDR II SRAM デバイスは同じクロック (K/K#) を使用して、データ信号、アドレス信号、およびコントロール / コマンド信号をキャプチャします。DDIO を使用して D ピンと同じ方法でこれらの信号を生成すると、K/K# 信号と D 信号のプロセス、電圧、および温度 (PVT) の変化による影響が同じになります。

## DLL と DQS 位相シフト回路

DQS および DQSB 信号は入力クロックまたはストロブとして動作し、リード・トランザクションをキャプチャするために最適な位置にシフトしなければなりません。Stratix III FPGA には、ユーザーがプログラム可能な DQS 位相シフト回路が備わっています。DLL (Delay-Locked Loop) は PVT が変化しても、位相シフトを固定位置に維持します。図 3 に DLL と DQS 位相シフト回路の関係を示します。

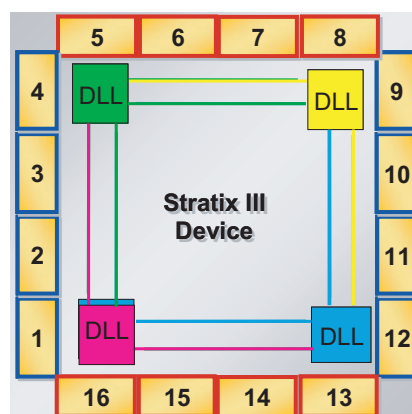
図 3. DLL と DQS 位相シフト回路



DQS 位相シフト回路は、DLL 周波数モードに応じて、着信 DQS 信号を 0°、22.5°、30°、36°、45°、60°、67.5°、72°、90°、108°、120°、135°、144°、または 180° シフトすることができます。シフトされた DQS 信号は DQ I/O エLEMENT の入力レジスタでクロックとして使用されます。

DLL は周波数基準を使用して、DQS ピンと DQSB ピンそれぞれの遅延チェーンのためにコントロール信号をダイナミックに生成して、PVT の変動を補償します。図 4 に示すとおり、Stratix III デバイスには 4 個の DLL があり、デバイスの各コーナーに配置されています。これら 4 個の DLL は最大 8 つの出力をサポートでき、100 ~ 400 MHz で動作可能です。

図 4. Stratix III FPGA の DLL



## リCONFIGURATION可能な PLL

PLL (Phase-Locked Loop) は、位相 0 度のシステム・クロック、90 度または 270 度位相シフトしたライト・クロック、ハーフ・レート PHY クロック、再同期クロックなどのメモリ・インタフェース・コントローラ・クロックを生成するのに使用されます。

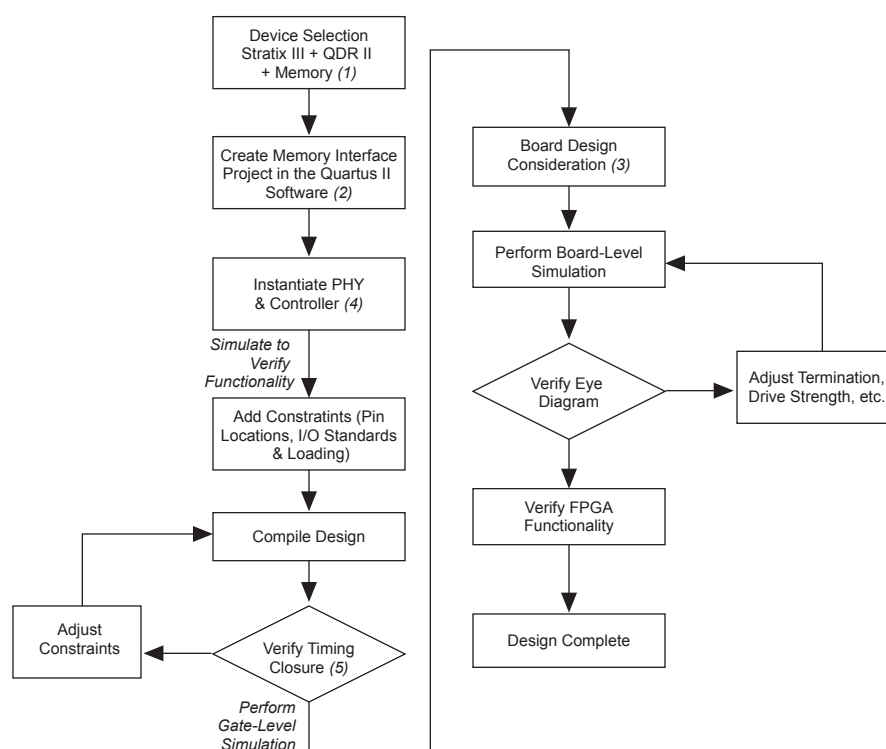
## ALTMEMPHY

Stratix III FPGA には豊富なメモリ・インタフェース機能が用意されており、堅牢で高性能の外部メモリ・インタフェースを提供します。ALTMEMPHY メガファンクションはこれらの機能を利用しているため、設計者は回路をブラック・ボックスとして扱うことができます。自己キャリプレート式データ・パスは、スタートアップ時にトレーニング・パターンを使用してデスキュー補正を実行します。QDR II+ および QDR II SDRAM デバイスから送信されたフリーランニングのリード・ストロブは、Stratix III I/O で使用される再同期クロックとハーフ・レート・クロックを作成します。

## デザイン・フロー

図 5 は、Stratix III デバイス上に QDR II+ または QDR II インタフェースを実装するためのデザイン・フローを詳しく説明しています。また、入手可能な別のドキュメントを参照しています。

図 5. QDR II および QDR II+ 外部メモリ・インタフェースのデザイン・フロー



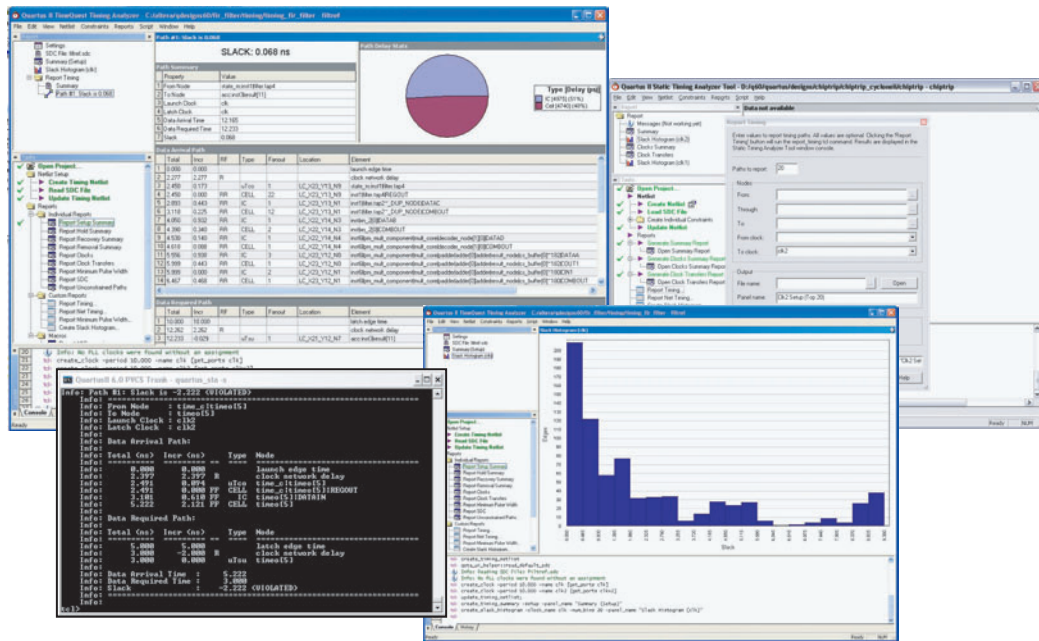
注:

- (1) 詳細は、「Memory Selection Overview」 ([http://www.altera.co.jp/technology/memory/images/memory\\_selection.pdf](http://www.altera.co.jp/technology/memory/images/memory_selection.pdf)) を参照してください。
- (2) Quartus II プロジェクトの作成については、「Quartus II User Guide」 (<http://www.altera.co.jp/literature/lit-qts.jsp>) を参照してください。
- (3) 終端、ドライブ強度、および負荷について詳しくは、「AN 408: Stratix II FPGA の DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」 ([http://www.altera.co.jp/literature/an/an408\\_j.pdf](http://www.altera.co.jp/literature/an/an408_j.pdf)) を参照してください。
- (4) コントローラのインスタンス化について詳しくは、「ALTMEMPHY User Guide」を参照してください。
- (5) 詳細は、TimeQuest タイミング解析のページ (<http://www.altera.co.jp/products/software/products/quartus2/verification/time-quest/tq-index.html>) を参照してください。

## ツール・サポート

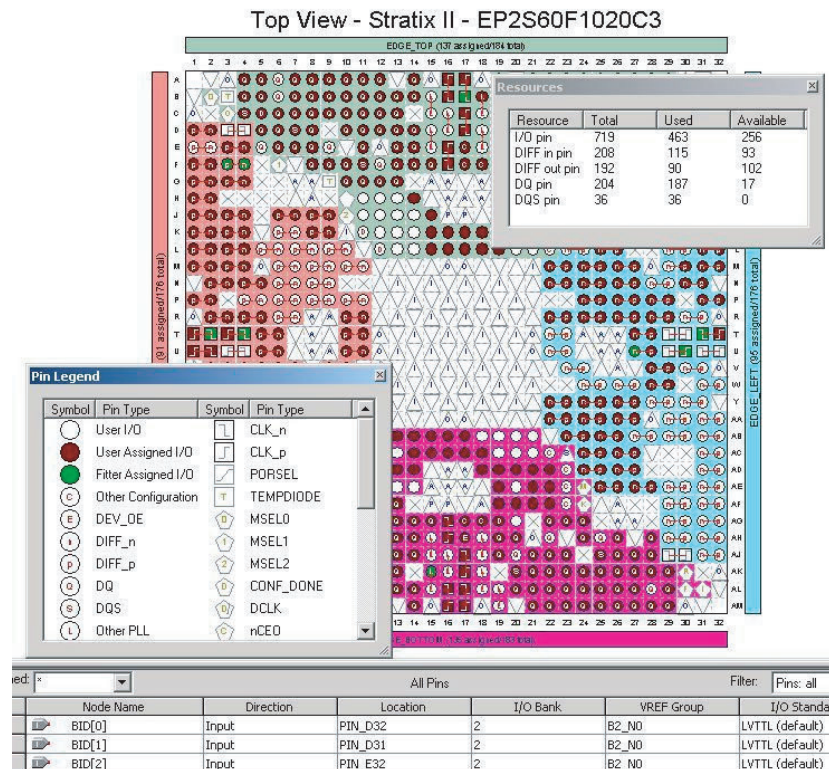
Quartus II ソフトウェアは、アルテラの新しい ASIC 強化タイミング解析ツールの TimeQuest を含め、外部メモリ・インタフェースに直接適用できるツールを多数サポートしています (図 6 を参照)。ソース同期メモリ・インタフェースを解析することによって、TimeQuest はタイミング・クロージャを完結するのに要する時間を大幅に短縮します。

図 6. Quartus II ソフトウェアで使用可能なツール



Quartus II ソフトウェアに含まれているもう 1 つの便利なツールであるピン・プランナ (図 7) では、設計者が FPGA ピンをデザイン I/O ポートにどのようにマップするかを前もって計画することができ、PCB レイアウトと FPGA デザイン・アクティビティを切り離すのに役立ちます。

図 7. ピン・プランナ・ツール



## 既存の Stratix II QDR II デザインの移行

古いスタティック・タイミング QDR II IP コアを Stratix III FPGA に移行することができます。ただし、新しいデザインを開始するには、ALTMEMPHY をデータバス・セクションに使用し、カスタム・コントローラを構築することを推奨しています。

### まとめ

Stratix III FPGA は、システム・デザインに広いメモリ帯域幅、向上したタイミング・マージン、および高い柔軟性を提供することによって、高性能 QDR II+ および QDR II デバイスを補完します。Stratix III FPGA デバイスで使用される QDR II および QDR II+ は、今日の通信、ネットワークング、およびデジタル信号処理システムの高スループット要件をサポートしています。

### 詳細情報について

- I/O 機能について詳しくは、Stratix III ハンドブックの I/O Connectivity の章を参照してください。
- Quartus II ソフトウェア・バージョン 6.1 以降で利用可能な ALTMEMPHY User Guide
- 2007 年第 2 四半期よりも前に新しいデザインを開始する場合、または古い QDR II SDRAM IP コントローラを Stratix III FPGA に移行する際の支援については、以下のサイトにアクセスして、アルテラの販売代理店にお問い合わせください。

[www.altera.co.jp/corporate/contact/con-index.html](http://www.altera.co.jp/corporate/contact/con-index.html)



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
<http://www.altera.com>

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.