

Stratix III FPGA における SEU の確実な緩和

はじめに

プロセス技術の急速な微細化とイノベーションによって速度、集積度、および消費電力が更に向上するにつれ、ASIC に対する FPGA の利点はその説得力を一層増しています。しかし、技術の微細化に伴い、従来は無視することができた影響が問題として浮上しています。その1つとして、SEU (Single Event Upset) に起因するソフト・エラーから受ける影響の増大が挙げられます。65 nm 世代では慎重な IC 設計によってビットあたりのソフト・エラー・レートは低減されますが、プロセス技術が世代を重ねるごとにロジック集積度は倍増し、それに応じてコンフィギュレーション RAM (CRAM) ビットの数も倍加しています。

FPGA は、その高集積化と高性能化の副次的効果として、システムの中心、そして多くの場合、データ・パス内の中心を占めるようになりつつあり、その結果、設計者がシステムをプログラマブル・チップに統合する機会が増えています。こうした変化により、FPGA は今では通信、ストレージ、データ処理システムなど、高い可用性を求めるシステムを始めとし、多くのシステムに採用されるシリコンで一番の選択肢となっています。これらのアプリケーションでは高い信頼性が求められます。そのため、アルテラの 65 nm ベース Stratix® III のようなハイエンド FPGA では、SEU の確実な緩和を行わなければなりません。これは、動作環境が航空電子システムのような高中性子束環境である場合について特に言えることです。

SEU の背景

SEU は、CMOS デバイス内のトランジスタの接合部分におけるイオン化放射線の衝突によって生じる非破壊的現象です。地上アプリケーションの場合、パッケージ材料から放出される α 粒子と、宇宙線と地球大気の相互作用によって生じる高エネルギー中性子という2つのイオン化放射線源が問題となります。デジタル CMOS デバイスにおいて最もよく見られる影響はソフト・エラーです。つまり、SEU によって生じる電荷量が SRAM セルの記憶ノードに作用したときに、ビットの状態が反転する可能性があります。ソフト・エラーはその原因 (イオン化放射線) と同様に不規則であり、エネルギー準位、エネルギー束、およびセルの感受性に関する確率に従って発生します。ソフト・エラーを考慮する上で重要な点は、正しい値でセルを書き直すだけで常に復元できるということです。ラッチ・アップは発生しないため、電源再投入は不要です。

アルテラはこれらの影響を熟知しており、設計者がシステムの信頼性目標を達成しやすくするために、FPGA 内の SRAM セル固有のソフト・エラー・レートの抑制だけではなく、発生したソフト・エラーを緩和するソリューションの提供にも重点を置いています。

SEU レートの抑制

SRAM セルの感度は、FIT (Failures In Time) /Mbit 単位で、または中性子断面積として表すことができます。業界で最も一貫した中性子感度測定基準は、ロスアラモス国立研究所の WNR (Weapons Neutron Research) 施設で測定された $>10\text{MeV}$ での中性子断面積です。この測定基準は、同一条件でのプロセス技術の比較を可能にすることに加え、FIT 数の表面上の改善に用いることができるスケール係数に影響されません。アルテラでは、プロセス技術の慎重な選択と SRAM セルの物理的なデザイン・レベルおよび回路レベルでの技術を通して、プロセス形状の微細化とともにビットあたりの SEU レートを抑制しています。更に、ラッチ・アップなどの潜在的に不利な影響は、65 nm までのプロセス技術では、既に解消されています。つまり、残る問題はソフト・エラーの緩和だけです。

ソフト・エラーの影響を理解するためには、まず FPGA 内のビルディング・ブロックを理解することが重要です。各ブロックを動作エラーの要因として大きい順に示すと、以下のようになります。

ロジック、配線、およびハード IP CRAM セル：CRAM セルは、チップ上の SRAM セルに占める割合が最も大きく、最大容量の Stratix III デバイスでは 120 M ビットにもなります。これらの SRAM セルは、FPGA の動作を直接制御するので、その完全性が最も重要です。しかし、実際にはフル・デザインにおいても配線利用率が低いため、デザインに影響を与えるのは通常、これらのビット全体の 10% にすぎません。

オンチップ・メモリ RAM セル：Stratix III FPGA は、17 M ビット以上のユーザー・メモリを内蔵しています。そのため、SEU 対策が施されていないユーザー・メモリは、FPGA のソフト・エラー・レートの大きな要因となる可能性があります。

デバイス・コア内のレジスタおよびフリップ・フロップ：これらは、Stratix III のアダプティブ・ロジック・モジュール (ALM)、デジタル信号処理 (DSP) ブロック、パイプライン、およびメモリ・ポート内にあります。これらのセルは、通常の SRAM セルに比べて中性子断面積が小さく、数も比較的少ないため（最大容量の Stratix III デバイスでも 1 M ビット未満）、SRAM ベースの FPGA において FIT レートの要因に占める割合は非常に低く、統計的に見てもほとんど無視できます。

I/O レジスタ：これらのレジスタはチップ周辺部に配置され、より高い電圧で動作します。I/O レジスタの数は非常に少ないため（最大容量の Stratix III デバイスで <10,000）、FIT レートの要因にはなりません。アルテラによるテストでも、これまでにレジスタ内部で SEU は確認されていません。

このため、アルテラでは CRAM セルとユーザー RAM セルの SEU の緩和に重点を置いています。

Stratix III におけるコンフィギュレーション RAM 内のソフト・エラーの緩和

130 nm プロセス世代以降、アルテラはすべての FPGA にバックグラウンド・エラー検出回路を搭載し、CRC (Cyclical Redundancy Check) エンジンを使用してデバイスの動作中に CRAM の内容を継続的に検証できるようにしています。この CRC は最大 3 ビットのエラーを検出することが保証されています。この回路をオンチップのハード・ゲートに集積することの利点は、堅牢でソフト・エラーに影響されない回路を実現できることです。加えて、CRC エンジンは全内蔵型ブロックであり、Quartus® II のコンパイル・オプションのチェックボックスをオンにするだけでイネーブルされます。図 1 に示すように、Stratix III FPGA は前世代に比べて機能が強化されたエンハンスド CRC 機能を搭載しています。

図1. Stratix III に集積されたコンフィギュレーション CRC

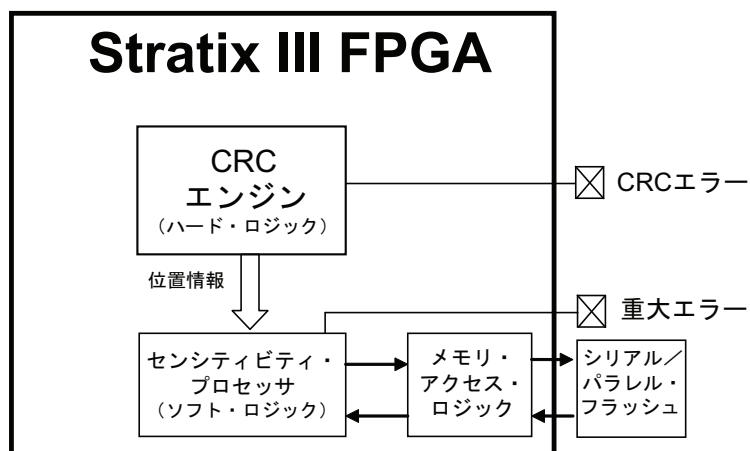


前世代ではデバイス全体に対して単一の 32 ビット CRC 値を使用していたのに対し、Stratix III FPGA ではフレームごとに 16 ビット CRC 値を採用しています。これにはさまざまな利点があります。まず、エラー検出回路がデバイス全体の CRC 計算の完了を待つ必要無しにソフト・エラーを検出することができます。これはソフト・エラー検出時間の短縮につながります。2 番目の利点は、チップ上の CRC ビットの数が増えても、シングル・ビット・ソフト・エラーであろうと、隣接ビットにまたがるダブル・ビット・ソフト・エラーであろうと、ソフト・エラーの位置を特定するのに十分な情報を格納できることです。更に、フレームとそれに対応する CRC レジスタがそれぞれ独立しているため、別個のフレームで同時に発生したソフト・エラーを検出し、位置を特定できるという利点もあります。

Stratix III FPGA のソフト・エラー位置特定機能では、エラーの感度を決定することが可能です。通常、FPGA の動作に影響を与えるのは、コンフィギュレーション・エラー全体の 10% にすぎません。したがって、「don't care」コンフィギュレーション・ソフト・エラーを無視することができれば、FPGA の動作を妨げることなく動作継続を決定することができるため、実際の FIT レートが低減されます。

重大エラー検出機能は、Quartus II 開発ソフトウェア v7.2 以降でサポートされるリファレンス・デザインを使用して、ソフト・ロジックによって実装されています。図2に、この重大ビット検出システムの仕組みを示します。

図2. Stratix III FPGA におけるクリティカル・コンフィギュレーション・ソフト・エラー検出



この重大エラー検出ソリューションの仕組みは、以下のとおりです。

1. 内蔵ソフト・エラー検出回路を使用してコンフィギュレーション・ソフト・エラーを検出し、位置を特定する。この結果、CRC_ERROR ピンがアサートされる。
2. その結果、ソフト・ロジックがエラー情報を受け取り、その情報を使用して、コンフィギュレーション・ビットのどれが「care」で、どれが「don't care」であるかを示すマップを含むファイル内のアドレスを計算する。
3. 次に、ソフト・ロジックは、アクティブ・シリアル・コンフィギュレーション・ポートなどのユーザー指定メモリ・インタフェースを使用して、センシティブリティ・マップ・ファイル内の該当ビットにアクセスし、FPGA に現在コンフィギュレーションされているデザインにとって、そのコンフィギュレーション・ソフト・エラーが重大かどうかを判定する。
4. コンフィギュレーション・ソフト・エラーが「don't care」である場合、FPGA は動作エラー無しで機能し続けることができる。コンフィギュレーション・ソフト・エラーが「care」で、動作に影響を与える可能性がある場合は、CRITICAL_ERROR ピンがアサートされ、FPGA のリコンフィギュレーションなどのシステム上の適切な動作を実行することができる。

「care」／「don't care」ビットのマップを含むファイルは、デザインごとにリソース使用量と利用する配線に基づいて Quartus II 開発ソフトウェアにより自動的に生成されます。つまり、未使用リソース内のコンフィギュレーション・ソフト・エラーによって重大エラーが発生することは無いので、フル・デザインでも部分的に FIT レートの更なる低減という利点が得られます。

ピンで「care」か「don't care」かを判定するためにセンシティブリティ・プロセッサ・リファレンス・デザインがソフト・ロジックによって実装されているので、コンフィギュレーション・ソフト・エラーが FPGA のその部分に影響を与える場合でも確実な動作を確保するために、インタフェース信号と制御ロジックの両方にトリプル・モード冗長手法が採用されています。

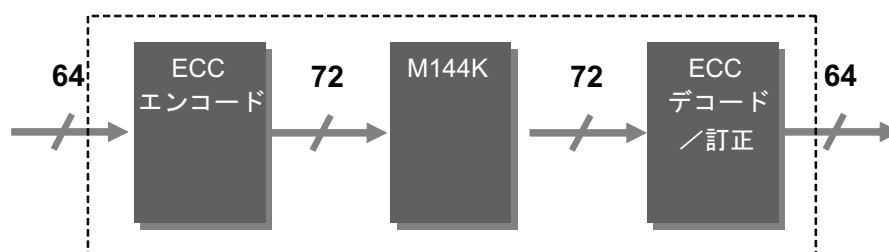
高い信頼性を求めるシステム（高信頼性システム）にはこうした高度な緩和機能が必要ですが、更に重要なものとして、コンフィギュレーション・ソフト・エラーの注入によってシステムをテストする機能も必要です。これにより、システムを適切なイオン化放射線源に曝して、ソフト・エラーに対応する際のシステムの動作をテストする必要がなくなります。Stratix III FPGA では、ユーザーが複数のシングル・ビット・エラーや複数の隣接のダブル・ビット・エラーを注入できるようにして、Stratix II FPGA のエラー・

インジェクション機能を強化しています。この機能は通常、ハードウェアが既に開発済みである場合に必要になります。そのため、Stratix III FPGA は JTAG ポートを介してこの機能を提供することにより、動作中のシステムを容易にテストして緩和策を検証できるようにしています。

Stratix III におけるユーザー RAM 内のソフト・エラーの緩和

Stratix III デバイスは、コンフィギュレーション・メモリのチェックに加え、オンチップ・メモリの完全性をチェックする機能も備えています。Stratix III FPGA は、3 種類のサイズのユーザー・メモリを内蔵しており、1 バイトごとに 9 番目のメモリ・ビットをそれぞれ備えています。640 ビットの MLAB ブロックと 9K ビットの M9K ブロックのいずれも、この特別なストレージを使い、自動生成 ECC (誤り訂正コード) 回路によって SEU を緩和します。144 K ビットの M144K ブロックもこの機能を備えています。ECC 回路がメモリ・ブロック内のハード・ゲートに内蔵されている点が異なります (詳細は図 3 を参照)。

図 3. Stratix III の M144K ユーザー・メモリ用の自動 ECC



3 種類のオンチップ・メモリ・ブロックはそれぞれ、ECC を使用して最大 2 ビットのエラーを検出し、シングル・ビット・エラーをリアルタイムに自動訂正することができます。ECC のコンフィギュレーションは、MegaWizard® Plug-In Manager によって簡単に行うことができます。つまり、特別な設計作業を行うことなく、この機能を利用できます。

ECC の制限の 1 つとして、1 ワード内に 2 ビット・エラーが存在する場合があります。この場合、エラーの検出は可能ですが、訂正することはできません。しかし、これはエラーが検出されないよりは良く、影響を受けたデータの再送を要求するといった別の方法を使用して、システムの上位層でエラーを管理する必要があります。この影響を抑えるために、Stratix III FPGA の大容量メモリではワード内の論理ビットが物理的に分離されており、それによって 1 ワード内に論理的なマルチビット・エラーが発生する可能性を低くし、MBU (Multiple Bit Upset) の場合でも ECC が効果を発揮できるようにしています。Altera® FPGA のユーザー・メモリ内のソフト・エラーの緩和は、SignalTap® ロジック・アナライザの System Memory Content Editor 機能を使用してテストすることができます。この機能を使用すると、Quartus II 開発ソフトウェアから JTAG 接続を介してメモリ内容を変更することができます。

Stratix III FPGA に外部メモリがインタフェースされる場合に備えて、アルテラのメモリ・インタフェース IP も ECC をサポートしています。コントローラはエラー・ログ機能と割り込み管理機能を備えており、外部メモリ内のソフト・エラーをシステムでモニタすることができます。

緩和の説明

確実に強力な緩和機能によってソフト・エラー・レートを抑制することは、高い可用性を求めるシステム (高可用性システム)、高い信頼性を求めるシステム (高信頼性システム)、および安全性を非常に重視するシステムでハイエンド FPGA の設計担当者にとって不可欠です。信頼性を重視するシステム設計を行うエンジニアにとって、緩和機能はシステムの信頼性目標を達成するための手段です。システムが運用されている要件や動作環境に応じて、さまざまな緩和策を取ることが可能です。通常、最初のステップは、MTBF、ダウンタイム、または望ましい故障モードなどの目標を設定することです。多くの場合、最小限の労力で目標の信頼性を達成可能であることがわかります。例えば、アルテラのミッドレンジ FPGA で内

蔵 CRC エンジンを用いて、「エラー発生時にリコンフィギュレーションを行う」緩和策を採用した場合、通信インフラストラクチャ機器に求められる 99.999% の可用性を 6 桁上回る 10^{-11} という極めてわずかなダウンタイムを容易に達成することが可能です。しかし、特に多数の部品がある場合や、FPGA に複雑な IP が大量に含まれている場合は、システム全体を考慮に入れる必要があります。

ほとんどのシステム設計者が既知のように、実際のシステムの信頼性はプロセッサやオペレーティング・システムの認証の他に、ソフトウェアのコーディング手法にも大きく左右されます。デジタル IC におけるソフト・エラーの場合、揮発性メモリを内蔵したコンポーネントも分析に含める必要があります。例えば、大容量 DDR SDRAM が内蔵されている場合、これがシステムのソフト・エラー・レートの最も大きな要因となるため、メモリ・コントローラ内の ECC などの手法を検討する必要があります。また、中核的動作にとって重要なシステム部分の割合や、システム冗長性の場合には冗長性を実装する粒度（一般に粒度が高いほど信頼性が向上）など、システム分割も信頼性に大きな差をもたらす可能性があります。

ソフト・エラーに対処するには、ソフト・エラー発生後のダウンタイムを制御システムのクローズド・ループ時定数といった重要なパラメータ未満に抑えるなど、さまざまなアプローチが存在します。その他にも、システムのソフト・エラーの緩和動作の例として、システム・コンテキストの保存／リセット／復元を実行する、単にログでソフト・エラーを通知する、都合が付き次第にシステムをリセットする、といったことが挙げられます。あるいは、コンフィギュレーション・データの連続バックグラウンド・リフレッシュ（スクラビングともいう）などの危険を伴う手法もあります。重要なコンフィギュレーション SRAM ビットにソフト・エラーが発生した場合、その後オープン・ループで訂正されるまで一定時間に亘って、システム動作に異常が生じることがあります。この場合、不正なデータが FPGA によって既に処理されており、システムの他の部分に伝播される危険があります。FPGA のどのエラー検出手法にも同じ問題が存在しますが、ほとんどの場合、不正なデータにラベルを付けることができるようにソフト・エラーが発生したことをシステム・レベルで認識するのが最善の方法です。

FPGA を設計する際には、CRAM セルのビットあたりの低いソフト・エラー・レートと緩和手法の組み合わせにアルテラが重点を置いていることで、追加のコストがほとんど無しに信頼性の大幅な向上を実現できます。Stratix III FPGA は、これらの目標の達成を支援するツールの集合と考えることができる一連の機能を備えています。下の表 1 にそれらの機能の要約を示します。

表 1. Stratix III のコンフィギュレーション・ソフト・エラー緩和オプション

ツール	CRC のみ	重大エラー検出
検出方法	「CRC_ERROR」ステータス・ピン	+ 「Critical_ERROR」ステータス・ピン
ビット反転位置の把握	FPGA 内のどこか	正確なビット位置
MTTE (Mean Time Between Errors)	1 (ベースライン)	1 / 利用率
ビット反転の訂正	FPGA をリコンフィギュレーションする	反転ビットが重大である場合にのみ FPGA をリコンフィギュレーションする
設計コスト	1 本のピンをモニタする	2 本のピンをモニタする 少量のユーザー・ロジック + センシティブリティ・マップ・ストレージ (リファレンス・デザインを用意)
システム・テスト・オプション	エラー・インジェクション	エラー・インジェクション シングル・エラーまたはマルチ・エラー

オンチップ RAM 内のソフト・エラーの緩和に関しては、広く認められ、利用されている ECC 手法により、必要なシリコン領域とパフォーマンスの点でコストを最小限に抑えながら非常によく保護することができます。必要なメモリ（データ・ビットとチェック・ビット）の合計幅は、ワード幅が広いほど効率的ですが、64 ビットのデータと 8 ビットのチェック・ビット（合計 72 ビット）が一般に受け入れられるト

レードオフです。この比率はサーバおよびキャッシュ・アプリケーションで実証済みであり、Stratix III FPGA の M144K メモリ・ブロックによってサポートされているコンフィギュレーションです。ECC を使用するということは、メモリのチェックおよび自動訂正がシステム速度で行われるということです。

ソフト・エラーの緩和に関して最高のものを求める設計者にとっては、当然、ASIC が最善のソリューションとなります。アルテラの HardCopy® ASIC ファミリは、デザイン・ツール、チップ・デザイン、あるいはボードの再設計への投資を抑えながら、プロトタイプ FPGA からピン・コンパチブルな ASIC に至るまでのシームレスな移行が可能です。PCB を含むシステム全体を FPGA プロトタイプで検証するまで、テープアウトの決定を遅らせることができる ASIC は、アルテラの HardCopy ファミリの他にありません。HardCopy デバイスは、ASIC であるため、SRAM コンフィギュレーション・セルを内蔵していません。したがって、このデバイスの論理機能はソフト・エラーに影響されません。なぜなら、メタル・プログラミングは SEU の影響を受けないためです。チップのうち唯一影響を受ける部分はユーザー・メモリですが、これも ECC およびコア・レジスタを使用して訂正可能です。

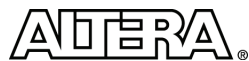
コア・レジスタは、SEU レートが極めて低いのが特徴です。例えば、HardCopy II ASIC の場合、ロジック・レジスタは HCell で構成されています。ロスアラモス国立研究所の WNR で実施したテストの結果、このレジスタに SEU を発生させることは不可能であることが判明しました。これは、フィードバック・ループのゲート強度の強化、マスタ・ステージとスレーブ・ステージの分離、ビア・プログラミングによるノード・キャパシタンスの改善などのさまざまな技術革新の成果です。Stratix III FPGA を使用して試作された 65 nm HardCopy III ASIC も同様の手法を採用して、ASIC として最高のソフト・エラー耐性を実現しています。

概要

Stratix III FPGA は、単純なコンフィギュレーション・ソフト・エラー検出から、動作に影響するコンフィギュレーション・ソフト・エラーと「don't care」コンフィギュレーション・ソフト・エラーの違いを判定する機能に至るまでの一連の SEU 緩和機能を備えています。Stratix III FPGA を使用して設計されたシステムは、オンチップ・メモリおよび外部メモリの自動ソフト・エラー訂正と相まって、信頼性の大幅な改善効果が得られ、その結果、安全性を非常に重視するシステム、高い可用性を求めるシステム（高可用性システム）、および高い信頼性を求めるシステム（高信頼性システム）に FPGA を使用することが可能になります。

詳細情報について

- *Stratix III* デバイス・ハンドブックの *Section IV: Design Security & Single Event Upset (SEU) Mitigation* : www.altera.co.jp/literature/hb/stx3/stx3_siii5v1_04.pdf
- *AN 357* : アルテラ FPGA デバイスの CRC によるエラー検出およびリカバリ : www.altera.co.jp/literature/an/an357.pdf
- アルテラ FPGA の SEU テスト・レポートについては、下記の販売店にお問い合わせください。
www.altera.co.jp/corporate/contact/con-index.html



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.