

Stratix III FPGA シグナル・インテグリティ

デバイスのスイッチング速度が高速化しピン数が増加するのに伴って、シグナル・インテグリティおよびパワー・インテグリティが重要となり、システムの成否を左右します。90 nm プロセス・テクノロジーで完璧に機能するチップ・デザインは、もはや 65 nm チップでは十分とはいえません。低いシグナル・インテグリティは信頼性低下の原因となり、システム性能が低下し、最悪の場合はシステム障害を引き起こします。Stratix® III FPGA には、前世代の Stratix II ファミリを超えるシグナル・インテグリティおよびパワー・インテグリティ性能を向上させる強化機能が実装されています。強化機能には、ループ・インダクタンスを低減するために 8:1:1 のユーザ I/O とグラウンド / 電源ピンの比率で最適化されたダイおよびパッケージ・レベルの信号リターン・パス、改善されたデカップリング手法、ダイナミック OCT (On-Chip Termination)、プログラマブル LVDS バッファ、設計者がデバイスのノイズ・レベルを制御可能な新しいスルー・レートおよびスタaggered 出力遅延コントロール機能があります。

このホワイトペーパーでは、アルテラの Stratix III FPGA の新機能および強化機能がこれらの問題にどのように対応しているか、またシグナル・インテグリティおよびパワー・インテグリティを向上させ、プリント回路基板 (PCB) デザインを簡素化することによって、お客様のシステムで得られるメリットについて説明します。

はじめに

今日のシステムは高速性能と広帯域幅を要求しており、それによってデバイスのスイッチング速度がより高くなり、ピン数が増加する傾向にあります。特に、FPGA のピン数は大幅に増加する可能性があります。ギガヘルツの速度で動作するシステムでは、タイミング・マージンが減少する一方で、デバイスのエッジ・レートは増加します。そのため、寄生キャパシタンスおよびインダクタンスがデバイスのシグナル・インテグリティおよびパワー・インテグリティに与える影響は、設計者にとって大きな課題となります。伝送線路の影響によるクロストーク、リングング、同時スイッチング・ノイズ (SSN)、反射、ジッタ、信号減衰などの現象は、これらの信号のインテグリティを低下させ、PCB デザインを難しく複雑なものにします。電源分配ネットワーク (PDN) のデザインが不適切な場合、システムのパワー・インテグリティに悪影響を及ぼすので、PCB およびチップの PDN は慎重に設計する必要があります。

シグナル・インテグリティの影響

システムの設計者がシグナル・インテグリティの管理やシステム性能のシミュレーションを行うときは、慎重でなければなりません。低いシグナル・インテグリティは信頼性低下の原因となり、システム性能を低下させ、最悪の場合はシステム障害を引き起こすため、システムのデバッグには多大な時間と労力が費やされます。しかし、製品のライフ・サイクルが短くなり、迅速な市場投入が重要になると、シグナル・インテグリティ問題のためにデバッグに多大な時間を費やすことは不可能です。デバッグに余分な時間をかけると、市場機会が失われ、ボードのリスピにコストがかさみ、労働時間が増えます。シグナル・インテグリティの問題によってフィールドで製品が故障した場合、それに伴う代価は会社に対する評判が脅かされることです。

堅牢で高信頼性の Stratix II FPGA を継承し、継続した改善の流れに沿って、優れたシグナル・インテグリティおよびパワー・インテグリティを実現することは、Stratix III デバイスに課された多くの厳しいデザイン目標の一部です。詳細にわたる解析によってダイおよびパッケージが強化された結果、Stratix III FPGA ではクラス最高のシグナル・インテグリティが保証されており、シリコン・パッケージ PCB 並行開発戦略によってシステムを簡単に設計することができます。これらのチップの強化機能と新機能は、お客様のシステム・レベル・デザインにおいて、PCB デザインを簡素化しトータル・システム・コストを大幅に引き下げます。

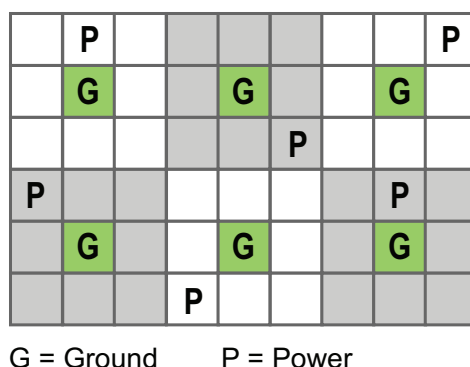
Stratix III のシグナル・インテグリティの利点

新しい Stratix III FPGA のシグナル・インテグリティの利点には、8:1:1 のユーザ I/O とグラウンド / 電源ピンの比率、最適化されたダイおよびパッケージ・レベルの信号リターン・パス、調整可能なスルー・レート・コントロール、スタaggered 出力遅延コントロール、ダイナミック OCT、オン・パッケージ・デカップリングおよびオン・ダイ・コンデンサ、LVDS バッファの機能強化などがあります。

8:1:1 のユーザ I/O とグラウンド / 電源ピンの比率

新しい Stratix III FPGA のユーザ I/O とグラウンド / 電源ピンの比率は 8:1:1 です。この新しいパッケージのピン配置パターン（図 1 を参照）では、グラウンドまたは電源ピンが各 I/O に隣接して配置されており、I/O に対して低インピーダンスのリターン・パスが提供されます。ループ・インダクタンスが減少すると、 V_{CC} の低下やグラウンド・バウンスが減少します。新しいデザインでは、ノイズを低減しながら、ユーザ I/O 数を最適化しています。8:1:1 という比率は理想的であり、この値を超えると、ユーザ I/O 数が減少しリターンは低下します。

図 1. Stratix III パッケージのピン配置



最適化されたダイおよびパッケージ・レベルの信号リターン・パス

Stratix II デバイスを超えるダイおよびパッケージ・レベルの強化機能を使用して設計された Stratix III FPGA は、信号リターン・パスのインダクタンスおよび I/O 間のクロストークをさらに低減します。これらの強化機能には、以下が含まれます。

- ダイ・レベルにおいて、ユーザ I/O とグラウンド / 電源ピンの比率が 8:1:1 の分散グラウンド・バンブ
- すべての配線パターンが、より多くの層を持つ連続したソリッド・プレーンを基準とする
- パッケージ内により多くのグラウンド・リファレンス・ビアを配置
- パワー / グラウンド・ボールの良好な分散
- パッケージ・ボールからプレーンへのビア数の増加
- リターン・パスと PDN デザインの全体的な向上

調整可能なスルー・レート・コントロール

信号のエッジ・レートは、システムの性能に影響を及ぼす可能性があります。例えば、非常に高速のエッジ・レートは、オーバシュートや他のシグナル・インテグリティ問題を引き起こすことがあり、また非常に低速のエッジ・レートはタイミング・マージンを減少させることがあります。両者間の最良のバランスを見つけ出すことが、適切なシステム・デザインのための鍵です。

Stratix III FPGA は調整可能なスルー・レート・コントロールを備えており、設計者はシグナル・インテグリティが向上するように信号のエッジ・レートを調整しながら、同時にシステムの最適性能を達成することができます。4 つの異なるスルー・レート設定を使用してバッファの立ち上がり時間と立ち下がり時間を制御し、必要な標準 I/O 規格に合わせて、ノイズとオーバシュートを制御します。この柔軟性によって設計者はより細かい制御が可能となり、最適なシステム性能と優れたシグナル・インテグリティを達成できます。

スタガード出力遅延コントロール

SSN は同時に多数の I/O スイッチングが行われると発生します。この数を減らす 1 つの方法として、同時スイッチング出力 (SSO) エッジの一部を遅らせることにより、出力のスイッチング時間の間隔をあげ、SSN の影響を分散してその大きさを低減します。

Stratix III FPGA の新しいスタガード出力遅延設定を使用すれば、SSO を制御して遅らせることができ、設計者は SSN を制御および低減して最適性能を達成することができます。さらに、この機能では、ボード・トレースのミスマッチによる信号デューティ・サイクルおよびスキュー補償を調整することができ、システムおよび PCB デザインを簡素化してコストを削減できます。

ダイナミック OCT

ソース出力 (Z_S)、伝送線路 (Z_0)、および負荷 (Z_L) 間のインピーダンス・ミスマッチは、オーバシュート、アンダシュート、リングング、階段状波形などの信号の反射や歪みを生じ、誤った信号を生成します。インピーダンス・ミスマッチを克服するために、アプリケーションに応じていくつかの異なる終端方法が使用されています。従来は抵抗などの外部コンポーネントを終端に使用していましたが、それに代わるより良い方法は、デバイス上の OCT 抵抗を使用することです。この方法では PCB 上のコンポーネント数が減少し、貴重なボード面積とコンポーネント・コストが節約されます。また、信号の反射などのシグナル・インテグリティ問題を引き起こす可能性がある余分なトラック・スタブも不要になります。

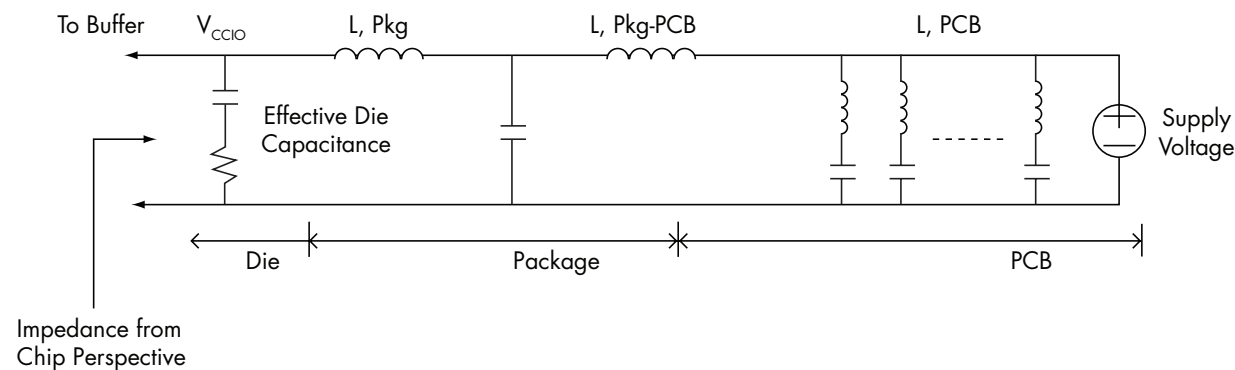
Stratix III FPGA はすべての I/O で高度なダイナミック OCT テクノロジを提供し、外部終端抵抗を不要にします。これによって、システムの信頼性およびシグナル・インテグリティの性能が向上すると同時に、システム・コストが削減され PCB デザインは簡素化されます。シングル・エンド直列および並列終端用の新しいダイナミック OCT 機能では、終端方法を動的に変更することができます。この機能は、リード・サイクルからライト・サイクルかに応じて OCT 手法を動的に変更できる DDR メモリのインタフェースなど、双方向インタフェースの実装に非常に便利です。

消費電力を削減するために、ダイナミック OCT は必要とされるのみ OCT 抵抗をオンにすることで、バス上の定常 DC 電力を除去します。Stratix III FPGA は高速インタフェース用に差動 OCT も提供しています。Stratix III FPGA のすべての I/O に内蔵されている拡張デジタル自動キャリブレーション回路は、高精度のインピーダンス・コントロールを提供します。温度や電圧の変動によるインピーダンスの変化を補償して、正確な、再現性のある予測可能な終端を実現します。

オン・パッケージ・デカップリングおよびオン・ダイ・キャパシタンス

標準的な FPGA システム (図 2 を参照) では、PDN はチップ、パッケージ、PCB の 3 つの主要部分で構成され、電圧レギュレータ・モジュール (VRM) を含んでいます。バルク・コンデンサやセラミック・コンデンサなど、PCB 上のデカップリング・コンデンサは、100 ~ 300 kHz の周波数範囲で低い PDN インピーダンスを維持します。オンボード VRM は低周波数をサポートし、100 kHz まで有効です。高周波数デカップリングに対して、Stratix III FPGA にはオン・パッケージ・デカップリングおよびオン・ダイ・キャパシタンスの両方が実装されています。これらのコンデンサにより、近い場所からバッファに瞬時に電荷を供給して、ゲート遷移時のソース・ドレイン電流ラッシュを補充します。

図 2. 標準的な FPGA システムの PDN セクション



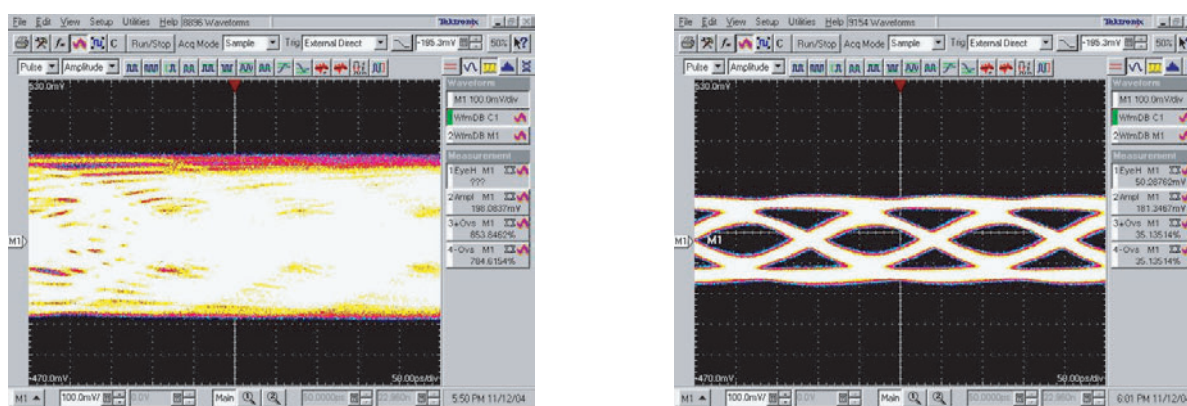
オン・パッケージ・デカップリングは、等価直列インダクタンス (ESL) が極端に低いランド・グリッド・アレイ (LGA) コンデンサを利用しています。これらの低インダクタンスのコンデンサは、広い周波数範囲で低 PDN インピーダンスを維持するのに便利であり、電力ノイズを抑えて電源をクリーンにします。高い I/O ドライバ・キャパシタンス値を持つオン・ダイ・キャパシタンスは、特に高周波数帯域でクリーンな電源を維持するのに役立ちます。デカップリング・コンデンサは、外部 PCB デカップリング・コンデンサの数を減らすことによって、貴重なボード・スペースの節約、コストの削減、PCB デザインの大幅な簡略化を実現します。

LVDS バッファの機能強化

低周波数では、伝送線路を理想的な無損失のラインと見なすことができます。しかし、高周波数では伝送線路は理想的ではありません。高速信号がボード・トレースを通して伝達されると、伝送線路の影響（表皮効果や誘導損失など）によって信号減衰を引き起こします。すべての Stratix III FPGA の LVDS I/O バッファは、プログラマブル・プリエンファシスおよび V_{OD} 機能を備えており、長いおよび短い配線パターン長に対する高速信号要件に対応して信号減衰を低減し、信号がレシーバ端で正しく解釈されるようにします。

プログラマブル・プリエンファシス機能は、高周波数信号コンポーネントを増加させて、パターンに依存するジッタを低減することによって高周波数減衰を補償します。4 段階の設定により、さまざまな配線パターン長、伝送線路特性、電源を調整および補償することができ、状況に合わせてプリエンファシスのレベルを最適化できる柔軟性を提供します（図 3 を参照）。

図 3. 40 インチのバックプレーンにおけるプリエンファシスされていない信号（左側）とプリエンファシスされた信号（右側）の例



プログラマブル V_{OD} 設定では、出力アイの高さを調整して、受信端で十分なアイ開口部と良好な電圧マージンを確保するために、大きな V_{OD} ドライブが必要な長距離の高性能リンクに対応できます。また、消費電力を最適化するために V_{OD} 振幅を小さくする必要がある短距離の低消費電力アプリケーションにも対応できます。

シリコン・パッケージ PCB 並行設計戦略

システムが複雑化し、前述のさまざまなシグナル・インテグリティの問題が発生するのに伴い、PCB デザインは複雑になりコストも上昇します。Stratix III シリコン・パッケージ PCB 並行設計戦略は、優れたシグナル・インテグリティおよびパワー・インテグリティを持つ高性能で堅牢なソリューションを実現します。PCB デザインは大幅に簡素化され、デカップリング手法によってシステムのソリューション・コストが削減されます。オン・ダイおよびオン・パッケージ・コンデンサは電源ノイズに対する効果的なデカップリングを提供し、PCB デカップリング・コンデンサの必要数を低減します。新しいパッケージ・デザインは、パッケージ・PCB ブレークアウト・エリア内の I/O クロストークを低減し、PCB デカップリングの実装を容易にすることを目的としています。ボード設計者は、隣接するパワー/グラウンド・ボールのペアを利用し、小型の低 ESL デカップリング・コンデンサを使用して、効果的な PCB デカップリングを簡単に実装できます。

お客様に対するアルテラのコミットメント

優れたシグナル・インテグリティおよびパワー・インテグリティの達成と PCB デザインの簡素化は、Stratix III FPGA に対するアルテラの多くの厳しいデザイン目標のうちの 2 つです。シグナル・インテグリティおよびパワー・インテグリティは、デザイン・サイクルの非常に早い段階からの Stratix III FPGA の主目標であり、あらゆるデザインの詳細が検討されました。ダイおよびパッケージを強化するために、詳細な解析と徹底したデバイスおよびシステム・レベルの特性評価とシミュレーションが実行されました。

アルテラの充実したサポートを利用すれば、Stratix III FPGA によるデザインがさらに簡単になります。デザイン・ガイドライン、ハンドブック、特性評価レポートなどの資料から、Quartus® II 開発ソフトウェアを始めとする高度なデザイン・ツールに至るまで、豊富に用意されているソリューションによって、お客様は Stratix III FPGA の利点を活用しながら、自信を持って設計を行うことができます。

まとめ

アルテラの革新的なシリコン・パッケージ PCB 並行設計戦略は、シグナル・インテグリティおよびパワー・インテグリティを高めることによって、お客様のシステム・デザインを向上させるために開発されました。ダイおよびパッケージ・レベルの信号リターン・パスはループ・インダクタンスを低減するように最適化されており、スルー・レートおよびスタガード出力遅延の新しいコントロール機能は、設計者がデバイスのノイズ・レベルを制御することを可能にします。Stratix III FPGA のダイナミック OCT テクノロジーや高度なオン・ダイ・キャパシタンスおよびオン・パッケージ・デカップリング手法は、シグナル・インテグリティおよびパワー・インテグリティ性能をさらに向上させると同時に、PCB デザインを簡素化してコストを削減します。また、強化された Stratix III LVDS バッファはプログラマブル・プリエンファシスおよびプログラマブル V_{OD} 機能を備えており、伝送線路上の信号の減衰を補償します。

シリコン・パッケージ PCB 並行設計戦略に対する多くの機能強化により、Stratix III FPGA は優れたシグナル・インテグリティおよびパワー・インテグリティを提供することが保証されます。Stratix III FPGA を使用すれば、お客様はシステム障害のリスクを低減し、デザイン・プロセスを簡素化し、デザインの性能と柔軟性を向上させながら、容易に製品のデザイン目標と迅速な「time-to-market」を達成することができます。アルテラはお客様に最高のシグナル・インテグリティ・ソリューションを提供します。

詳細情報について

- Stratix III FPGA のシグナル・インテグリティについては、以下の URL からシグナル・インテグリティ・センタにアクセスしてください。
www.altera.com/si.
- Basic Principles of Signal Integrity:
www.altera.co.jp/literature/wp/wp_sgnIntgry.pdf
- AN 224: High-Speed Board Design Guidelines Using Stratix Devices:
www.altera.co.jp/literature/an/an224.pdf
- Hong Shi, et al, "Analysis of FPGA Simultaneous Switching Noise in Three Domains: Time, Frequency, and Spectrum," DesignCon 2006:
www.altera.co.jp/literature/cp/cp-simswit.pdf
- Larry Smith, et al, "Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology," IEEE Transactions on Advanced Packaging, Vol. 22, No. 3, August 1999:
http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?tp=&arnumber=784476&isnumber=17029
- Online Lecture 803: "Best Board Design Practices for Power Distribution Network," by Dr. Eric Bogatin of Bogatin Enterprises, LLC:
www.bethesignal.com

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.