

FPGA アーキテクチャ

はじめに

アルテラは、アーキテクチャの革新によって FPGA 業界をリードし続けています。アルテラ FPGA のロジック・ファブリックと配線アーキテクチャは他に並ぶものがなく、ユーザにさまざまな利点を提供します。2004 年には、Stratix® II ファミリーで初めて、8 入力の分割可能なルック・アップ・テーブル (LUT) を導入しました。そのコアは 8 入力のアダプティブ・ロジック・モジュール (ALM) で、すべての 6 入力 LUT (6-LUT) または選択した 7 入力ファンクションを実装できます。ALM は独立した小さい LUT に効率的に分割することもでき、大きい LUT が持つ高性能の利点と小さい LUT が持つ面積効率を提供します。Stratix シリーズの FPGA は、MultiTrack™ インタコネクタによる配線においても優れており、業界最高の接続性を実現します。したがって、アルテラの FPGA アーキテクチャは少なくとも競合デバイスの 1 世代先を行き、配線アーキテクチャは 2 世代先に行くものです。

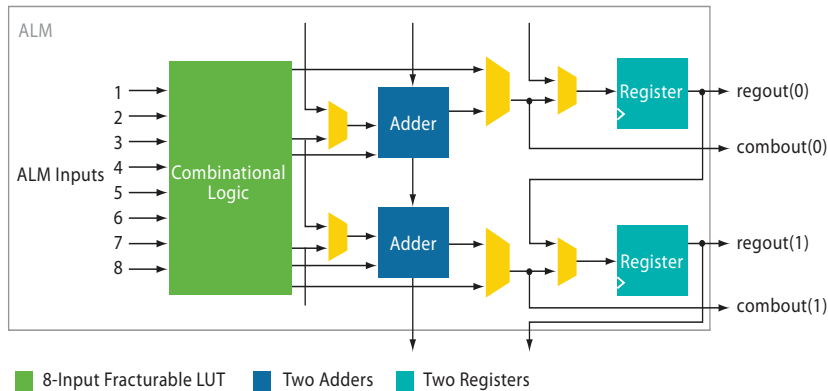
ここでは、アルテラ FPGA における最先端アーキテクチャの革新機能とそれらの利点について説明します。

- ALM は競合デバイスの 1.8 倍の集積度を提供
- レジスタとロジックの最適比率 (2:1) により、デバイスがレジスタにより制約されない
- 最大 5 倍のロジックをシングル HOP で提供し、競合デバイスと比較して最高の接続性を実現

ロジック・ファブリック

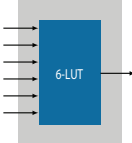
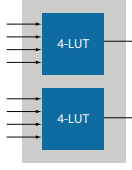
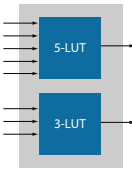
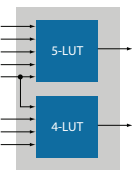
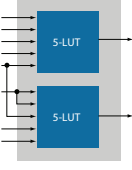
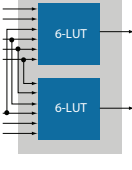
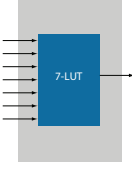
高性能で面積効率の高いアーキテクチャを実現する鍵は ALM です。図 1 に示すとおり、ALM は組み合わせロジック、2 個のレジスタ、および 2 個の加算器で構成されています。組み合わせ部には 8 つの入力があり、アルテラ独自の LUT 技術を使用して 2 個のアダプティブ LUT (ALUT) に分割できる LUT が含まれています。任意の 6 入力ファンクションを実装するには ALM 全体が必要ですが、組み合わせロジック・ブロックには 8 つの入力があるため、1 個の ALM で 2 つのファンクションの多様な組み合わせを実装できます。

図 1. アダプティブ・ロジック・モジュール (ALM) のブロック図



フル 6 入力 LUT の他に、例えば 2 個の独立した 4 入力ファンクションまたは独立した入力を持つ 1 個の 5 入力ファンクションと 1 個の 3 入力ファンクションを実装できます。表 1 に、1 個の ALM でサポートされる組み合わせロジックの構成をまとめます。アーキテクチャの詳細は、「Stratix II デバイス・ハンドブック」を参照してください。2 個のレジスタと 2 個の加算器を利用できるため、1 個の ALM で、1 個の 4-LUT、キャリア・ロジック、1 個のレジスタで構成されるクラシック 4 入力 LUT (4-LUT) アーキテクチャのロジック・エレメント (LE) を 2.5 個実装できる柔軟性があります。

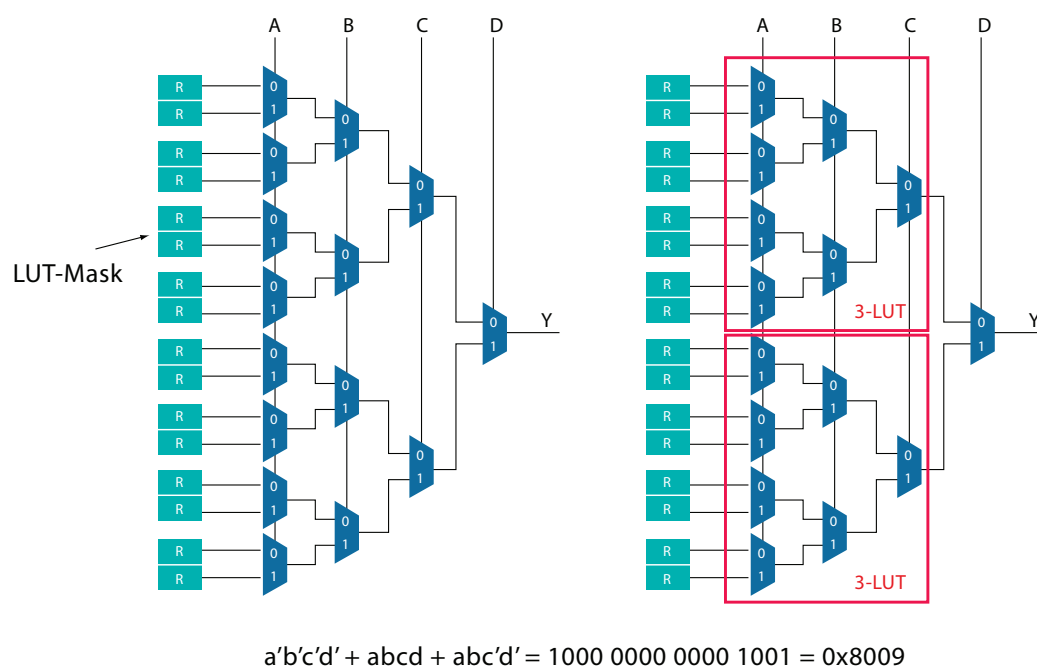
表 1. ALM の柔軟性

構成	説明
	<p>1 個の Stratix II ALM で任意の 6 入力ファンクションを入力できます。</p>
	<p>1 個の Stratix II ALM で、2 つの独立した 4 入力、またはそれより小さい LUT を実装するように構成できます。この構成には、“下位互換性モード”があります。従来の 4 入力 LUT の FPGA デザインを Stratix II ファミリーに容易に移行することができます。</p>
	<p>1 個の Stratix II ALM で、1 個の 5 入力 LUT と 1 個の 3 入力 LUT を実装するように構成できます。2 個の LUT の入力はそれぞれ独立しています。3 入力 LUT を使用して、入力が 3 つ以下の任意のロジック・ファンクションを実装できます。したがって、5 入力 LUT/2 入力 LUT の組み合わせも可能です。</p>
	<p>1 個の Stratix II ALM で、1 個の 5 入力 LUT と 1 個の 4 入力 LUT を実装するように構成できます。いずれかの入力を 2 個の LUT 間で共有させる必要があります。5 入力 LUT には最大 4 個の独立した入力があります。4 入力 LUT には最大 3 個の独立した入力があります。LUT 間での入力の共有は FPGA デザインでは極めて一般的であり、Quartus®II ソフトウェアはこの方法で構造化されたロジック・ファンクションを自動検出します。</p>
	<p>1 個の Stratix II ALM は、2 個の 5 入力 LUT を実装するよう構成できます。この場合、LUT 間の入力のうち 2 つは共通で、各 5 入力 LUT に対して最大 3 つの独立した入力が許容されます。</p>
	<p>同じロジック動作と 4 つの共有入力を持つ 6 入力ファンクションが 2 個ある場合、これら 2 個の 6 入力ファンクションは 1 個の Stratix II ALM で実装できます。</p> <p>例えば、4 本のデータ入力ラインと 2 組の固有の選択信号を持つ 4x2 クロスバー・スイッチは、Stratix ファミリーでは 4 個の LE が必要です。Stratix II ファミリーでは、この同じファンクションに必要な ALM は 1 個だけです。別の例では、6 入力 AND ゲートがあります。ALM は、4 つの共有入力を持つ 6 入力 AND ゲートを 2 個実装できます。Stratix デバイスに同じファンクションを実装した場合、3 個の LE が必要です。</p>
	<p>拡張モードの 1 個の Stratix II ALM で、7 変数ファンクションのサブセットを実装することができます。Quartus II ソフトウェアは、該当する 7 入力ファンクションを自動的に認識し、1 個の ALM に適合させます。1 個の ALM に実装できる 7 入力ファンクションの種類について詳しくは、「Stratix II デバイス・ハンドブック」を参照してください。</p>

ルック・アップ・テーブル (LUT) の構築

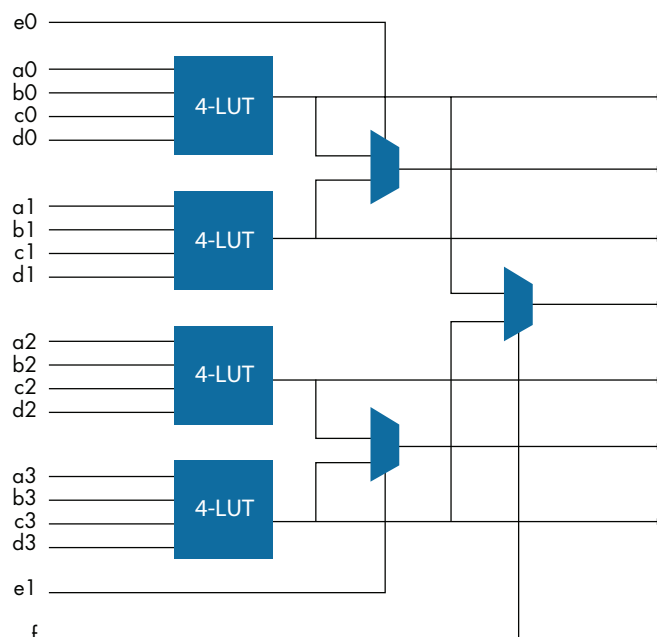
LUT がどのように構築されるかの概要を知っておくと、ALM の革新機能を説明するのに役立ちます。LUT は一般に、コンフィギュレーション・メモリ (CRAM) LUT マスクを保持するための SRAM ビット、および出力をドライブする CRAM ビットを選択するためのマルチプレクサ・セットから構築されます。k 入力 LUT (k-LUT) — 任意のファンクションを実行できる k 入力の LUT — を実装するには、 2^k SRAM ビットと $2^k:1$ マルチプレクサが必要です。図 2 は 4-LUT を示していますが、これは 16 ビットの SRAM と、2:1 マルチプレクサのツリーとして実装された 16:1 マルチプレクサから構成されています。4-LUT は LUT マスクに適切な値を設定することによって、4 つの入力 (A、B、C、D) の任意のファンクションを実装できます。図 2 の 4-LUT を簡素化するために、2:1 マルチプレクサで接続された 2 個の 3-LUT から構築することもできます。

図 2. LUT の構築



同様に、図 3 に示すとおり、小さい LUT から大きい LUT を構築できます。例えば、5-LUT を 2 個の 4-LUT とマルチプレクサで構築したり、6-LUT を 2 個の 5-LUT と 1 個のマルチプレクサで構築することができます。技術的に重要なのは、LUT における CRAM ビットの総数と、それらが 6 入力の任意のファンクションを実装するのに使用されることです。

図 3. 小さい LUT による大きい LUT の構成

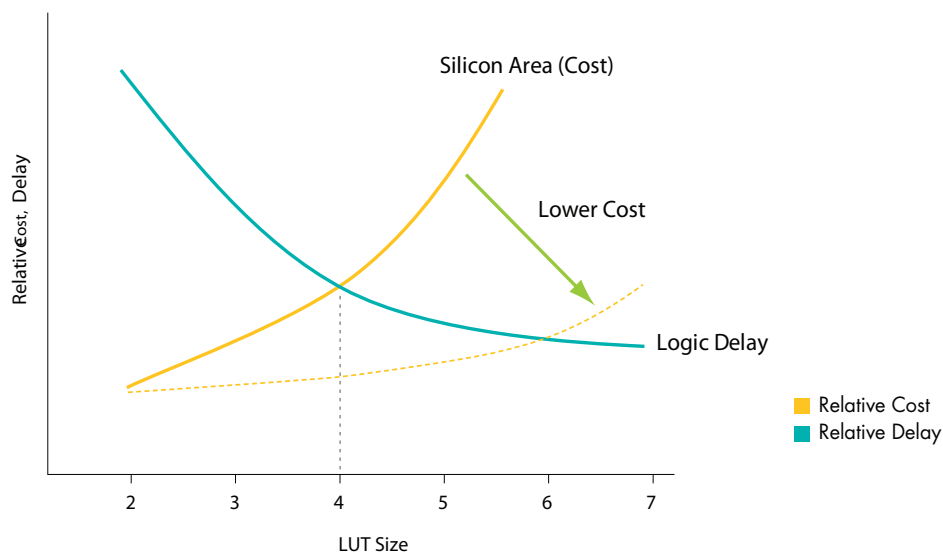


小さい LUT から大きい LUT を構築することは可能ですが、4-LUT 用と 6-LUT 用に設計された FPGA アーキテクチャの違いを認識しておく必要があります。基本ロジック・ブロックとしての LUT のサイズが異なれば、各アーキテクチャ内で統合される LUT の数、LUT への入力数、および LUT 通過時の遅延最適化が異なります。4-LUT をサポートするアーキテクチャ上に 6-LUT を構築することはできませんが、この構造は十分ではありません。例えば、図 3 のように、4 個の 4-LUT を 4:1 マルチプレクサまたは追加の 2 個の 4-LUT と一緒に使用して、6-LUT を構築できます。しかし、実装には 16 入力のうち 6 つしか使用されず、LUT 間で余分な遅延が発生します。6 入力 LUT を構築する能力は明らかに不足しており、基本ロジック・ブロックとしての 6-LUT に合わせて、アーキテクチャ全体を最適化する必要があります。アルテラは、Stratix II FPGA ファミリーで初めて 6-LUT の性能に対して最適化されたアーキテクチャを導入しました。

ALM の設計

ALM は他の FPGA ロジック・ブロックから大幅に変化しており、多数の革新的機能を備えています。クラシック 4-LUT と 1 つのレジスタ・ブロック（および関連するキャリア・ロジック）から始めて ALM に到達するには、顧客の要件の詳細な理解と、各種アーキテクチャのトレードオフを研究するための大規模な投資が必要でした。大きい LUT の研究を勢いづかせたのは、回路のクリティカル・パス上のロジック・エレメントのレベル数を低減することにより、基本の 6-LUT で性能を 14% 向上できるという調査結果でした。残念ながら、この性能の向上は面積にも大きな影響を与えました。LUT マスクが大きくなり、LUT の入力数が多くなったために、面積が 17% 増加しました。図 4 に各サイズの LUT におけるコストと遅延のトレードオフを示します。ALM を設計する上での基本的アプローチは、ロジックのレベル数を低減して性能を向上させるために、大きい LUT の構築を研究することでした。また同時に、破線で示しているように、適切な場合は大きい LUT を小さい LUT に効率的に分割することで、面積の増加を回避することでもありました。LUT を分割することとは、それを“アダプティブ”にする能力です。

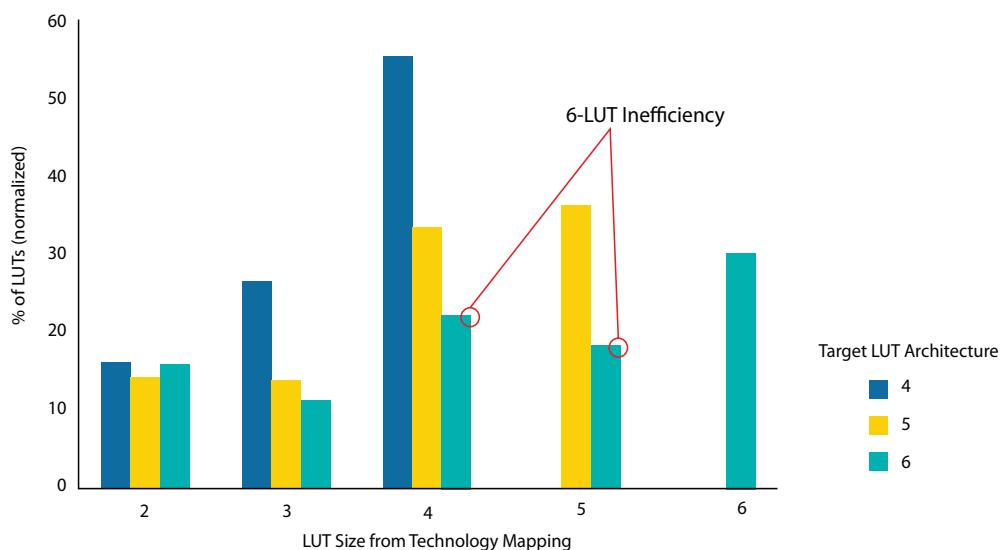
図 4. LUT サイズごとの遅延 - コストのトレードオフ



アダプティブ LUT の代替デザインの研究を開始するに当たり、FPGA ハードウェアとソフトウェアの複雑な相互作用をモデル化する独自のツールを使用して、アルテラは異なるアーキテクチャの実装を探求することができました。このツールは、FPGA デザインの詳細、さまざまなロジックおよびメモリ・リソース、アーキテクチャの階層記述、必要なすべての FPGA タイミングおよび物理的詳細をモデル化します。既存のロジック・ブロックのアーキテクチャを単にインクリメンタルに変更するのではなく、新しいアーキテクチャを設計する際には、LUT サイズとロジック・エレメント機能、およびそれをターゲットとするソフトウェアの視点から、ブロック自体をモデル化することが重要です。研究用配置配線ツールに加えて、アルテラではターゲットのロジック・ブロックを合成およびパッキングするための研究用合成ツールを使用しています。多数のデザインの結果について、速度、面積、配線性、および電力が解析されます。

基本の 6-LUT に関する面積の影響を詳しく調べるため、アルテラは各ロジック・ファンクションで生成される入力の数解析しました。図 5 は、基本の 4-LUT、5-LUT、および 6-LUT アーキテクチャをターゲットとする場合に、合成によって生成される LUT サイズの分布状況を示しています。

図 5. 合成によって生成されるファンクションの分布



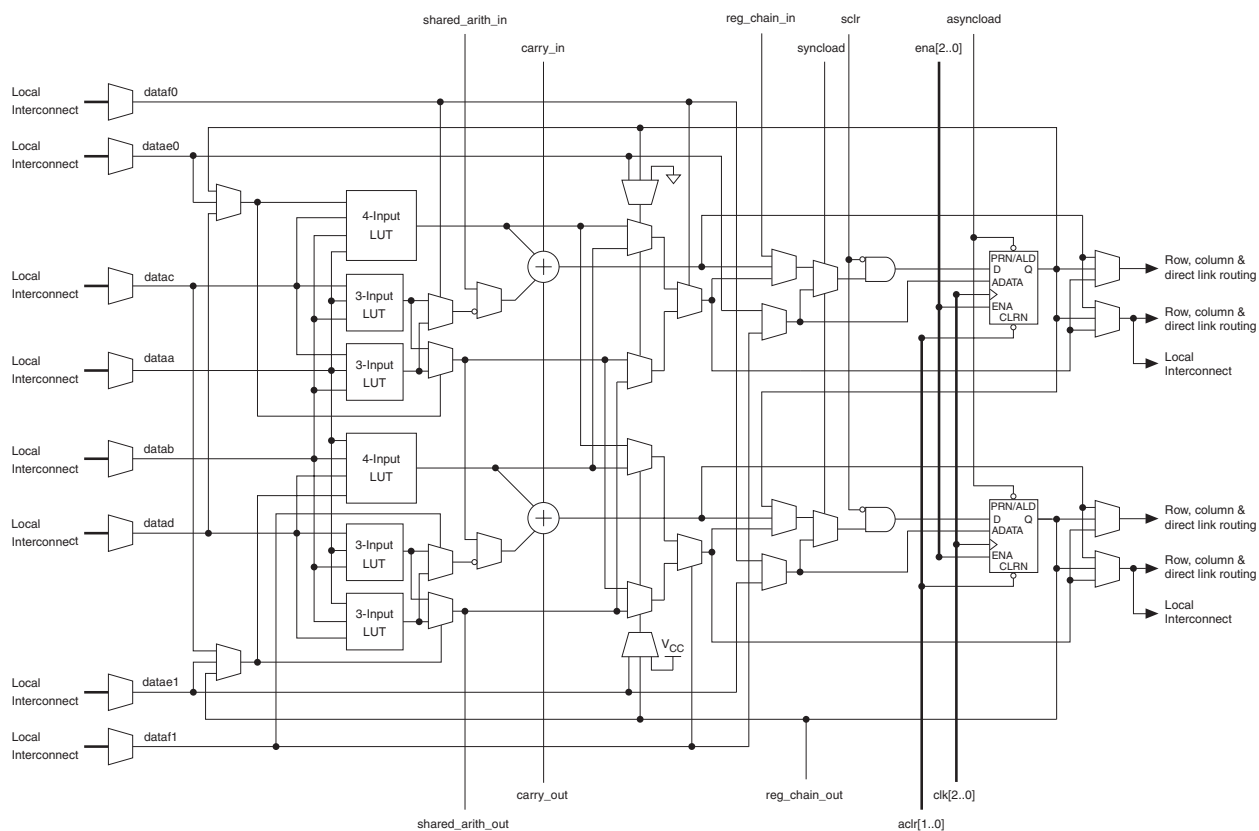
速度最適化の結果を中心に見ていくと、以下のことがわかりました。

- さまざまなLUTサイズが生成され、大多数のファンクションは6-LUTではありません。6-LUTがターゲットになっていますが、回路には1つのファンクションに吸収される大きなロジック・コーンが少ないため、この実験では約30%しか抽出されません。
- 基本の6-LUTだけをサポートするアーキテクチャでは、コンフィギュレーション・ビットが使用されていないので、シリコン面積が浪費されてコストが増加するため、小さいファンクションを効率的に実装することはできません。6-LUTを小さいLUTに分割し、6-LUTリソースで複数の小さいファンクションを実装できれば、この非効率性は回避できます。

性能の利点、および小さいファンクションを効率的に実装する能力を提供する大きいLUTを研究する過程で、多くの提案が調査されました。4-LUTや5-LUTから6-LUTを構成することも検討されましたが、きわめて非効率であるため問題にされませんでした。異なる数の追加入力と柔軟性レベルを持つアダプティブ6-LUTについて調査が行われ、このソリューションが有望であることが判明しました。最後に、LUTマスクをファンクション間で共有するようにアダプティブLUTが強化され、[図1](#)に示す最終的な8入力の分割可能なLUTデザインがALMで誕生しました。

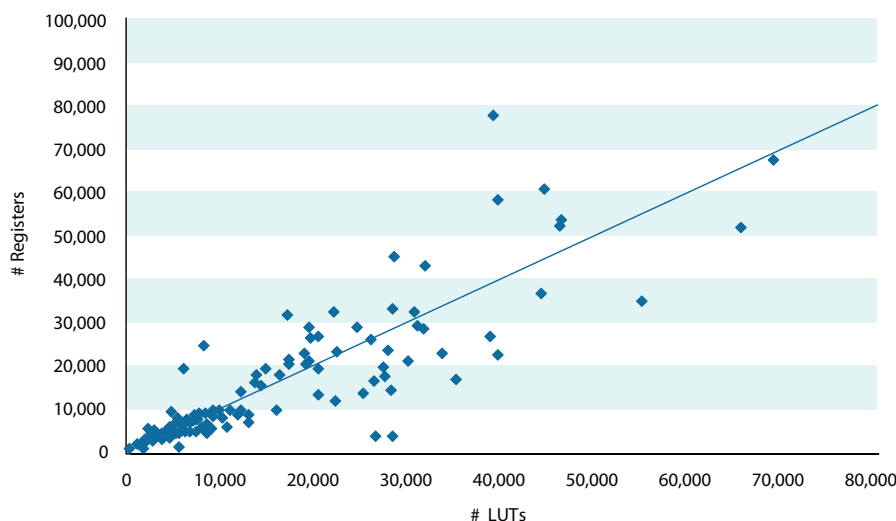
[図6](#)は、ALMを4入力および3入力LUTとマルチプレクサを使用して表現したもので、LUTマスクを2つのロジック・ファンクション間で分けて共有する方法を示しています。6-LUTの性能を向上させる最もコスト効率の高いストラクチャを決定するために、約150,000回FPGAの合成、配置、配線が実行されました。

図 6. アダプティブ・ロジック・モジュール (ALM) のブロック図



アダプティブ LUT の他に、ALM には図 1 と 6 に示す 2 個のレジスタと 2 個の加算器も含まれています。実験により、多くのカスタム・アプリケーションで 1:1 を超えるレジスタ対 LUT 比率が要求されることがわかったため、レジスタが追加されました。図 7 は Stratix II カスタム・デザインにおけるレジスタと LUT の数を比較したものです。約半分のデザインで LUT よりも多くのレジスタが必要であり、1 つの組み合わせロジックあたり 1 個のレジスタしかないアーキテクチャでは、レジスタが制限されることが予想されます。ALM には 2 個のレジスタが含まれており、集積度が向上し、優れたビルディング・ブロックを構築します。ALM の演算機能を強化するために加算器が追加されており、1 個の ALM で 2 ビット加算または 3 入力加算を実行できます。このように、ALM は基本 6-LUT の 2 倍のレジスタと演算機能を備えています。

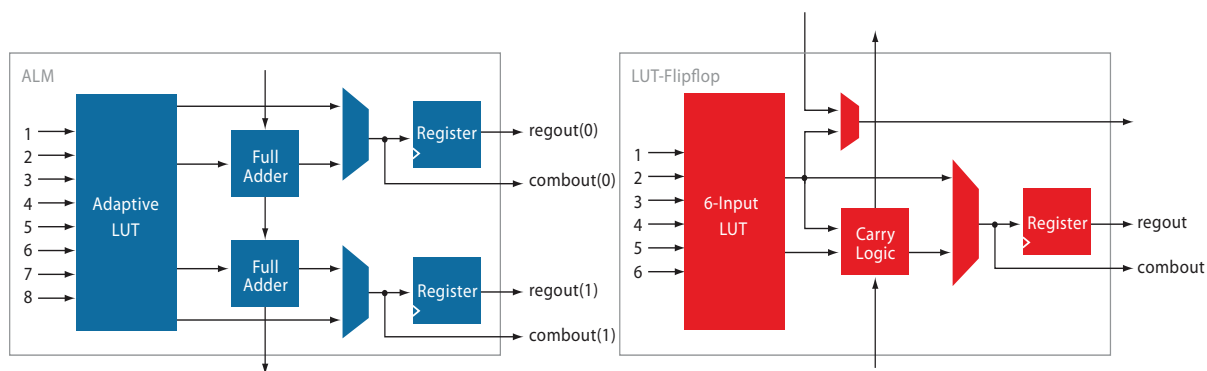
図 7. レジスタ数vs.LUT 数



ALM の利点

Stratix II ALM は、少なくとも競合デバイスの 1 世代先を行くアルテラの FPGA アーキテクチャです。2 年以上前に導入されたものですが、最近導入された Xilinx Virtex-5 ロジック・エレメント (LUT フリップフロップ・ペアとも呼ばれます) よりも柔軟性が高く、そのため高い面積効率を示します。Virtex-5 ロジック・エレメントは、図 8 に示すように、基本 6-LUT、1 個のキャリー・ロジック、および 1 個のレジスタで構成されています。比較すると、ALM の組み合わせロジック部には 8 つの入力があり、すべての 6 入力ファンクションをサポートする他、それより小さいファンクションの多様な組み合わせも 2 つの出力を使用してサポートします。Virtex-5 ロジック・エレメントの組み合わせロジック部である基本 6-LUT には、ALM と同様に 64 ビットの CRAM と 2 つの出力がありますが、入力は 6 つしかなく、複数のロジック・ファンクションを実装する能力は限られます。出力の 1 つは 6-LUT の出力で、もう 1 つはコンフィギュレーション RAM の下半分に対応する 5-LUT です。

図 8. Stratix II ALM と Virtex-5 LUT フリップフロップ・ペアの比較



基本 6-LUT で小さい 2 つのファンクションを実装することはできますが、通常は 1 個の 6-LUT としてのみ使用されます。LUT には入力が 6 つしかないため、共有させる必要がある入力の数によって、組み合わせ可能なファンクションの種類は大幅に制限されます。そのため、基本 6-LUT が 2 個の 5-LUT として使用されることはほとんどありません。対照的に、Stratix II ALM には 2 つの入力が余分にあるため、LUT を 2 個の完全に動作する 5-LUT として使用して、面積効率を高めることができます。

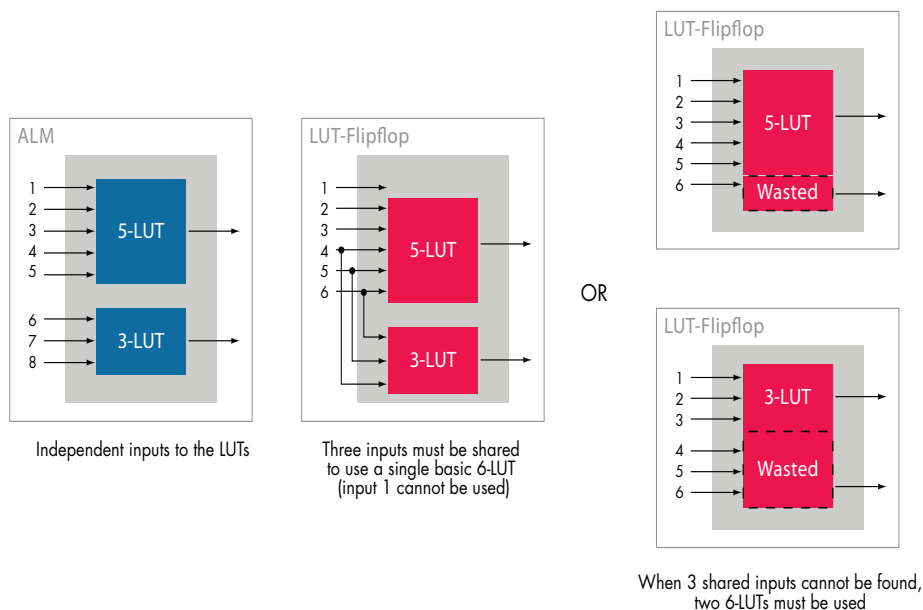
表 2 は、ファンクションのいくつかの組み合わせに必要な共有入力の数を示しています。例えば、ALM は 2 個の独立した 4 入力ファンクションを実装できますが（入力は共有されません）、Virtex-5 LUT では 3 つの入力を共有させる必要があります。図 9 に別の例を示します。ALM は入力を共有しないで 1 つの 5 入力ファンクションと 1 つの 3 入力ファンクションを実装できますが、Virtex-5 LUT では 3 つの入力を共有させる必要があります。Virtex-5 LUT にパッキングできるファンクションを見つけることは容易ではなく、したがって入力が 5 つ以下のファンクションが 6-LUT リソースで実装されることになります。

表 2. ALM と Virtex-5 LUT の柔軟性の比較

出力 1	出力 2	Virtex-5	ALM の共有入力数 (最小)
5-LUT	5-LUT	5	2
5-LUT	4-LUT	4	1
5-LUT	3-LUT	3	0
4-LUT	4-LUT	3	0
4-LUT	3-LUT	2	0
3-LUT	3-LUT	1	0

Stratix II ALM のもう 1 つの大きな利点として、Virtex-5 ロジック・エレメントには 1 個のレジスタと 1 個の加算器しかないのに対し、各 ALM には 2 個のレジスタと 2 個の加算器があります。その結果、あらゆるデザインで実装に必要な ALM の数は Virtex-5 ロジック・エレメントの数よりも少なくなります。図 9 を参照してください。

図 9. Stratix II ALM と Virtex-5 LUT フリップフロップ・ペアの 5 入力ファンクションおよび 3 入力ファンクションの実装



カスタマ・デザインのベンチマーク

ALM と Virtex-5 ロジック・エレメントの比較を明確なものにするために、65 のカスタマ・デザインでベンチマーク実験が行われました。各デザインが Synplify Pro を使用して、Stratix II デバイスと Virtex-5 デバイスを 1 回ずつター

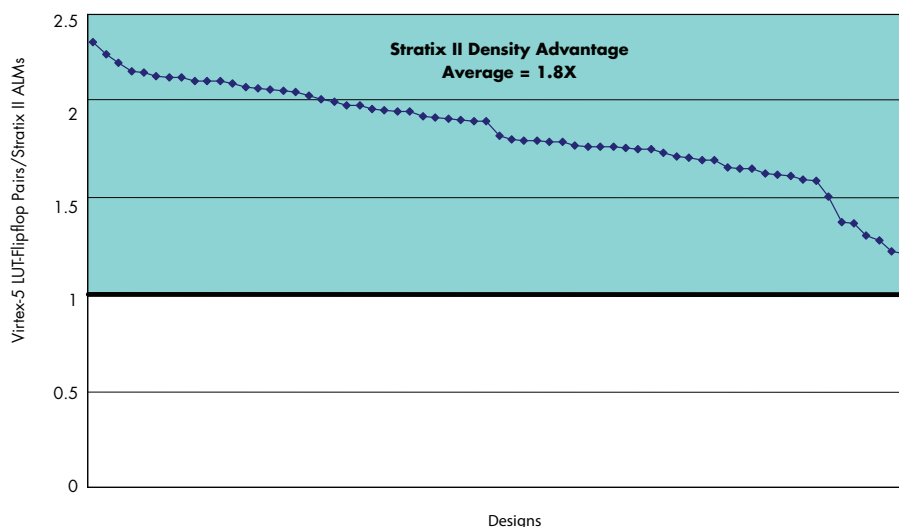
ゲットにして合成されました。合成されたネットリストは次に、デザインを最少数のリソースで実装するための面積最適化を有効にして、Quartus II および ISE ソフトウェアにかけられました。ツールのバージョンを表 3 に示します。

表 3. 使用された CAD ツール

CAD ツール	Stratix II	Virtex-5
合成	Synplify Pro 8.6.1	Synplify Pro 8.6.1
配置配線	Quartus II 6.0	ISE 8.2i SP1

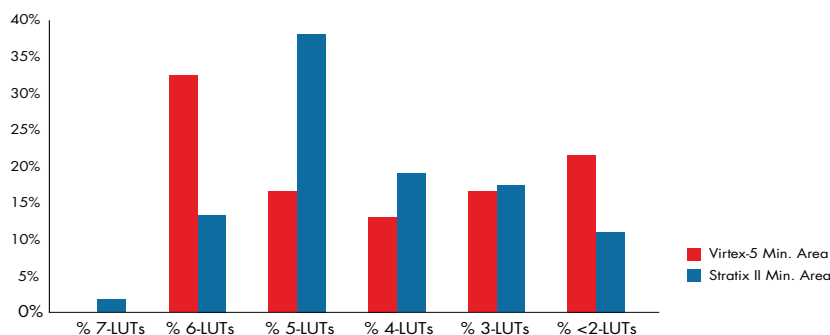
デザインの実装ごとにリソースの使用量が比較され、Stratix II ALM に対する Virtex-5 ロジック・エレメント (LUT フリップフロップ・ペア) の比率が計算されました (図 10 を参照してください)。「1」と表記されている黒い横の線は、Virtex-5 ロジック・エレメントと ALM の数が同じであることを示しています。このラインを超えるデザインは、必要な Virtex-5 ロジック・エレメントの数が ALM よりも多いことを示し、Stratix II の方が集積度が高いことを意味しています。Stratix II ALM に対する Virtex-5 ロジック・エレメントの比率は最高で 2.3 ですが、すべてのデザインの平均は 1.8 倍です。つまり、1 個の Stratix II ALM が 1.8 個の Virtex-5 ロジック・エレメントと同等 (同量のロジックを集積可能) です。

図 10. 集積度の結果



これらの結果をより深く理解するために、合成によって生成される LUT サイズの内訳を図 11 に示します。グラフから、合成によって生成される 6-LUT の割合は 32% 対 13% で、明らかに Virtex-5 デバイスの方が Stratix II デバイスよりも高いことがわかります。この理由は、Virtex-5 のように基本 6-LUT を使用する場合、ファンクションが 6 つの入力を要求しているかどうかにかかわらず、ほとんどのケースで LUT 全体を使用する必要があるため、できるだけ多くの入力を使用した方がよいからです。Virtex-5 は 6-LUT しか効率的に実装できないので、合成ではできるだけ多くの 6-LUT を生成しようと試みます。共有させる必要がある入力数が指定されても 2 つのファンクションをパッキングできる可能性は低いいため、小さいファンクションを生成しようとしても無意味です。

図 11. 合成時に生成される LUT サイズ



ALM は柔軟性が高いため、合成ツールは大きいファンクションと小さいファンクションの割合が正しくなるように、LUT サイズの分布を変更することができます。その結果、使用する ALM 数は減少します。特に 5 つ以下の入力を持つ任意のファンクションは ALM の半分しか使用しないので、6 入力ファンクションはスピード重視のロジックでのみ使用することが重要です。

組み合わせロジックに限れば、[図 11](#) から次のことが言えます。

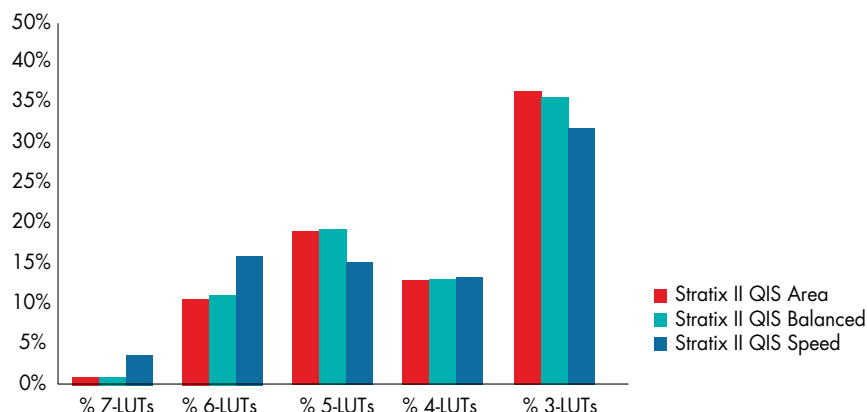
- デザインの Stratix II 実装では、1 個の ALM を要求する 6-LUT と 7-LUT を合わせて、割合はわずか 15% です。
- 残りの 85% の LUT (5-LUT、およびそれより小さい LUT) は ALM の半分しか必要なく、LUT 合計数の 42.5% に効率よく収まり、ALM で基本 6-LUT よりも高い集積度を実現します。

したがって、Virtex-5 と比較して、必要な ALM は $15\% + 42.5\% = 57.5\%$ であり、集積度は 1.74 倍です。しかもスピード重視のロジックは 6-LUT で実装されます。ただし、基本の 6-LUT で 2 個のファンクションがパッキングされることがあるため (割合は 10% 未満)、ALM の組み合わせロジックの集積度は 1.6 倍になります。

デザインに多数のフリップフロップが使用されている場合、ALM と基本の 6-LUT との集積度の比率は 2:1 です。このため、ALM は基本 6-LUT の 1.6 倍～2 倍の集積度になると予想されます。ベンチマークの結果では ALM の集積度が 1.8 倍となっており、この範囲に十分収まる値です。

ALM はソフトウェアの最適化に柔軟性を提供します。[図 12](#) は、速度、面積、またはバランスのとれたアプローチの 3 つの目的で最適化を実行する際に、Quartus II 統合合成 (QIS) で生成される LUT サイズの分布を示しています。LUT サイズの分布は目的に応じて異なります。速度を最適化する場合は最も多くの 6-LUT が生成され、面積を最適化するときは、最も少数の ALM にパッキングされるために異なる分布になります。この柔軟性はアルテラ固有のものであり、アーキテクチャ開発において最適な結果を得るために、ソフトウェアとハードウェア間の相互作用に関して詳しい研究を進めた結果、実現しました。

図 12. Quartus II 統合合成 (QIS) で生成されるファクションの分布

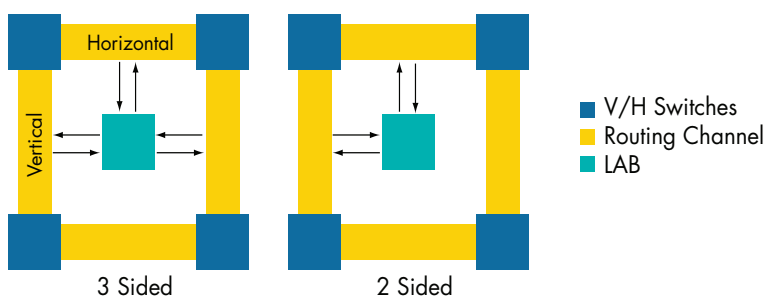


配線アーキテクチャ

ロジック・ブロック・アーキテクチャに加えて、FPGA にはもう 1 つの主要機能として配線アーキテクチャがあります。Stratix シリーズのデバイスでは、接続性と性能を最大化するために MultiTrack インタコネクタを導入しました。この配線アーキテクチャは、ロジック・アレイ・ブロック (LAB) と呼ばれるロジック・ブロック・クラスタ間の接続を提供し、ある LAB から別の LAB に至るのに通過する「HOP」数で測定できます。HOP 数が少なくパターンの予測可能性が高いほど、性能が高く CAD ツール最適化が容易です。

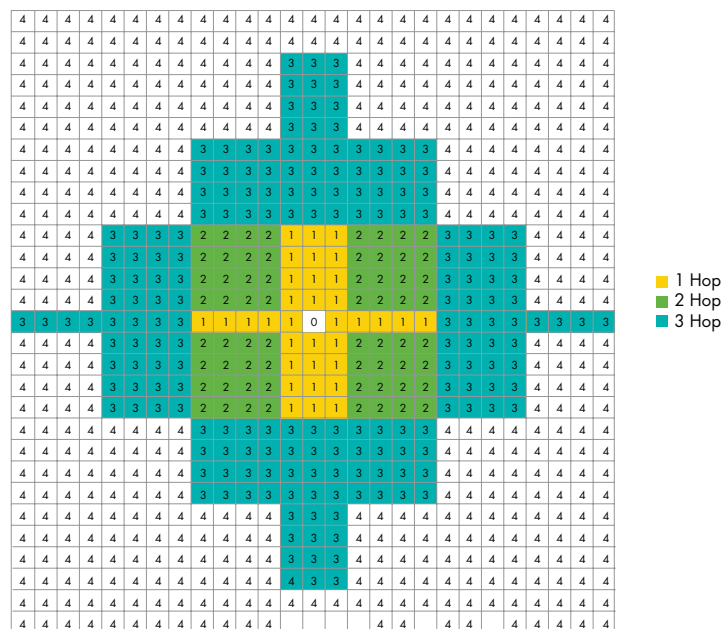
配線は多数のロウとカラムを接続するワイヤで構成されます。Stratix および Stratix II ファミリでは、図 13 のように、3 サイドの配線アーキテクチャを使用しています。したがって、LAB はその上の 1 本の水平方向 (H) チャンネル、およびその左サイドと右サイドの 2 本の垂直方向 (V) チャンネルのすべてのワイヤをドライブまたはリッスンできます。チャンネルには長さ 4、8、16、および 24 のワイヤが含まれており、ワイヤに沿った任意の LAB に信号を伝播することができます。

図 13. 配線アーキテクチャのサイド数



理解しやすいように長さ 4 のワイヤだけを考えると、図 14 は、「0」と表記された場所の LAB から別の LAB に接続するのに必要な HOP 数を示しています。

図 14. Stratix および Stratix II の接続性



Virtex アーキテクチャでは、コンフィギュレーション可能ロジック・ブロック (CLB) は 1 本の垂直方向チャンネルと 1 本の水平方向チャンネルのすべてのワイヤに接続できることから、2 サイドの配線アーキテクチャを使用しています (CLB よりも上のワイヤの半分と CLB よりも下のワイヤの半分に接続)。さらに、ワイヤに沿って選択された箇所 of CLB にのみ接続するワイヤが使用されます。これらの要素はいずれも接続性と配置に制約を与えます。Virtex-5 デバイスでも CLB は 2 本のチャンネルに接続できますが、接続性を向上させるために L 字型 (Xilinx では diagonal と呼ばれています) ワイヤが使用されています。

Stratix II ファミリーと Virtex-5 の接続性を比較するため、一定数の HOP で到達可能な LAB/CLB の数を表 4 に示します。Stratix II デバイスでは、1 つの HOP で Virtex-5 デバイスの CLB よりも多くの LAB (34) に到達できます。ALM の高い効率を利用すれば、結果は Stratix II デバイスにさらに有利なものになります。1 個の LAB には 20 個の 4-LUT ベースの LE と同等のロジックが含まれているのに対し、Virtex-5 では 11 個以下 (1.8 倍の係数を使用) です。これらの値によって、一定の HOP 数内で到達可能なロジックの量をスケールすれば、ロジック容量の点で配線の接続性はさらに高くなります。

表 4. Stratix 対 Virtex シリーズの接続性

HOP 数	到達可能な LAB/CLB の数		到達可能な LE 数		Virtex-5 LE に対する Stratix II LE の比率
	Stratix II	Virtex-5	Stratix II	Virtex-5	
1	34	12	680	132	5.2
2	96	96	1,920	1,056	1.8
3	160	180	3,200	1,980	1.6
合計	290	288	5,800	3,168	1.8

まとめ

アルテラの FPGA アーキテクチャは業界で他に並ぶものがなく、ロジック・アーキテクチャの点で少なくとも競合デバイスの 1 世代先を行き、配線アーキテクチャの点では 2 世代先を行くものです。組み合わせロジック部を分割できる能力と 8 つの入力を備えた ALM は、フル 6 入力 LUT の他、それよりも小さい多様なファンクションを実装できます。Stratix シリーズ・ファミリでは 3 サイドの配線アーキテクチャと、その長さに沿って任意の LAB に接続できるワイヤを使用しており、最少の HOP 数で到達可能なロジック量において、最高の接続性を実現しています。これらの特長は、優れたアーキテクチャを開発するためのアルテラの独自のアプローチと実験により、多くの革新機能が生み出された結果実現したものです。

参考文献

Ahmed, Elias and Jonathan Rose. "The Effect of LUT and Cluster Size on Deep-Submicron FPGA Performance and Density." FPGA 2000: ACM Symposium on FPGAs, 3-12. February 2000.

Lewis, D., et al. "The Stratix II Logic and Routing Architecture." FPGA 2005: ACM Symposium on FPGAs, 14-20. February 2005.

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.