

## MAX II CPLD を使用したポータブル・アプリケーションにおける トータル・システム・コストの削減

### 概要

従来は、ポータブル・システム的设计者が、ポータブル・システムにメモリ・インタフェース、I/O 拡張、パワーオン・シーケンス、ディスクリート・ロジック機能、およびディスプレイ機能を実装するのに ASIC や ASSP を使用してきました。低コスト、低消費電力、および狭いボード・スペースが要求されるため、ポータブル・アプリケーションにおけるプログラマブル・ロジック・デバイスの使用は制限されてきました。しかし、今日では、平均販売価格の低下と低消費電力および小型パッケージにより、ポータブル・アプリケーションで、プログラマブル・ロジック・デバイスが ASIC、ASSP、およびディスクリート・デバイスを置き換え、また機能強化することができるようになりました。

低コストと新しい超小型パッケージ、高集積度、オンチップ・ボルテージ・レギュレータ、新しいパワーダウン機能など差別化を図った製品の特長により、MAX<sup>®</sup> II CPLD はポータブル・システム设计者に、競合の CPLD ソリューションよりも平均で 50% 低いコストと消費電力を提供します。これらのデバイスは従来どおり、ASIC や ASSP では提供できない短い「time-to-market」や柔軟性のメリットを提供します。

### ポータブル・システムでの課題

ポータブル・アプリケーションの急増により、バッテリーで長時間動作し高レベルの機能をサポートする小型で安価な製品に対する需要は高まっています。表 1 にいくつかの市場とアプリケーションを示します。

表 1. ポータブルの市場とアプリケーション

市場	アプリケーション
民生用	<ul style="list-style-type: none"> <li>● 教育用玩具</li> <li>● 携帯用メディア・プレーヤ</li> </ul>
工業用	<ul style="list-style-type: none"> <li>● バーコード・スキャナ</li> <li>● 工業用 PDA</li> <li>● カメラ・モジュール</li> </ul>
医療用	<ul style="list-style-type: none"> <li>● ハンドヘルド超音波装置</li> </ul>
テストおよび計測	<ul style="list-style-type: none"> <li>● ハンドヘルド・テスタ</li> <li>● マルチメータ</li> </ul>
ワイヤレスおよびワイヤライン	<ul style="list-style-type: none"> <li>● PCMCIA カード</li> <li>● オプティカル・モジュール</li> </ul>
車載用機器	<ul style="list-style-type: none"> <li>● モバイル GPS</li> </ul>

ポータブル・システムでは絶えず小型化と低価格化が進んでいるため、低コストでより高いレベルの機能に対するサポート要求が増大し、システム设计者に課題を投げかけています。外付けボルテージ・レギュレータ、パワーアップ・シーケンス用外部クロック・ソース、電圧レベル変換やシリアル I/O 拡張用ロジック・ファンクションを搭載するディスクリート・ロジック・デバイスなどのボード・コンポーネントが最終製品のコストに直接影響を与えます。したがって、ボードに実装されるコンポーネントの数が多ければ、最終製品の価格が高くなります。

ポータブル・システム的设计者は、製品サイズの小型化に合わせて、ボード・スペースも狭くする必要に迫られています。设计者は、バッテリー・チャージャ機能、ディスプレイ・グラフィックス、ディスプレイ・プロトコル・ブリッジ、変換機能など複雑なロジック・ファンクションを統合したり、メモリ管理など I/O を多用する機能をサポート可能な非常に小型のパッケージを必要としています。

ポータブル・デザイン・エンジニアが直面するもう 1 つの課題が消費電力です。消費者はより多くの機能を搭載したより小型の製品を求めています。バッテリー寿命に関してはモバイル的ライフスタイルに合うような長時間動作も希望しています。ポータブル・システム设计者が最も懸念する電源設計の要素は、消費電力、簡潔さ、移行性の 3 つです。消費電力は、ダイナミックおよびスタティック成分で構成されています。大部分のポータブル・アプリケーションでは、バッテリーの寿命を延長するために、低いダイナミック電力が要求されますが、アプリケーションによっては低いスタティック電力が求められます。ダイナミックまたはスタティック消費電力を低減することによって製品のバッテリー寿命を延長することが望ましいといえますが、必ずそうすべきというわけではありません。

電源システムは可能な限りシンプルであることも必要です。バッテリー駆動のアプリケーションでは、コスト的に複数の電源レールを導入できない場合があります。複数のパワー・ドメインを持つポータブル・システムは、きわめて柔軟な制御メカニズムを備え、各ドメインを非常に簡単にパワーアップおよびパワーダウンできることが不可欠です。標準的なパワー・マネジメント・システムは、絶えずある電源モードから別のモードに切り替わるため、電源の移行性も重要です。デバイスのホット・ソケット特性が低いと、「オフ」状態の場合が「オン」状態の場合よりも多くの電力を消費する可能性があります。

エンジニアが直面する別の課題は、開発中のポータブル製品の寿命に関係するものです。テキスト、グラフィックス、ビデオの表示を含めて、時間経過とともにディスプレイ要件など、ポータブル製品における基準が変化する場合があります。ASIC や ASSP では本質的に機能が固定されるため、このような製品に対する要求条件の変化はサポートされません。加えて、ASIC、ASSP、およびディスクリート・デバイスはプロセス・テクノロジーの進歩により、時間経過とともに陳腐化してしまいます。その結果、これらのデバイスを使用しているシステム設計者は、コストや時間のかかるハードウェアおよびソフトウェアの再設計を余儀なくされる可能性があります。

### MAX II CPLD はトータル・システム・コストとボード・スペースを削減

ポータブル・アプリケーションでの ASIC、ASSP、およびディスクリート・デバイスの機能は、超小型パッケージに最大規模のロジックを搭載したアルテラの MAX II CPLD に統合できます。これらのパッケージは、ポータブル・アプリケーションの LCD ディスプレイ、キーボード、フラッシュ、またはメモリへのインタフェースのようなボード単位面積あたりに高い I/O カウント数を必要とする機能に理想的です。加えて、ディスクリート・コンポーネントを集積して、PCB スペースを小さくするために必要な高いロジック対ボード面積比も提供します。

MAX II CPLD は、低コストの薄型クワッド・フラット・パック (TQFP)、FineLine BGA<sup>®</sup> (FBGA) (1.0 mm ピッチ)、および Micro FineLine BGA (MBGA) (0.5 mm ピッチ) パッケージで提供されます。超小型パッケージである 100 ピンおよび 256 ピン 0.5 mm MBGA パッケージはポータブル・アプリケーションに理想的であり、デバイスの機能性を犠牲にすることなく、さらに小型の製品を開発するために、より多くの機能をより小さいボード・スペースに搭載できます。図 1 に 0.5 mm MBGA パッケージのパッケージ・フットプリントを示します。

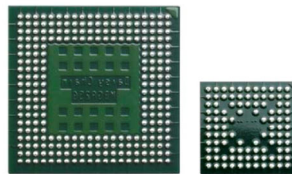


図 1. 0.5 mm MBGA パッケージのフットプリント (左: 256 ピン、右: 100 ピン)

これらの超小型パッケージは、部分的に配置されたピン配列を容易にブレイクアウトできる 0.5 mm BGA のコンパクトなサイズとなっています。これらのパッケージは、すべてのピンと電源接続をわずか 2 層の PCB 基板でブレイクアウトできます。

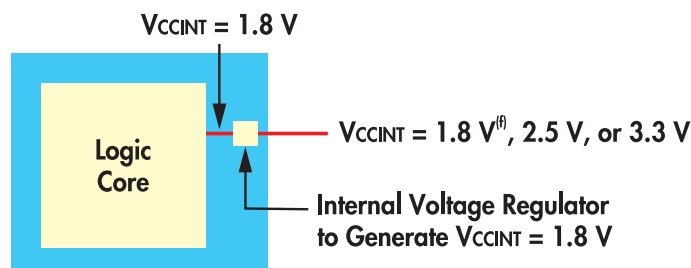
超小型パッケージでは、ボード・スペースが節約されるだけでなく、他の CPLD よりも 50% 多いボード単位面積 (mm<sup>2</sup>) あたりのユーザ I/O 数やロジック集積度を実現することによってトータル・システム・コストを削減します。表 2 に、一部の CPLD ファミリの単位面積 (mm<sup>2</sup>) あたりの I/O 数および単位面積 (mm<sup>2</sup>) あたりのマクロセル数の比較を示します。平均して、MAX II CPLD の超小型パッケージは、同等な CoolRunner-II および ispMACH 4000Z パッケージよりも、ボード単位面積 (mm<sup>2</sup>) あたり 50% 多い I/O 数とボード単位面積 (mm<sup>2</sup>) あたり 200% 大きなロジック集積度を提供します。

表 2. CPLD ファミリの単位面積 (mm<sup>2</sup>) あたりの I/O 数とロジック集積度の比較

製品ファミリ	デバイス	パッケージ	サイズ	I/O	マクロセル	面積 (mm <sup>2</sup> ) あたりの I/O 数	面積 (mm <sup>2</sup> ) あたりの MC
CoolRunner-II	XC2C64	CP56	6×6	45	64	1.25	1.78
ispMACH 4000Z	4064Z	CS56	6×6	32	64	0.89	1.78
ispMACH 4000Z	4064Z	CS132	8×8	64	64	1.00	1.00
MAX II	EPM240	M100	6×6	80	192*	2.22	5.33
CoolRunner-II	XC2C128	CP132	8×8	100	128	1.56	2.00
ispMACH 4000Z	4128Z	CS132	8×8	96	128	1.50	2.00
MAX II	EPM240	M100	6×6	80	192*	2.22	5.33
CoolRunner-II	XC2C256	CP132	8×8	106	256	1.66	4.00
ispMACH 4000Z	4256Z	CS132	8×8	96	256	1.50	4.00
MAX II	EPM570	M100	6×6	76	440*	2.22	12.22

\* 等価マクロセル数

高集積度の MAX II デバイスはボード上の部品点数を削減し、それによってトータル・システム・コストも削減されます。MAX II デバイスは、MultiVolt™ コア (図 2) をサポートしており、1.8 V、2.5 V、または 3.3 V の電源電圧で動作可能なため、システム設計者は電源レール数を減らし、ボード・レベルのデザインを簡略化することができます。



Note:  $V_{CCINT} = 1.8\text{ V}$  bypasses the regulator.

## 図 2. MultiVolt コアの動作

電源レールを 1 本減らせば、PCB 上の配線を少なくすることができるため、基板層が少なくなり、トータル・システム・コストが削減されます。MAX II デバイスは低周波オシレータも内蔵しており、パワーアップ・シーケンスのための外部クロック・ソースやイベント・タイマおよびキーボード・エンコーダの必要性がなくなります。

表 3 に、標準的なポータブル・アプリケーションで使用される、いくつかの ASSP、ディスクリット・デバイス、および CPLD ソリューションのコストとメリットの比較を示します。MAX II CPLD は、他のボード上の機能を統合して、ボード・スペースを減少しシステムを簡素化するプログラマブル・ロジック・リソースを提供しており、ポータ

ブル・システムのトータル・ソリューション・コストを削減します。また、MAX II CPLD は陳腐化しにくいいため、ASSP やディスクリート・デバイスよりも優れた代替デバイスになります。

表 3. ポータブル・システムにおけるアルテラの MAX II CPLD ベースとディスクリート・ベースの機能の比較

ソリューション	CPLD 集積度 (MC)	ボルテージ・レギュレータ	周波数オシレータ	BOM 柔軟性 (2)	陳腐化の防止	概算価格 (3)
アルテラ MAX II EPM240M100C5	192	✓	✓	✓	✓	\$4.80
Microchip PIC16F883-I/SP + TI TPS79118DBVR (LDO) + TI SN74AHC1G00DBVR (電圧変換器) + TI PAL16R4 (I/O エキスパンダ)		✓	✓			\$4.45
FTDI 245RL (ASSP) + TI TPS79118DBVR (LDO) + TI PAL16R4 (I/O エキスパンダ)		✓				\$4.76
他社の CPLD (1) + TI TPS79118DBVR (LDO) + Microchip PIC12F683-E/SN-ND (パワーアップ・シーケンス・コントローラ)	128-256	✓	✓	✓	✓	\$8.00-\$16.50

注:

- (1) 他社の CPLD の例は、Xilinx XC2C128CP132-7C です (1000 個注文時の単価 \$7.31)
- (2) BOM 柔軟性は、複数の異なるサプライヤ (例: ディスプレイ、フラッシュ、または A/D コンバータ・サプライヤ) と連携する能力を指します。
- (3) 1000 個注文時の価格

## MAX II CPLD はトータル・システム消費電力を削減し、回路を簡素化

MAX II デバイスには、ポータブル・アプリケーションに有益な多数の電源システム特性があります。MAX II デバイスは CPLD 業界で最も低いダイナミック消費電力を達成し、バッテリーの寿命を延長させるパワーダウン能力を備えています。標準的なポータブル・アプリケーションでは、システムは動作中か、またはオフ状態でユーザがシステムをオンにするのを待機しています。低コア電圧の PLD はアプリケーションの真のパワーを抑えることができます。PLD での全体消費電力は、 $V_{CCINT} * I_{CC}$  です。ここで、 $I_{CC}$  は PLD のダイナミックおよびスタティック  $I_{CC}$  です。 $V_{CCINT}$  電圧は、コア電圧レベルを生成する低ドロップアウト・レギュレータ (LDO) から発生します。

図 3 に、3.0V リチウム・ポリマ・バッテリーを使用した、MAX II デバイスと CoolRunner-II デバイスのシステム消費電力曲線の比較を示します。このアプリケーション例には、コア・ステート・マシン・ロジックの 128 個のレジスタと指定された周波数で動作する 16 のスイッチング入力が含まれます。CoolRunner-II デバイスの場合システムが実際に消費した電力を破線で表しており、これにはバッテリーを消耗し CoolRunner-II デバイスの 1.8V コアに電力を供給する、LDO レギュレータでの消費電力が含まれています。

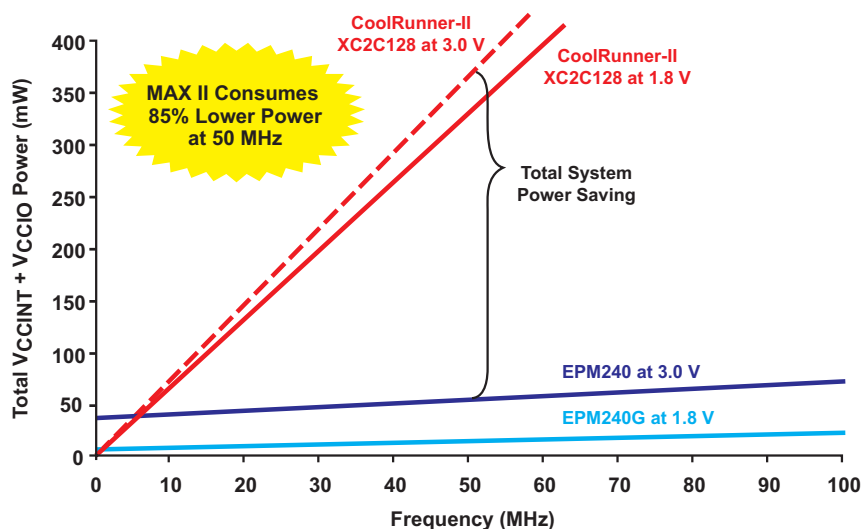


図 3. MAX II vs. CoolRunner-II: ポータブル・システムにおけるダイナミック消費電力

MAX II CPLD の新しい使いやすいパワーダウン機能により、ポータブル・システム設計者は 0 MHz でゼロ消費電力を達成することができます。競合の CPLD とは異なり、ホット・ソケットのサポート、パワー・シーケンスの柔軟性、単一電源の簡潔さなど、MAX II CPLD の優れた電源システム特性によって、パワー・シーケンスの制約なしに完全にパワーダウンして、ポータブル・システムが使用されていないときにバッテリー電源を節約することができます。

図 4 に完全にパワーダウンしたときに、0 MHz でゼロ消費電力を実現する MAX II デバイスの能力を示します。このアプリケーション例では、CPLD の  $V_{CCINT}$  および  $V_{CCIO}$  をパワーダウンしたときに、入力の 50% が  $V_{CC}$  に、残りの 50% が GND に固定されるものと仮定しています。図に示すように、CoolRunner-II デバイスが「オフ」のときには、I/O ピンに流れるリーク電流の影響で、MAX II デバイスが「オフ」のときに比べ消費電力が大幅に高くなります。 $V_{CC}$  または GND 状態にある複数の I/O は、MAX II デバイスが「オフ」のときには、消費電力にまったく、あるいはわずかな影響しか与えません。現存の PLD デバイスは、回路のすべての入力「オフ」になる保証がない限り、「オフ」にして電力を節約することはできません。MAX II デバイスにはそのような制約条件はありません。

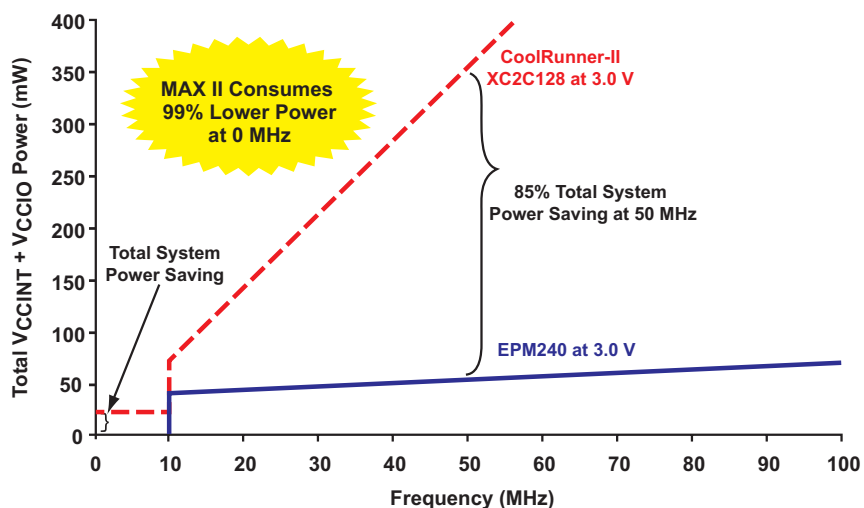


図 4. MAX II vs. CoolRunner-II: ポータブル・システムでのパワー・ダウン・モード

表 4 に各種 CPLD の電源特性を示します。

表 4. 電源仕様の比較

ファミリ	最小電源レール数 (1)	最大 I/O バンク数	パワーアップ・ シーケンス制約	ホット・ソケット・ リーク電流
MAX II	1	4	なし	なし
MAX IIG	2	4	なし	なし
MachXO	2 (2)	4	なし	あり
ispMACH 4000Z	2	2	なし	あり
CoolRunner-II	2	2	あり	あり

注：

(1) 3.3V I/O バッテリ動作システムに必要な電源レール

(2) MachXO  $V_{CC}$  および  $V_{CCIO}$  は、1.71 ~ 3.465V の広い範囲で動作しますが、 $V_{CCAUX}$  は 3.135 ~ 3.465V の範囲に制限されています。

表 4 の 2 列目は、バッテリ動作 3.3V I/O ポータブル・システムに必要な最小電源レール数を示します。このようなシステムでは、少なくとも 1 つまたは複数の 3.3V の I/O バンクが必要です。3.3V 以外のコア電源やそれぞれの PLD の各種補助電源用に、他の電源レールが必要です。電源数が少ないほうが明らかに有利です。MAX II デバイスに必要な最小電源数は 1 つです。さらに、MAX II デバイスは 2.5V システムにおいても同じ単一電源動作が可能であり、またバッテリ駆動ポータブル・システムで要求される 2.3V ~ 3.2V の範囲での動作も可能です。

表 4 の 3 列目は独立した I/O バンク数を示します。3.3 V は最も一般的なシステム電圧ですが、電圧レベル・シフトに PLD を利用するアプリケーションがあります。他の CPLD デバイスと比較して、MAX II デバイスは I/O バンク数が最も多くなっています。2 つの  $V_{CCIO}$  レベルしか必要ない場合でも、4 つの I/O バンクがあればピンを電源レールに割り当てるときに、柔軟性が高くなります。

表 4 の 4 列目は、パワーアップ時に  $V_{CC}$  電源レールのシーケンスに対する制限があるかどうかを示します。ユーザが  $V_{CCIO}$ 、 $V_{CCINT}$ 、または  $V_{CCAUX}$  をパワーアップ/パワーダウンする順序に何の制約も課されない「なし」が最も望ましいです。MAX II CPLD には、パワーアップの順序に何の制約もありません。 $V_{CCIO}$  と  $V_{CCINT}$  が同じ電源の場合でも問題はありませぬ。「あり」は、規定されたシーケンスに従わないと、無用な電流サージが発生したり、出力がスタック状態になる可能性があることを示します。決まったパワーアップ・シーケンスが必要な場合は、システムが複雑になったりシステムのトータル・コストが増大することになります。また、PLD を使用してボード上の他のデバイスのパワーアップ・シーケンスを制御することができなくなる可能性もあります。

表 4 の 5 列目は、デバイスが完全にホット・ソケット保護されているかどうかを示します。ホット・ソケットに関する大きな不安は、PLD に電源が印加されていないときの I/O ピンのリークです。ホット・ソケット・リークとは、デバイスの  $V_{CCIO}$  または  $V_{CCINT}$  が印加されていないとき、 $V_{CC}$  または GND になっている I/O ピンの電流リークです。ホット・ソケット・リークによって、デバイスがパワーダウンされているときでも I/O ピンを通してシステム電力が消費されます。MAX II デバイスはホット・ソケットのサポートを提供しており、スタティック・ホット・ソケット・リークはごくわずかです。ホット・ソケット特性は、PCB 上に 3.3V、2.5V、1.8V、および 1.5V デバイスが混在していて、モードによって一部のデバイスがパワーダウンされる場合に、それらのコンポーネントを使用する際の問題をいくつか解決します。ポータブル・システムでは、ホット・ソケット・サポートにより、CPLD の I/O ピンを経由する無用な寄生リーク・パスを生じることなく、システムの各部を簡単にパワーダウンすることができます。

## まとめ

MAX II CPLD は、ASIC、ASSP、ディスクリート・デバイス、および他の CPLD デバイスにない重要な利点を提供しています。超小型パッケージと、高集積度、コア・ボルテージ・レギュレータ、内蔵周波数オシレータ機能により、システム設計者は既存のボード上のディスクリート・デバイスを集積化することができ、トータル・システム・コストを削減し、ボード・スペースを節約します。さらに、MAX II CPLD により、システム設計者は、システムの消費電力を抑えるだけでなく、最終製品でのシステム電源管理を簡素化できます。これまで ASIC、ASSP、およびディスクリート・デバイスが使用されている大部分のポータブル・アプリケーションは、MAX II CPLD によってソリューションのトータル・コストを削減できるため、これらのデバイスの置換または機能強化に十分検討する価値があると考えています。

## 追加情報

- MAX II パワーダウン・デザイン：  
[www.altera.co.jp/support/examples/max/exm-power-down.html](http://www.altera.co.jp/support/examples/max/exm-power-down.html)
- MAX II デバイスを使用したポータブル・アプリケーション：  
[www.altera.co.jp/max2-portable](http://www.altera.co.jp/max2-portable)
- AN 422: MAX II CPLD を使用したポータブル・システムでの電源管理：  
[www.altera.co.jp/literature/an/an422.pdf](http://www.altera.co.jp/literature/an/an422.pdf)
- AN 114: アルテラ・デバイスのための高集積度 BGA パッケージによるデザイン：  
[www.altera.co.jp/literature/an/an114.pdf](http://www.altera.co.jp/literature/an/an114.pdf)

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
<http://www.altera.com>

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.