

ゼロ・パワー CPLD を使用したポータブル・アプリケーション におけるトータル・システム・コストの削減

はじめに

従来、ポータブル・システムの設計者はポータブル・システムにメモリ・インタフェース、I/O 拡張、パワーオン・シーケンス、ディスクリート・ロジック機能、ディスプレイ、およびその他の機能を実装するのに ASIC や ASSP を使用してきました。コストの制約、消費電力、および冷却の制約、ボード・スペース要件などにより、これらのアプリケーションにおけるプログラマブル・ロジック・デバイスの使用はしばしば制限されます。しかし、今日では、消費電力の低減、コストの最適化、およびスモール・フォーム・ファクタ・パッケージにおける CPLD の革新により、ポータブル・アプリケーションで、プログラマブル・ロジック・デバイスが ASIC、ASSP、およびディスクリート・デバイスを置き換え、また機能強化することができるようになりました。

ルック・アップ・テーブル (LUT) ベースのアーキテクチャやコストおよび消費電力の最適化に対する革新的な手法により、最新のゼロ・パワー CPLD は以下に示す旧来のマクロセル・ベースのプロセッサにはない特長と能力を提供します。

- ボード単位面積あたり最高のロジック集積度
- ボード単位面積あたり最大の I/O 数
- オンチップ・ボルテージ・レギュレータおよびオシレータ
- 自動パワーダウンおよび自動パワーアップ

低コストと差異化を図った製品の特長により、これらの CPLD は、ポータブル・システム設計者に従来の CPLD ソリューションよりも平均で 50% 低いコストと消費電力を提供します。これにより、製品開発者は ASIC や ASSP では提供できない迅速な「time-to-market」や柔軟性のメリットを提供するこれらの製品を採用しています。

ポータブル・システムにおける課題

ポータブル・アプリケーションの急増により、バッテリーで長時間動作し、高レベルの機能をサポートする小型で安価な製品に対する需要は高まっています。表 1 に、ポータブル製品の市場とアプリケーションを示します。

表 1. ポータブル製品の市場およびアプリケーション

市場	アプリケーション
民生用および車載用機器	<ul style="list-style-type: none"> ● モバイル通信用ハンドセット ● 教育用玩具 ● ポータブル・メディア・プレーヤ ● モバイル GPS およびナビゲーション ● 電子ペーパー・リーダー ● デジタル・カメラ ● モバイル・コンピューティング ● 車両用ダッシュボードの接続性 ● コンディショナル・アクセス・カード
産業用	<ul style="list-style-type: none"> ● バーコード・スキャナ ● 産業用 PDA ● カメラ・モジュール ● POS 端末 ● リモート/ワイヤレス・メータリング ● I/O モジュール
医療用	<ul style="list-style-type: none"> ● ハンドヘルド診断 ● 患者モニタリングおよび治療
テストおよび計測	<ul style="list-style-type: none"> ● ハンドヘルド・テスタ ● マルチメータ
通信	<ul style="list-style-type: none"> ● 加入者宅内機器 (CPE) ● PCMCIA カード ● オプティカル・モジュール

ポータブル・システムの小型化と低価格化を求める声が高まる一方、より高いレベルの機能に対するサポート要求が増大し、システム設計者に大きな課題を投げかけています。ポータブル・アプリケーションで要求される標準機能の多くは、ボード面積、コスト、および消費電力の増加をもたらすディスクリート・コンポーネントを使用して実装されます。これらのコンポーネントおよび機能には、以下のものが含まれます。

- ボルテージ・レギュレータ
- クロック・ソース
- 電圧レベル変換および I/O 拡張用ディスクリート・ロジック・デバイス
- バッテリの監視 / 充電
- ディスプレイ制御
- キーボード / キーパッド・インタフェース
- プロトコル・ブリッジおよび変換
- メモリ管理

ゼロ・パワー CPLD によるトータル・システム・コストとボード・スペースの削減

ポータブル・アプリケーションでは、上記の機能は多くの場合、ASIC、ASSP、およびその他のディスクリート・デバイスを使用して実装されます。ただし、これらの機能はすべてゼロ・パワー CPLD に組み込むことができます。超小型パッケージで極めて高いロジック機能を提供する最新のゼロ・パワー CPLD は、ポータブル・アプリケーションの LCD ディスプレイ、キーパッド、フラッシュ、またはメモリへのインタフェースのような、ボード単位面積あたりの高い I/O カウント数を必要とするファンクションに理想的です。加えて、ディスクリート・コンポーネントを集積して、PCB スペースを小さくするために必要な高いロジック対ボード面積比も提供します。

例えば、アルテラの MAX[®] IIZ CPLD は、4 種類の低コスト Micro FineLine BGA (MBGA) (0.5 mm ピッチ) パッケージで提供されます。スモール・フォーム・ファクタ・パッケージである 68 ピン、100 ピン、144 ピン、および 256 ピンの 0.5 mm MBGA パッケージはポータブル・アプリケーションに理想的であり、システム設計者はデバイスの機能性を犠牲にすることなく、さらに小型の製品を開発するために、より多くの機能をより小さいボード・スペースに搭載することができます。図 1 に、4 つの MBGA パッケージのフットプリントを示します。

図 1. 0.5 mm MBGA パッケージのフットプリント



これらの超小型パッケージは、部分的に配置されたピン配列を容易にブレイクアウトできる 0.5 mm BGA のコンパクトなサイズとなっています。68 ピン、100 ピン、および 256 ピンの各パッケージは、Micro Via PCM のレイアウト・ルールを使用してすべてのピンと電源接続をわずか 2 層の PCB 基板上でブレイクアウトできるように設計されています。(144 ピン・パッケージでは 4 層が必要です)。

超小型パッケージは、ボード・スペースが節約されるだけでなく、従来よりも多くのボード単位面積 (mm²) あたりのユーザ I/O 数やロジック集積度を実現することによって、トータル・システム・コストを削減します。表 2 に、一部の CPLD ファミリの単位面積 (mm²) あたりの I/O 数およびマクロセル数の比較を示します。MAX II CPLD の小型パッケージは、同等なマクロセル・ベースのパッケージよりも、ボード単位面積 (mm²) あたり最大で 3 倍多い I/O 数と 7 倍以上大きなロジック集積度を提供します。

表 2. CPLD ファミリの単位面積 (mm²) あたりの I/O 数とロジック集積度の比較

ベンダ	CPLD ファミリ	デバイス	パッケージ	サイズ (mm)	I/O 数	等価マクロセル数	面積 (mm ²) あたりの I/O 数	面積 (mm ²) あたりのマクロセル数
アルテラ	MAX IIZ	EPM240Z	M68	5 × 5	68	192	2.72	7.68
アルテラ	MAX IIZ	EPM240Z	M100	6 × 6	80	192	2.22	5.33
Xilinx	CoolRunner-II	XC2C64	CP56	6 × 6	45	64	1.25	1.78
Lattice	ispMACH 4000Z	4064Z	CS56	6 × 6	32	64	0.89	1.78
Lattice	ispMACH 4000Z	4064Z	CS132	8 × 8	64	64	1.00	1.00
アルテラ	MAX IIZ	EPM240Z	M68	5 × 5	68	192	2.72	7.68
アルテラ	MAX IIZ	EPM240Z	M100	6 × 6	80	192	2.22	5.33
Xilinx	CoolRunner-II	XC2C128	CP132	8 × 8	100	128	1.56	2.00
Lattice	ispMACH 4000Z	4128Z	CS132	8 × 8	96	128	1.50	2.00
アルテラ	MAX IIZ	EPM570Z	M100	6 × 6	76	440	2.22	12.22
アルテラ	MAX IIZ	EPM570Z	M144	7 × 7	116	440	2.37	8.98
Xilinx	CoolRunner-II	XC2C256	CP132	8 × 8	106	256	1.66	4.00
Lattice	ispMACH 4000Z	4256Z	CS132	8 × 8	96	256	1.50	4.00

高集積度の MAX IIZ デバイスは、ボード上の部品点数を削減し、それによってトータル・システム・コストも削減されます。MAX II デバイスは低周波オシレータも内蔵しており、パワーアップ・シーケンスのための外部クロック・ソースやイベント・タイマおよびキーボード・エンコーダの必要性がなくなります。

表 3 に、標準的なポータブル・アプリケーションで使用される ASSP、ディスクリート・デバイス、および CPLD ソリューションのコストとメリットの比較を示します。MAX II CPLD は、他のボード上の機能を統合して、ボード・スペースを低減しシステムを簡素化するプログラマブル・ロジック・リソースを提供しており、ポータブル・システムのトータル・ソリューション・コストを削減します。また、MAX II CPLD は陳腐化しにくいいため、ASSP やディスクリート・デバイスよりも優れた代替デバイスとなります。

表 3. ポータブル・システムにおけるアルテラの MAX II CPLD ベースとディスクリート・ベースの機能の比較

ソリューション	CPLD 集積度 (マクロセル)	ボルテージ・レギュレータ	周波数オシレータ	BOM 柔軟性 (2)	陳腐化の防止	概算価格 (3)
アルテラ MAX II EPM240M100C5	192	✓	✓	✓	✓	\$4.80
Microchip PIC16F883-I/SP + TI TPS79118DBVR (LDO) + TI SN74AHC1G00DBVR (電圧変換器) + TI PAL16R4 (I/O エクスパンダ)		✓	✓			\$4.45
FTDI 245RL (ASSP) + TI TPS79118DBVR (LDO) + TI PAL16R4 (I/O エクスパンダ)		✓				\$4.76
他社の CPLD (1) + TI TPS79118DBVR (LDO) + Microchip PIC12F683-E/SN-ND (パワーアップ・シーケンス・コントローラ)	128-256	✓	✓	✓	✓	\$8.00-\$16.50

注:

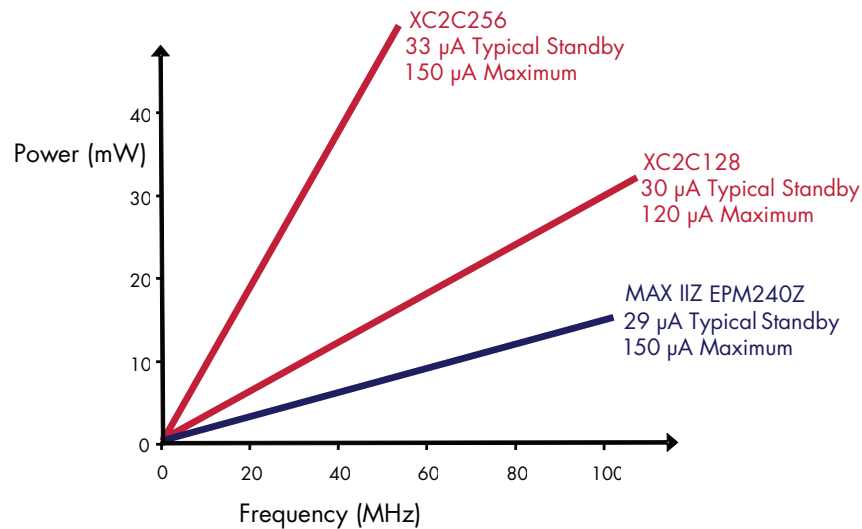
- (1) 他社の CPLD の例は、Xilinx XC2C128CP132-7C です (1,000 個注文時の単価 \$7.31)。
- (2) BOM 柔軟性は、複数の異なるサプライヤ (例: ディスプレイ、フラッシュ、または A/D コンバータ・サプライヤ) と連携する能力を指します。
- (3) 1,000 個注文時の価格

消費電力の低減によるコストの削減

ポータブル・デザイン・エンジニアが直面するもう 1 つの課題が消費電力です。消費者はより多くの機能を搭載したより小型な製品を求めています。バッテリー寿命に関しては、モバイル・ライフスタイルに合うような長時間動作性を希望しています。消費電力はダイナミック要素とスタティック要素で構成されており、これらを低減することによってバッテリー寿命を延長できます。消費電力が低下することによって、低コストのバッテリーや電源で要求される動作時間を達成できるようになるため、全体的な製品コストも低下します。

MAX II デバイスには、ポータブル・アプリケーションに有益な多数の電源システム特性があります。MAX II デバイスは CPLD 業界で最も低いダイナミック消費電力を実現し、バッテリーの寿命を延長させるパワーダウン機能を備えています。MAX IIZ デバイスの標準スタンバイ電流はわずか数十マイクロアンペアなので、マクロセルまたは I/O あたりの消費電力はあらゆる CPLD の中で最低となっています。図 2 に、MAX IIZ デバイスと 2 つの CoolRunner-II デバイスのシステム電力曲線の比較を示します。CoolRunner-II デバイスの赤い線は動作周波数に対する消費電力、青い線は同等の MAX IIZ デバイスの消費電力を表します。また、各デバイスの標準および最大スタンバイ電流も示します。

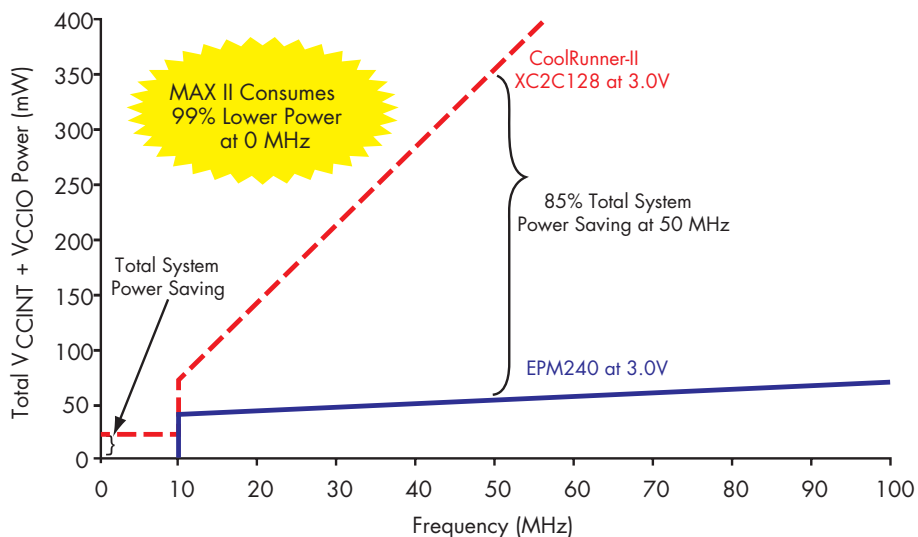
図 2. MAX IIZ vs. CoolRunner-II: ダイナミックおよびスタティック消費電力



最小のスタンバイ・パワーに加えて、MAX IIZ CPLD の使いやすいパワーダウン機能により、ポータブル・システム設計者は 0 MHz でゼロ・パワーを実現することができます。競合の CPLD とは異なり、ホット・ソケットのサポートなど、MAX II CPLD の優れた電源システム特性によって、パワー・シーケンスの制約なしに完全にパワーダウンして、ポータブル・システムが使用されていないときにバッテリー電源を節約することができます。

図 3 に、完全にパワーダウンしたときに、0 MHz でゼロ・パワーを実現する MAX II デバイスの能力を示します。このアプリケーション例では、CPLD の V_{CCINT} および V_{CCIO} をパワーダウンしたときに、入力の 50% が V_{CC} に、残りの 50% が GND に固定されるものと仮定しています。図に示すように、CoolRunner-II デバイスが「オフ」のときには、I/O ピンに流れるリーク電流の影響で、MAX II デバイスが「オフ」のときに比べ消費電力が大幅に高くなります。 V_{CC} または GND の状態にある複数の I/O は、MAX II デバイスが「オフ」のときには、消費電力にまったくあるいはわずかな影響しか与えません。従来の PLD デバイスは、回路のすべての入力「オフ」になる保証がない限り、「オフ」にして電力を節約することはできませんが、MAX II デバイスにはそのような制約はありません。

図 3. MAX II vs. CoolRunner-II: ポータブル・システムにおけるパワーダウン・モード



複数のパワー・ドメインを持つポータブル・システムは、きわめて柔軟な制御メカニズムを備え、各ドメインを非常に簡単にパワーアップおよびパワーダウンできることが不可欠です。標準的なパワー・マネージメント・システムは、ある電源モードから別のモードに絶えず切り替わるため、電源の移行性も重要です。デバイスのホット・ソケット特性が低いと、「オフ」状態の場合が「オン」状態の場合よりも多くの電力を消費する可能性があります。

ホット・ソケットに関する大きな不安は、PLD に電源が印加されていないときの I/O ピンのリークです。ホット・ソケット・リークとは、デバイスの V_{CCIO} または V_{CCINT} が印加されていないとき、 V_{CC} または GND になっている I/O ピンの電流リークです。ホット・ソケット・リークによって、デバイスがパワーダウンされているときでも I/O ピンを通してシステム電力が消費されます。MAX II デバイスはホット・ソケット・サポートを提供しており、スタティック・ホット・ソケット・リークはごくわずかです。ホット・ソケット特性は、PCB 上に 3.3 V、2.5 V、1.8 V、および 1.5 V デバイスが混在していて、モードによって一部のデバイスがパワーダウンされる場合に、それらのコンポーネントを使用する際の問題をいくつか解決します。ポータブル・システムでは、ホット・ソケット・サポートにより、CPLD の I/O ピンを経由する無用な寄生リーク・パスを生じることなく、システムの各部を簡単にパワーダウンすることができます。

まとめ

MAX II CPLD は、ASIC、ASSP、ディスクリート・デバイス、および他の CPLD デバイスにない重要な利点を提供しています。高集積度、コア・ボルテージ・レギュレータ、および内蔵周波数オシレータ機能と超小型パッケージの組み合わせにより、システム設計者は既存のボード上のディスクリート・デバイスを集積化することができ、トータル・システム・コストを削減し、ボード・スペースを節約します。さらに、MAX II CPLD を使用することで、システムの消費電力を抑えるだけでなく、最終製品でのシステム電源管理を簡素化することができます。これまで ASIC、ASSP、およびディスクリート・デバイスが使用されてきたポータブル・アプリケーションの多くは、MAX II CPLD によってソリューションのトータル・コストが削減できるため、これらのデバイスの置換または機能強化を検討する価値があると考えられます。

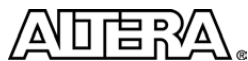
関連情報

- MAX IIZ CPLD:
www.altera.co.jp/MAXII
- MAX II パワーダウン・デザイン:
www.altera.co.jp/support/examples/max/exm-power-down.html
- MAX II デバイスを使用したポータブル・アプリケーション:
www.altera.co.jp/max2-portable
- AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理:
www.altera.co.jp/literature/an/an442_j.pdf
- AN 114: 高集積 BGA パッケージを使用したアルテラ・デバイスの設計:
www.altera.co.jp/literature/an/an114_j.pdf
- マイクロプロセッサを CPLD で置き換える 6 通りの方法:
www.altera.com/literature/wp/wp-01041-six-ways-to-replace-microcontroller-with-cpld._jpdf
- ポータブル・アプリケーションで消費電力を大幅に削減するゼロ・パワー CPLD の使用:
www.altera.com/literature/wp/wp-01042-using-zero-power-cplds-to-lower-power-in-portable.pdf

謝辞

- Martin S. Won, Senior Member of Technical Staff, Customer Success Programs, Altera Corporation

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.