



内部メモリ (RAM および ROM)

ユーザーガイド



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2011 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, and specific device designations are trademarks and/or service marks of Altera Corporation in the U.S. and other countries. All other words and logos identified as trademarks and/or service marks are the property of Altera Corporation or their respective owners. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



QUALITY
ISO 9001:2008
NSAI Certified

UG-01068-2.0

ドキュメント・バージョン:

10.1

ドキュメント・デート:

2011年3月




Subscribe

このユーザー・ガイドでは、次のメモリ・モードを実装するメガファンクションについて説明しています。

- RAM:1-Port— シングル・ポート RAM
- RAM:2-Port— デュアル・ポート RAM
- ROM:1-Port— シングル・ポート ROM
- ROM:2-Port— デュアル・ポート ROM

アルテラは、これらのメモリを実装するのに ALTSYNCRAM および ALTDPRAM メガファンクションを提供します。Quartus® II ソフトウェアは、自動的にこれらのメガファンクションのいずれかを選択してメモリ・モードを実装します。メガファンクションの選択は、ターゲット・デバイス、メモリ・モードおよび RAM と ROM の機能によって決まります。

 このユーザーガイドは、メガファンクションおよびメガファンクションの作成を十分に理解しているユーザーを対象としています。アルテラのメガファンクションまたは MegaWizard™ Plug-In Manager に詳しくない場合、[「Megafunction Overview User Guide」](#) を参照してください。

機能

内部メモリ・ブロックは次の機能を提供します。

- メモリ・モードのコンフィギュレーション
- メモリ・ブロックの種類
- ライト動作およびリード動作のトリガ
- ポート幅コンフィギュレーション
- 幅混合のコンフィギュレーション
- 最大ブロック深さのコンフィギュレーション
- クロッキング・モードおよびクロック・イネーブル
- アドレス・クロック・イネーブル
- バイト・イネーブル
- 非同期クリア
- リード・イネーブル
- Read-During-Write
- パワーアップ条件およびメモリ初期化
- 誤り訂正コード

サポートされるデバイス

アルテラの内部メモリ・ブロックは Arria[®]、Cyclone[®]、HardCopy[®]、MAX[®]、および Stratix[®] デバイス・シリーズで使用できます。ただし、ROM メモリ・ブロックは MAX デバイス・シリーズでは使用できません。

この項では、パラメータ・エディタでコンフィギュレーションできるメモリ・モードのパラメータ設定について説明します。パラメータ・エディタは、MegaWizard Plug-In Manager の **Memory Compiler** カテゴリにあります。

選択されたオプションの組合せが有効であることを確保するために、アルテラは、RAM および ROM メモリ・ブロックのコンフィギュレーションおよび作成にパラメータ・エディタを使用することを推奨しています。

表 2-1 に、RAM:1-Port のパラメータ設定を示します。

表 2-1. RAM:1-Port パラメータ設定 (1 / 4)

オプション	正当値	デフォルト値	説明
Parameter Settings: Widths/Bk Type/Ckls			
How wide should the 'q' output bus be?	—	8	q 出力バスの幅を指定します。 詳細については、7 ページの「ポート幅コンフィギュレーション」を参照してください。
How many <X>-bit words of memory?	—	256	<X> ビット・ワードの数を指定します。
What should the memory block type be?	Auto, M-RAM, M4K, M512, M9K, M144K, MLAB, M20K, LCs	Auto	メモリ・ブロックのタイプを指定します。使用可能なメモリ・ブロック・タイプはターゲット・デバイスによって異なります。 詳細については、4 ページの「メモリ・ブロックの種類」を参照してください。
Set the maximum block depth to	Auto, 32, 64, 128, 256, 512, 1024, 2048, 4096, 8192, 16384, 32768, 65536	Auto	最大ブロック深さを指定します (ワード単位)。 詳細については、9 ページの「最大ブロック深さのコンフィギュレーション」を参照してください。
What clocking method would you like to use?	Single clock または Dual Clock: use separate 'input' and 'output' clocks	Single clock	使用するクロッキング手法を指定します。 Single clock — シングル・クロックおよびクロック・イネーブルがメモリ・ブロックのすべてのレジスタを制御します。 Dual Clock: use separate 'input' and 'output' clocks — 1 つの入力クロックおよび 1 つの出力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入出力に関連するすべてのレジスタを制御します。 詳細については、11 ページの「クロッキング・モードおよびクロック・イネーブル」を参照してください。

表 2-1. RAM:1-Port パラメータ設定 (2 / 4)

オプション		正当値	デフォルト値	説明
Parameter Settings: Regs/Ciken/Byte Enable/Aclrs				
Which ports should be registered? 使用可能なオプションは以下の通りです。 ■ 'data' and 'wren' input ports ■ 'address' input port ■ 'q' output port		On/Off	On	入力ポートおよび出力ポートをラッチするかどうかを指定します。
Create one clock enable signal for each clock signal. 注：すべてのラッチされたポートはイネーブル信号によって制御されます。		On/Off	Off	クロック信号ごとに1つのクロック・イネーブル信号を作成するかどうかを指定します。
More Options	Use clock enable for port A input registers	On/Off	Off	ポート A 入力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Use clock enable for port A output registers	On/Off	Off	ポート A 出力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Create an 'addressstall_a' input port.	On/Off	Off	addressstall_a 入力ポートを作成するかどうかを指定します。このポートは、アドレス・レジスタ用の追加のアクティブ Low クロック・イネーブル入力として動作するように設定できます。 詳細については、12 ページの「アドレス・クロック・イネーブル」を参照してください。
Create byte enable for port A		On/Off	Off	ポート A にバイト・イネーブルを作成するかどうかを指定します。データの特定のバイト、ニブル、またはビットのみが書き込まれるように入力データをマスクするには、このオプションをオンにします。 詳細については、13 ページの「バイト・イネーブル」を参照してください。
What is the width of a byte for byte enables?		MLAB: 5 または 10 ほかのメモリ・ブロック・タイプ: 8 または 9 M20K: 8、9、または 10	MLAB: 5 ほかのメモリ・ブロック・タイプ: 8	バイト・イネーブル・ポートのバイト幅を指定します。データ入力ポートの幅はバイト・サイズで割り切れる必要があります。 詳細については、13 ページの「バイト・イネーブル」を参照してください。

表 2-1. RAM:1-Port パラメータ設定 (3 / 4)

オプション		正当値	デフォルト値	説明
Create an 'aclr' asynchronous clear for the registered ports.		On/Off	Off	ラッチされた data、wren、address、q、および byteena_a ポートに非同期クリア・ポートを作成するかどうかを指定します。 詳細については、14 ページの「非同期クリア」を参照してください。
More Options	'q' port	On/Off	Off	q ポートが非同期クリア信号に影響されるようにしたい場合、このオプションをオンにします。 ディセーブルされたポートは非同期クリア信号に影響されません。
Create a 'rden' read enable signal		On/Off	Off	リード・イネーブル信号を作成するかどうかを指定します。 詳細については、15 ページの「リード・イネーブル」を参照してください。
Parameter Settings: Read During Write Option				
What should the q output be when reading from a memory location being written to?		New data, Don't Care	New data	Read-During-Write が発生するときの出力動作を指定します。 New Data —書き込みが行われたクロック・サイクルの立ち上がりエッジで、新しいデータが使用可能になります。 Don't Care —RAM は Read-During-Write 動作ではドントケア値を出力します。 詳細については、17 ページの「Read-During-Write」を参照してください。
Get x's for write masked bytes instead of old data when byte enable is used		On/Off	On	マスクされたバイトの「X」を読み出す場合、このオプションをオンにします。 M20K メモリ・ブロックの場合、RDW が発生するときに New Data を出力動作として指定する場合、このオプションは使用できません。
Parameter Settings: Mem Init				
Do you want to specify the initial content of the memory?		No, leave it blank または Yes, use this file for the memory content data	No, leave it blank	メモリの初期内容を指定します。 メモリをゼロに初期化するには、 No, leave it blank を選択します。 メモリ初期化ファイル (.mif) または 16 進 (Intel フォーマット) ファイル (.hex) を使用するには、 Yes, use this file for the memory content data を選択します。 詳細については、19 ページの「パワーアップ条件およびメモリ初期化」を参照してください。

表 2-1. RAM:1-Port パラメータ設定 (4 / 4)

オプション	正当値	デフォルト値	説明
Allow In-System Memory Content Editor to capture and update content independently of the system clock	On/Off	Off	In-System Memory Content Editor がシステム・クロックから独立して内容をキャプチャおよび更新するようにします。
The 'Instance ID' of this RAM is	—	None	RAM ID を指定します。

表 2-2 に、RAM:2-Port のパラメータ設定を示します。

表 2-2. RAM:2-Port のパラメータ設定 (1 / 1 0)

オプション	正当値	デフォルト値	説明
Parameter Settings: General			
How will you be using the dual port RAM?	With one read port and one write port または With two read/write ports	With one read port and one write port	デュアル・ポート RAM の使用を指定します。
How do you want to specify the memory size?	As a number of words または As a number of bits	As a number of words	ワード単位またはビット単位でメモリ・サイズを指定するかを決定します。
Parameter Settings: Widths/ Blk Type			
How many <X>-bit words of memory?	—	256	<X> ビット・ワードの数を指定します。
Use different data widths on different ports	On/Off	Off	異なるポートに異なるデータ幅を使用するかどうかを指定します。
With one read port and one write port を選択した場合、次のオプションが使用できます。 <ul style="list-style-type: none"> ■ How wide should the 'q_a' output bus be? ■ How wide should the 'data_a' input bus be? ■ How wide should the 'q' output bus be? 	—	8	入力ポートおよび出力ポートの幅を指定します。 詳細については、7 ページの「ポート幅コンフィギュレーション」を参照してください。
With two read/write ports を選択するとき、次のオプションが使用できます。 <ul style="list-style-type: none"> ■ How wide should the 'q_a' output bus be? ■ How wide should the 'q_b' output bus be? 			

表 2-2. RAM:2-Port のパラメータ設定 (2 / 10)

オプション	正当値	デフォルト値	説明
What should the memory block type be?	Auto, M-RAM, M4K, M512, M9K, M144K, MLAB, M20K, LCs	Auto	メモリ・ブロックのタイプを指定します。使用可能なメモリ・ブロック・タイプはターゲット・デバイスによって異なります。 詳細については、4 ページの「メモリ・ブロックの種類」を参照してください。
How should the memory be implemented?	Use default logic cell style または Use Stratix M512 emulation logic cell style	Use default logic cell style	ロジック・セルの実装オプションを指定します。このオプションは、メモリ・タイプにロジック・セルを選択する場合にのみ使用できます。
Set the maximum block depth to	Auto, 32, 64, 128, 256, 512, 1024, 2048, 4096	Auto	最大ブロック深さを指定します (ワード単位)。このオプションは、メモリ・ブロック・タイプを Auto に設定する場合にのみ使用できます。 詳細については、9 ページの「最大ブロック深さのコンフィギュレーション」を参照してください。
Parameter Settings: Clks/Rd, Byte En			
What clocking method would you like to use?	<p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ Single clock ■ Dual clock: use separate 'input' and 'output' clocks ■ Dual clock: use separate 'read' and 'write' clock <p>With two read/write ports を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ Single clock ■ Dual clock: use separate 'input' and 'output' clocks ■ Dual clock: use separate clocks for A and B ports 	Single clock	<p>使用するクロッキング手法を指定します。</p> <p>Single clock— シングル・クロックおよびクロック・イネーブルがメモリ・ブロックのすべてのレジスタを制御します。</p> <p>Dual Clock: use separate 'input' and 'output' clocks— 1 つの入力クロックおよび 1 つの出力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入力と出力に関連するすべてのレジスタを制御します。</p> <p>Dual clock: use separate 'read' and 'write' clock— ライト・クロックがデータ入力、ライト・アドレス、およびライト・イネーブル・レジスタを制御し、リード・クロックがデータ出力、リード・アドレス、およびリード・イネーブル・レジスタを制御します。</p> <p>Dual clock: use separate clocks for A and B ports— クロック A はポート A 側のすべてのレジスタを制御し、クロック B はポート B 側のすべてのレジスタを制御します。また、各ポートはそれぞれ、ポート A およびポート B の両方に独立したクロック・イネーブルをサポートします。</p> <p>詳細については、11 ページの「クロッキング・モードおよびクロック・イネーブル」を参照してください。</p>

表 2-2. RAM:2-Port のパラメータ設定 (3 / 1 0)

オプション	正当値	デフォルト値	説明
<p>With one read port and one write port を選択した場合、次のオプションが使用できます。 Create a 'rden' read enable signal</p>	—	Off	<p>ポート B にリード・イネーブル信号を作成するかどうかを指定します。 詳細については、15 ページの「リード・イネーブル」を参照してください。</p>
<p>With two read/write ports を選択した場合、次のオプションが使用できます。 Create a 'rden_a' and 'rden_b' read enable signal</p>			<p>ポート A およびポート B にリード・イネーブル信号を作成するかどうかを指定します。 詳細については、15 ページの「リード・イネーブル」を参照してください。</p>
<p>Create byte enable for port A</p>	—	Off	<p>ポート A およびポート B にバイト・イネーブルを作成するかどうかを指定します。データの特定のバイト、ニブル、またはビットのみが書き込まれるように入力データをマスクするには、このオプションをオンにします。 ポート B にバイト・イネーブルを作成するオプションは、2 つのリード/ライト・ポートを選択した場合にのみ使用できます。 詳細については、13 ページの「バイト・イネーブル」を参照してください。</p>
<p>Create byte enable for port B</p>			
<p>Enable error checking and correcting (ECC) to check and correct single bit errors and detect double errors</p>	On/Off	Off	<p>シングル・ビット・エラーを訂正し、ダブル・ビット・エラーを検出する EEC 機能をイネーブルするかどうかを指定します。 このオプションは、M144K メモリ・ブロック・タイプをサポートするデバイスでのみ使用できます。 詳細については、20 ページの「誤り訂正コード」を参照してください。</p>
<p>Enable error checking and correcting (ECC) to check and correct single bit errors, double adjacent bit errors, and detect triple adjacent bit errors</p>	On/Off	Off	<p>メモリの出力でシングル・ビット・エラーと隣接のダブル・ビット・エラーを訂正し、隣接のトリプル・ビット・エラーを検出する EEC 機能をイネーブルするかどうかを指定します。 このオプションは、M20K メモリ・ブロック・タイプをサポートするデバイスでのみ使用できます。 詳細については、20 ページの「誤り訂正コード」を参照してください。</p>

表 2-2. RAM:2-Port のパラメータ設定 (4 / 1 0)

オプション	正当値	デフォルト値	説明
Parameter Settings: Regs/Clkens/Aclrs			
<p>Which ports should be registered?</p> <p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ 'data', 'waddress', and 'wren' write input ports ■ 'address' and 'rden' read input port ■ Read output port(s) 'q' <p>With two read/write ports、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ 'data_a', 'waddress_a', and 'wren_a' write input ports ■ Read output port(s) 'q'_a and 'q'_b' 	On/Off	On	<p>リード入力ポート、リード出力ポート、ライト入力ポート、またはライト出力ポートをラッチするかどうかを指定します。</p>

表 2-2. RAM:2-Port のパラメータ設定 (5 / 1 0)

オプション	正当値	デフォルト値	説明
<p>More Options</p> <p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ 'data' port ■ 'wraddresses' port ■ 'wren' port ■ 'raddress' port ■ 'q_b' port <p>With two read/write ports を選択した場合、次のオプションが使用できません。</p> <ul style="list-style-type: none"> ■ 'data_a' port ■ 'data_b' port ■ 'wraddresses_a' port ■ 'wraddresses_b' port ■ 'wren_a' port ■ 'wren_b' port ■ 'q_a' port ■ 'q_b' port 	<p>On/Off</p>	<p>On</p>	<p>リードおよびライト出力ポートは、デフォルトでオンになっています。必要なのは、Q 出力ポートをラッチするかどうかを選択するだけです。</p>

表 2-2. RAM:2-Port のパラメータ設定 (6 / 1 0)

オプション		正当値	デフォルト値	説明
Create one clock enable signal for each clock signal.		On/Off	Off	クロック信号ごとに1つのクロック・イネーブル信号を作成するかどうかを指定します。 詳細については、11 ページの「クロッキング・モードおよびクロック・イネーブル」を参照してください。
More Options	<p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <p>Use clock enable for write input registers</p> <p>With two read /write ports を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ Use clock enable for port A input registers ■ Use clock enable for port B input registers ■ Use clock enable for port A output registers ■ Use clock enable for port B output register 	On/Off	Off	<p>ポート B 入力レジスタおよび出力レジスタのクロック・イネーブルはデフォルトでオンになっています。必要なのは、ポート A 入力レジスタおよび出力レジスタにクロック・イネーブルを使用するかどうかを指定するだけです。</p> <p>詳細については、11 ページの「クロッキング・モードおよびクロック・イネーブル」を参照してください。</p>

表 2-2. RAM:2-Port のパラメータ設定 (7 / 1 0)

オプション	正当値	デフォルト値	説明
<p>More Options</p> <p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ Create an 'wr_addressstall' input port. ■ Create an 'rd_addressstall' input port. <p>With two read/write ports を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ Create an 'addressstall_a' input port. ■ Create an 'addressstall_b' input port. 	On/Off	Off	<p>アドレス・レジスタにクロック・イネーブルを作成するかどうかを指定します。これらのポートは、アドレス・レジスタ用の追加のアクティブ Low クロック・イネーブル入力として動作するように設定できます。</p> <p>詳細については、12 ページの「アドレス・クロック・イネーブル」を参照してください。</p>
Create an 'aclr' asynchronous clear for the registered ports.	On/Off	Off	<p>ラッチされたポートに非同期クリア・ポートを作成するかどうかを指定します。</p> <p>詳細については、14 ページの「非同期クリア」を参照してください。</p>

表 2-2. RAM:2-Port のパラメータ設定 (8 / 1 0)

オプション	正当値	デフォルト値	説明
<p>More Options</p> <p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ 'rdaddress' port ■ 'q_b' port <p>With two read /write ports を選択した場合、次のオプションが使用できます。</p> <ul style="list-style-type: none"> ■ 'q_a' port ■ 'q_b' port 	On/Off	Off	<p>'raddress'、'q_a'、および 'q_b' ポートが aclr ポートによってクリアされるかどうかを指定します。</p>

表 2-2. RAM:2-Port のパラメータ設定 (9 / 1 0)

オプション	正当値	デフォルト値	説明
Parameter Settings: Output 1			
<p>With one read port and one write port を選択した場合、次のオプションが使用できます。</p> <p>How should the q output behave when reading a memory location that is being written from the other port?</p> <p>With two read /write ports を選択した場合、次のオプションが使用できます。</p> <p>How should the q_a and q_b outputs behave when reading a memory location that is being written from the other port?</p>	<p>Old memory contents appear または I do not care</p>	<p>I do not care</p>	<p>Read-During-Write が発生するときの出力動作を指定します。</p> <p>Old memory contents appear—RAM 出力はライト動作を進める前にそのアドレスで古いデータを反映させます。</p> <p>I do not care—RAM は、Read-During-Write に対して 'don't care' または "unknown" 値を示します。</p> <p>詳細については、17 ページの「Read-During-Write」を参照してください。</p>
Parameter Settings: Output 2 (このタブは、two read/ write ports を選択した場合にのみ表示されます。)			
<p>What should the 'q_a' output be when reading from a memory location being written to?</p>	<p>New data、Old Data</p>	<p>New data</p>	<p>Read-During-Write が発生するときの出力動作を指定します。</p> <p>New Data—書き込みが行われたクロック・サイクルの立ち上がりエッジで、新しいデータが使用可能になります。</p> <p>Old Data—RAM 出力はライト動作を進める前にそのアドレスで古いデータを反映させます。</p> <p>詳細については、17 ページの「Read-During-Write」を参照してください。</p>
<p>What should the 'q_b' output be when reading from a memory location being written to?</p>			
<p>Get x's for write masked bytes instead of old data when byte enable is used</p>	<p>On/Off</p>	<p>On</p>	<p>マスクされたバイトの 'X' を取得するには、このオプションをオンにします。</p>

表 2-2. RAM:2-Port のパラメータ設定 (1 0 / 1 0)

オプション	正当値	デフォルト値	説明
Parameter Settings: Mem Init			
Do you want to specify the initial content of the memory?	No, leave it blank または Yes, use this file for the memory content data	No, leave it blank	メモリの初期内容を指定します。 メモリをゼロに初期化するには、 No, leave it blank を選択します。 メモリ初期化ファイル (.mif) または 16 進 (Intel フォーマット) ファイル (.hex) を使用するには、 Yes, use this file for the memory content data を選択します。 詳細については、19 ページの「 パワーアップ条件およびメモリ初期化 」を参照してください。

表 2-3 に、ROM:1-Port のパラメータ設定を示します。

表 2-3. ROM:1-Port のパラメータ設定 (1 / 3)

オプション	正当値	デフォルト値	説明
Parameter Settings: General Page			
How wide should the 'q' output bus be?	—	8	'q' 出力バスの幅を指定します。 詳細については、7 ページの「ポート幅コンフィギュレーション」を参照してください。
How many <X>-bit words of memory?	—	256	<X> ビット・ワードの数を指定します。
What should the memory block type be?	Auto、M4K、M9K、M144K、M20K	Auto	メモリ・ブロックのタイプを指定します。使用可能なメモリ・ブロック・タイプはターゲット・デバイスによって異なります。 詳細については、4 ページの「メモリ・ブロックの種類」を参照してください。
Set the maximum block depth to	Auto、32、64、128、256、512、1024、2048、4096	Auto	最大ブロック深さを指定します (ワード単位)。 詳細については、9 ページの「最大ブロック深さのコンフィギュレーション」を参照してください。
What clocking method would you like to use?	Single clock または Dual clock: use separate 'input' and 'output' clocks	Single clock	使用するクロッキング手法を指定します。 Single clock — シングル・クロックおよびクロック・イネーブルがメモリ・ブロックのすべてのレジスタを制御します。 Dual Clock: use separate 'input' and 'output' clocks — 1 つの入力クロックおよび 1 つの出力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入力と出力に関連するすべてのレジスタを制御します。 詳細については、11 ページの「クロッキング・モードおよびクロック・イネーブル」を参照してください。

表 2-3. ROM:1-Port のパラメータ設定 (2 / 3)

オプション		正当値	デフォルト値	説明
Parameter Settings: Regs/CIken/Aclrs				
Which ports should be registered? 'q' output port		On/Off	On	'q' 出力ポートをラッチするかどうかを指定します。
Create one clock enable signal for each clock signal. Note: All registered ports are controlled by the enable signal(s)		On/Off	Off	クロック信号ごとに 1 つのクロック・イネーブル信号を作成するかどうかを指定します。
More Options	Use clock enable for port A input registers	On/Off	Off	ポート A 入力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Use clock enable for port A output registers	On/Off	Off	ポート A 出力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Create an 'addressstall_a' input port.	On/Off	Off	addressstall_a 入力ポートを作成するかどうかを指定します。このポートは、アドレス・レジスタ用の追加のアクティブ Low クロック・イネーブル入力として動作するように設定できます。 詳細については、12 ページの「アドレス・クロック・イネーブル」を参照してください。
Create an 'aclr' asynchronous clear for the registered ports.		On/Off	Off	ラッチされたポートに非同期クリア・ポートを作成するかどうかを指定します。 詳細については、14 ページの「非同期クリア」を参照してください。
More Options	'address' port	On/Off	Off	'address' ポートが 'aclr' ポートに影響されるかどうかを指定します。
	'q' port	On/Off	Off	'q' ポートが 'aclr' ポートに影響されるかどうかを指定します。
Create a 'rden' read enable signal		On/Off	Off	リード・イネーブル信号を作成するかどうかを指定します。 詳細については、15 ページの「リード・イネーブル」を参照してください。

表 2-3. ROM:1-Port のパラメータ設定 (3 / 3)

オプション	正当値	デフォルト値	説明
Parameter Settings: Mem Init			
Do you want to specify the initial content of the memory?	No, leave it blank または Yes, use this file for the memory content data	No, leave it blank	メモリの初期内容を指定します。 メモリをゼロに初期化するには、 No, leave it blank を選択します。 メモリ初期化ファイル (.mif) または 16 進 (Intel フォーマット) ファイル (.hex) を使用するには、 Yes, use this file for the memory content data を選択します。 詳細については、19 ページの「パワーアップ条件およびメモリ初期化」を参照してください。
Allow In-System Memory Content Editor to capture and update content independently of the system clock	On/Off	Off	In-System Memory Content Editor がシステム・クロックから独立して内容をキャプチャおよび更新するようにします。
The 'Instance ID' of this ROM is	—	None	ROM ID を指定します。

表 2-4 に、ROM:2-Port のパラメータ設定を示します。

表 2-4. ROM:2-Port パラメータ設定 (1 / 5)

オプション	正当値	デフォルト値	説明
Parameter Settings: Widths/Blk Type			
How do you want to specify the memory size?	As a number of words または As a number of bits	As a number of words	ワード単位またはビット単位でメモリ・サイズを指定するかを決定します。
How many <X>-bit words of memory?	32, 64, 128, 256, 512, 1024, 2048, 4096, 8192, 16384, 32768, 65536	256	<X> ビット・ワードの数を指定します。
Use different data widths on different ports	On/Off	Off	異なるポートに異なるデータ幅を使用するかどうかを指定します。 詳細については、8 ページの「幅混合のコンフィギュレーション」を参照してください。

表 2-4. ROM:2-Port パラメータ設定 (2 / 5)

オプション	正当値	デフォルト値	説明
How wide should the 'q_a' output bus be?	—	8	'q_a' および 'q_b' 出力ポートの幅を指定します。 詳細については、7 ページの「ポート幅コンフィギュレーション」を参照してください。
How wide should the 'q_b' output bus be?			
What should the memory block type be?	Auto、M4K、M9K、M144K、M20K	Auto	メモリ・ブロックのタイプを指定します。使用可能なメモリ・ブロック・タイプはターゲット・デバイスによって異なります。 詳細については、4 ページの「メモリ・ブロックの種類」を参照してください。
Set the maximum block depth to	Auto、128、256、512、1024、2048、4096	Auto	最大ブロック深さを指定します (ワード単位)。このオプションは、メモリ・ブロック・タイプを Auto に設定する場合にのみ使用できます。 詳細については、9 ページの「最大ブロック深さのコンフィギュレーション」を参照してください。

表 2-4. ROM:2-Port パラメータ設定 (3 / 5)

オプション	正当値	デフォルト値	説明
Parameter Settings: Clks/Rd, Byte En			
<p>What clocking method would you like to use?</p>	<p>Single clock</p> <p>または</p> <p>Dual Clock: use separate 'input' and 'output' clocks</p> <p>または</p> <p>Dual clock: use separate clocks for A and B ports</p>	<p>Single clock</p>	<p>使用するクロッキング手法を指定します。</p> <p>Single clock— シングル・クロックおよびクロック・イネーブルがメモリ・ブロックのすべてのレジスタを制御します。</p> <p>Dual Clock: use separate 'input' and 'output' clocks— 1つの入力クロックおよび1つの出力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入力と出力に関連するすべてのレジスタを制御します。</p> <p>Dual Clock: use separate 'input' and 'output' clocks— ライト・クロックがデータ入力、ライト・アドレス、およびライト・イネーブル・レジスタを制御し、リード・クロックがデータ出力、リード・アドレス、およびリード・イネーブル・レジスタを制御します。</p> <p>Dual clock: use separate clocks for A and B ports— クロック A はポート A 側のすべてのレジスタを制御し、クロック B はポート B 側のすべてのレジスタを制御します。また、各ポートはそれぞれ、ポート A およびポート B の両方に独立したクロック・イネーブルをサポートします。</p> <p>詳細については、11 ページの「クロッキング・モードおよびクロック・イネーブル」を参照してください。</p>

表 2-4. ROM:2-Port パラメータ設定 (4 / 5)

オプション		正当値	デフォルト値	説明
Create a 'rden_a' and 'rden_b' read enable signals		—	Off	リード・イネーブル信号を作成するかどうかを指定します。 詳細については、15 ページの「リード・イネーブル」を参照してください。
Parameter Settings: Regs/Clkens/Aclrs				
Read output port(s) 'q_a' and 'q_b'		On/Off	On	'q_a' および 'q_b' 出力ポートをラッチするかどうかを指定します。
More Options	'q_a' port	On/Off	On	'q_a' 出力ポートをラッチするかどうかを指定します。
	'q_b' port	On/Off	On	'q_b' 出力ポートをラッチするかどうかを指定します。
Create one clock enable signal for each clock signal.		On/Off	Off	クロック信号ごとに 1 つのクロック・イネーブル信号を作成するかどうかを指定します。
More Options	Use clock enable for port A input registers	On/Off	Off	ポート A 入力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Use clock enable for port A output registers	On/Off	Off	ポート A 出力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Create an 'addressstall_a' input port.	On/Off	Off	addressstall_a 入力ポートおよび addressstall_b 入力ポートを作成するかどうかを指定します。これらのポートは、アドレス・レジスタ用の追加のアクティブ Low クロック・イネーブル入力として動作するように設定できます。 詳細については、12 ページの「アドレス・クロック・イネーブル」を参照してください。
	Create an 'addressstall_b' input port.			
Create an 'aclr' asynchronous clear for the registered ports.		On/Off	Off	ラッチされたポートに非同期クリア・ポートを作成するかどうかを指定します。 詳細については、14 ページの「非同期クリア」を参照してください。

表 2-4. ROM:2-Port パラメータ設定 (5 / 5)

オプション		正当値	デフォルト値	説明
More Options	'q_a' port	On/Off	Off	'q_a' ポートが aclr ポートによってクリアされるかどうかを指定します。
	'q_b' port	On/Off	Off	'q_b' ポートが aclr ポートによってクリアされるかどうかを指定します。
Parameter Settings: Mem Init				
Do you want to specify the initial content of the memory?		No, leave it blank または Yes, use this file for the memory content data	No, leave it blank	メモリの初期内容を指定します。メモリの初期内容を指定します。 メモリをゼロに初期化するには、 No, leave it blank を選択します。 メモリ初期化ファイル (.mif) または 16 進 (Intel フォーマット) ファイル (.hex) を使用するには、 Yes, use this file for the memory content data を選択します。 詳細については、19 ページの「パワーアップ条件およびメモリ初期化」を参照してください。
The initial content file should conform to which port's dimensions?		PORT_A または PORT_B	PORT_A	初期内容ファイルがポート A またはポート B のいずれかに準拠するかを指定します。

この例では、内部メモリ・ブロックおよび ALTSYNCRAM と ALTDPRAM メガファンクションのポートについて説明しています。

メモリ・モードのコンフィギュレーション

各メモリ・ブロックは2つのアドレス・ポート（ポート A およびポート B）およびそれぞれの出力データ・ポートを備えています。これらのポートは、選択されるメモリ・モードに応じてライト動作またはリード動作に使用できます。ブロック図で示される出入口ポートは、メモリ・メガファンクションを内包するラッパーのポートのことを指します。ラッパーのポートは、ご使用のメモリ・コンフィギュレーションに応じて ALTSYNCRAM または ALTDPRAM メガファンクションのいずれかのポートにマップされます。ポート名は作成されたメモリ機能を反映します。例えば、ラッパー・ポート名の clockena は ALTSYNCRAM メガファンクションの clock_enable_input_a ポートにマップされ、クロック・イネーブル機能に関連しています。

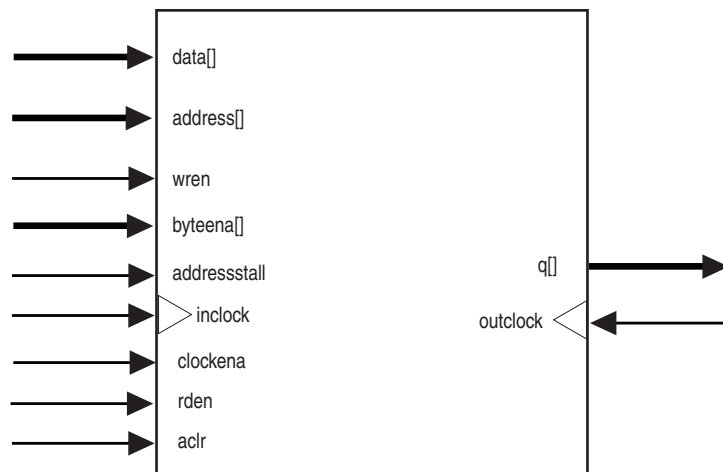
ALTSYNCRAM および ALTDPRAM メガファンクションのポートについて詳しくは、22 ページの「ALTSYNCRAM および ALTDPRAM メガファンクション・ポート」を参照してください。

シングル・ポート RAM

シングル・ポート RAM では、リード動作およびライト動作はポート A で同じアドレスを共有し、データは出力ポート A から読み出されます。

図 3-1 に、一般的なシングル・ポート RAM のブロック図を示します。

図 3-1. シングル・ポート RAM

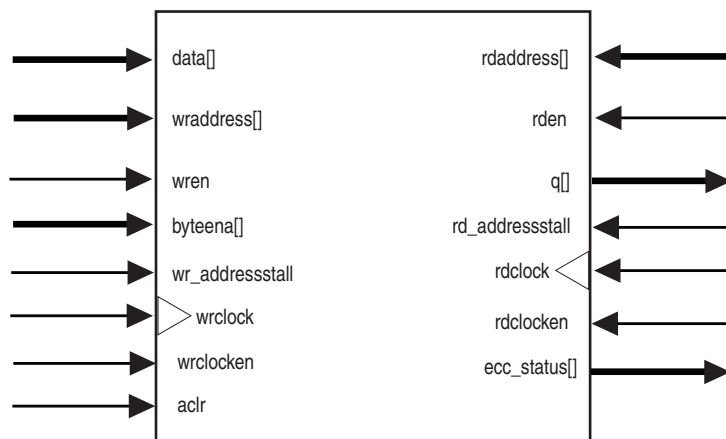


シンプル・デュアル・ポート RAM

シンプル・デュアル・ポート RAM モードでは、リード動作およびライト動作はそれぞれ専用のアドレス・ポートを使用しています（1つのリード・ポートおよび1つのライト・ポート）。ライト動作はポート A の書き込みアドレスを使用し、リード動作はポート B のリード・アドレスおよび出力を使用します。

図 3-2 に、シンプル・デュアル・ポート RAM のブロック図を示します。

図 3-2. シンプル・デュアル・ポート RAM

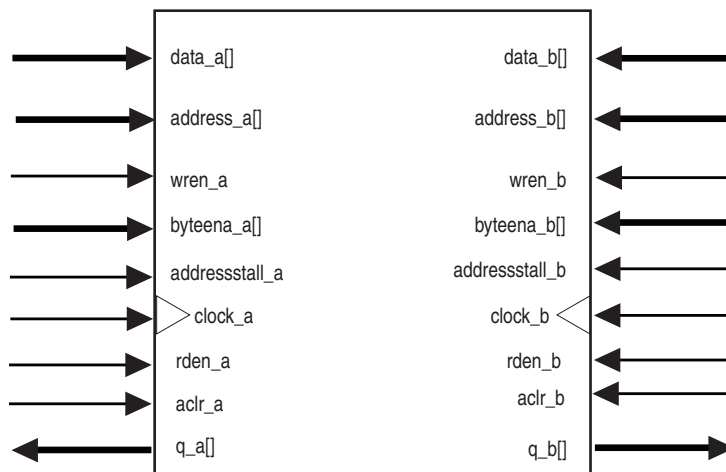


トゥルー・デュアル・ポート RAM

トゥルー・デュアル・ポート RAM では、2つのポートがリード/ライト動作に使用できます（2つのリード/ライト・ポート）。このモードでは、ポート A またはポート B のアドレスに対してライト動作またはリード動作を実行することができます。データのリードは、リード・アドレス・ポートに対応する出力ポートで示されます。

図 3-3 に、トゥルー・デュアル・ポート RAM のブロック図を示します。

図 3-3. トゥルー・デュアル・ポート RAM

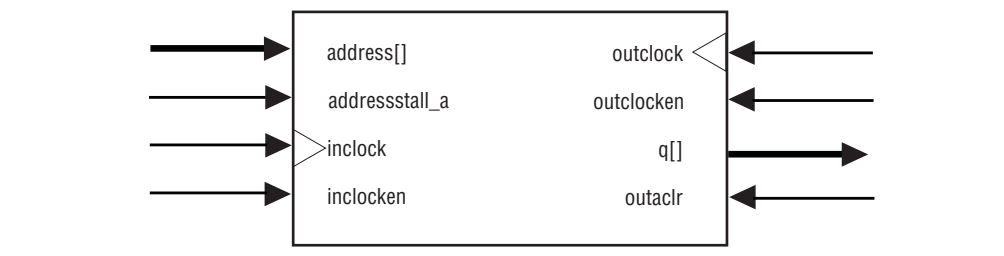


シングル・ポート ROM

シングル・ポート ROM では、1つのアドレス・ポートだけがリード動作に使用できます。

図 3-4 に、一般的なシングル・ポート ROM を示します。

図 3-4. シングル・ポート ROM

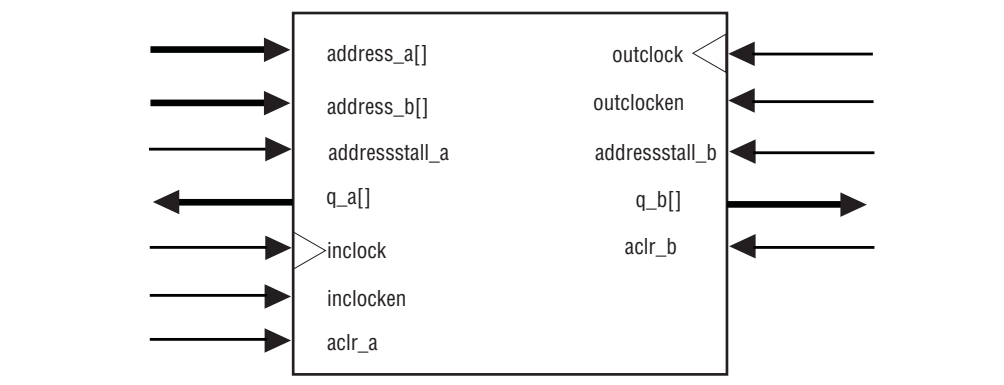


デュアル・ポート ROM

デュアル・ポート ROM はシングル・ポート ROM に類似する機能ポートを持っています。その違いは、デュアル・ポート ROM がリード動作のための追加アドレス・ポートを備えていることです。

図 3-4 に、シンプル・デュアル・ポート RAM のブロック図を示します。

図 3-5. デュアル・ポート ROM



メモリ・ブロックの種類

アルテラは、様々なデバイスに対して、様々なサイズのエンベデッド・メモリ・ブロックを提供しています。パラメータ・エディタで、次のようにメモリを実装することができます。


- ターゲット・デバイスに応じて使用可能なメモリ・ブロックの種類を選択します。5 ページの表 3-1 を参照してください。デバイスに適合なメモリ・ブロック・タイプを選択する場合、選択された内部メモリ・ブロックの最大性能、サポートされるコンフィギュレーション（深さ × 幅）、バイト・イネーブル、パワーアップ条件やリード/ライト動作のトリガ条件などを把握するようにしてください。
 - ロジック・セルを使用します。ロジック・セルの使用は、内部メモリ・リソースに比べるとデザイン性能が低下し、より多くの面積が使用されます。通常、ロジック・セルは内部メモリ・リソースが不足の場合に使用されます。ロジック・セルが使用される場合、パラメータ・エディタは下記の 2 種類のロジック・セル実装を提供しています。
 - デフォルトのロジック・セル実装 — この実装では、ライト動作はライト・クロックの立ち上がりエッジで（内部で）トリガされ、リード動作は常時行われます。この実装はより少ないロジック・セルを使用し、速度も比較的速いが、Stratix M512 エミュレーション実装とは完全互換ではありません。
 - Stratix M512 エミュレーション・ロジック実装 — この実装では、ライト動作はライト・クロックの立ち下りエッジで（内部で）トリガされ、そしてリード動作はリード・クロックの立ち上がりエッジでのみ行われます。
 - **Auto** オプションを選択します。このオプションは、内部メモリ・リソースの選択をソフトウェアに任せることが可能です。メモリ・ブロック種類を **Auto** に設定する場合、コンパイラは必要とされたメモリ容量を単一の内部メモリ・ブロックでサポートできるように、比較的大きなブロック種類を選択する傾向があります。この設定により、最高のパフォーマンスを実現し、グルー・ロジックとして使用される LE も不要です。特定の内部メモリ・ブロック（例えば M9K）でメモリを作成する場合、コンパイラはブロック種類固有の幅や深さを上回るようにメモリをエミュレートすることが可能です。コンパイラは必要に応じて、LE に追加されるグルー・ロジックを使用して複数の内部メモリ・ブロック（同種のみ）を接続します。
-  設定されたメモリ・コンフィギュレーションに基づいて正確な実装を得るためには、メモリ・タイプの選択を Quartus II ソフトウェアに任せてください。これで、コンパイラは機能およびサイズに基づいて、メモリ・ファンクションを任意の使用可能なメモリ・リソースに柔軟に配置することができます。


表 3-1 に、様々なデバイス・ファミリにメモリ・ブロックを実装するのに使用可能なオプションの一覧を示します。


表 3-1. アルテラ・デバイスの内部メモリ・ブロック

デバイス・ファミリ	メモリ・ブロックの種類							
	M512 (1) (512 ビット)	M4K (4 K ビット)	M-RAM (2) (512 K ビット)	MLAB (3) (4) (640 ビット)	M9K (9 K ビット)	M144K (144 K ビット)	M20K (20 K ビット)	ロジック・セル (LC)
Arria GX	✓	✓	✓	—	—	—	—	—
Arria II GX	—	—	—	✓	✓	—	—	✓
Arria II GZ	—	—	—	✓	✓	✓	—	✓
Cyclone、Cyclone II	—	✓	—	—	—	—	—	✓
Cyclone III、 Cyclone IV	—	—	—	—	✓	—	—	✓
HardCopy II	—	✓	✓	—	—	—	—	✓
HardCopy III、 HardCopy IV	—	—	—	✓	✓	✓	—	✓
Max V、Max II、Max 3000A、Max 7000	—	—	—	—	—	—	—	✓
Stratix、Stratix GX、 Stratix II、 Stratix II GX、	✓	✓	✓	—	—	—	—	✓
Stratix III、Stratix IV	—	—	—	✓	✓	✓	—	✓
Stratix V	—	—	—	✓	—	—	✓	✓

表 3-8 の注：

- (1) M512 ブロックはトゥルー・デュアル・ポート RAM モードおよびデュアル・ポート ROM モードでサポートされていません。
- (2) M-RAM ブロックは ROM モードでサポートされていません。
- (3) Stratix III デバイスの MLAB ブロックは、RAM モードでは 320 ビット、ROM モードでは 640 ビットです。
- (4) MLAB ブロックは、幅混合ポート機能を使用したシンプル・デュアル・ポート RAM モード、トゥルー・デュアル・ポート RAM モード、およびデュアル・ポート ROM モードではサポートされていません。

 ソフトウェアがメモリの作成に使用したメモリ・ブロックの種類を確認するには、コンパイル後にフィッタ・レポートを参照してください。

 内部メモリ・ブロックおよびその仕様については、該当するデバイス・ハンドブックのメモリ関連の章を参照してください。

ライト動作およびリード動作のトリガ

内部メモリ・ブロックの種類によって、サポートされる機能および動作が僅かに異なります。重要な相違点の1つは、ライト動作およびリード動作のトリガが異なることです。

表 3-2 に、様々な内部メモリ・ブロックのライト動作およびリード動作のトリガを示します。

表 3-2. 内部メモリ・ブロックのライト動作およびリード動作のトリガ

内部メモリ・ブロック	ライト動作 (1)	リード動作
M20K	立ち上がりクロック・エッジ	立ち上がりクロック・エッジ
M144K	立ち上がりクロック・エッジ	立ち上がりクロック・エッジ
M9K	立ち上がりクロック・エッジ	立ち上がりクロック・エッジ
MLAB	立ち下りクロック・エッジ 立ち上がりクロック・エッジ (Stratix V デバイスのみ)	立ち上がりクロック・エッジ (2)
M-RAM	立ち上がりクロック・エッジ	立ち上がりクロック・エッジ
M4K	立ち下りクロック・エッジ	立ち上がりクロック・エッジ
M512	立ち下りクロック・エッジ	立ち上がりクロック・エッジ

表 3-2 の注：

- (1) ライト動作のトリガは ROM に適用しません。
- (2) MLAB は連続リードをサポートしています。例えば、ライト・クロックの立ち上がりエッジでデータをライトする場合、ライト動作が完了した後、リード・クロックの立ち上がりエッジが必要なくライトされたデータが出力ポートに現れます。

その位置において未知のデータ・ストレージを起こすライト競争を防止するためには、ライト動作のトリガを理解することが重要です。

図 3-6 および 図 3-7 にはそれぞれ、立ち上がりおよび立ち下りクロック・エッジでトリガされる有効なライト動作を示します。

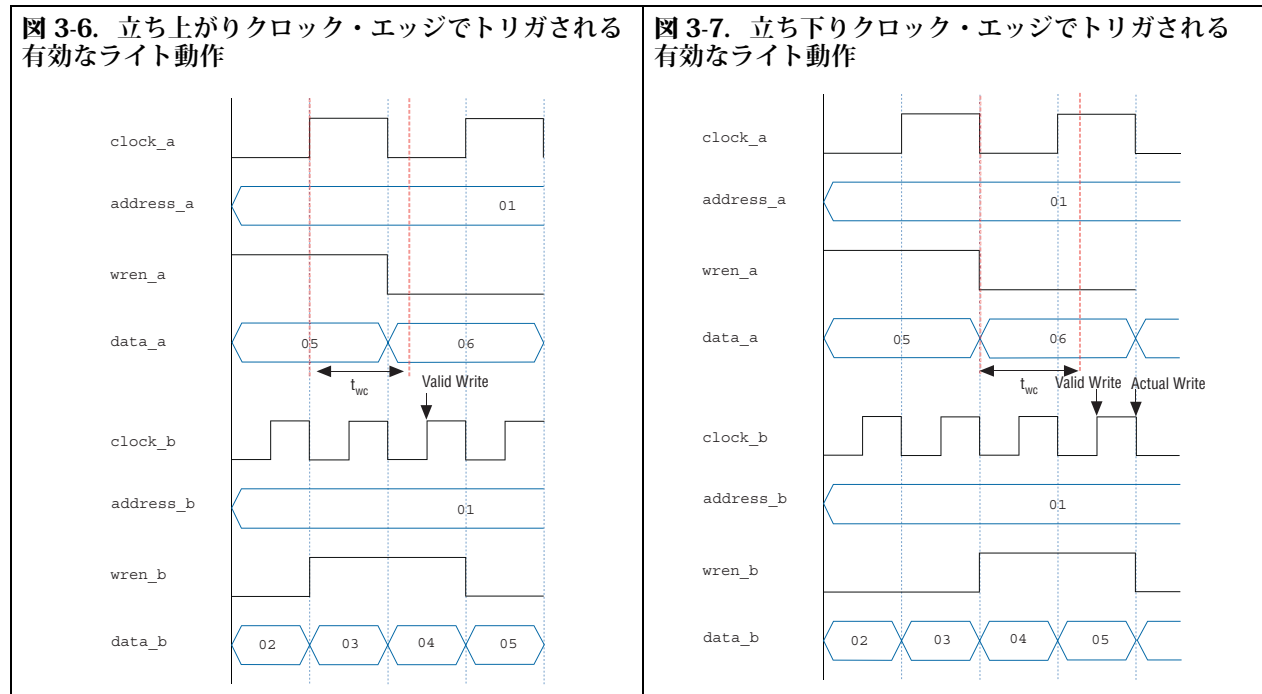



図 3-6 では、 t_{wc} が最大ライト・サイクル期間であると仮定しています。ポート B を介するデータ 03 のライト動作が条件を満たさないため、ポート A におけるライト動作とのライト競合が発生します。その結果、アドレス 01 で未知のデータが発生します。


図 3-7 では、 t_{wc} が最大ライト・サイクル期間であると仮定しています。ポート B を介するデータ 04 のライト動作が条件を満たさないため、ポート A におけるライト動作とのライト競合が発生します。その結果、アドレス 01 で未知のデータが発生します。次のデータ (05) は条件を満たす次の立ち上がりクロック・エッジでラッチされ、立ち下りクロック・エッジの際にメモリ・ブロックに書き込まれます。

 データおよびアドレスは、ライト動作のトリガに関係なくライト・クロックの立ち上がりでラッチされます。

ポート幅コンフィギュレーション

ポート幅コンフィギュレーションは、次式で定義されます。

「メモリの深さ (ワード数) × データ入力バスの幅」

 様々な内部メモリ・ブロックのサポートされるポート幅コンフィギュレーションについて詳しくは、該当するデバイス・ハンドブックのメモリ関連の章を参照してください。

ポート幅コンフィギュレーション (深さまたは幅のいずれか) が内部メモリ・ブロックのサポートする量を超えた場合、追加のメモリ・ブロック (同種類) が使用されます。例えば、M9K が 512×36 (サポートされている 512×18 を超えた値) に設定される場合、2 つの M9K が RAM の実装に使用されます。


提供されているコンフィギュレーションに加えて、メモリ深さを2のべき乗ではない数値に設定することができます。ただし、実際に割り当てたメモリが異なることがあります。その変化は実装されたりソースの種類に依存します。


メモリが専用のメモリ・ブロックに実装される場合、メモリ深さを2のべき乗ではない数値に設定すると、実際のメモリ深さが反映されます。メモリがロジック・セルに実装される場合（パラメータ・エディタを介して設定できる **Stratix M512** エミュレーション・ロジック・セルを使用していない）、メモリ深さを2のべき乗ではない数値に設定しても、実際のメモリ深さが反映されません。この場合、設定したメモリ深さが2^{アドレス幅}以下であっても、最大2^{アドレス幅}までのメモリ位置に対する書き込みまたは読み出しが可能です。例えば、メモリ深さを3に設定し、RAMがロジック・セルに実装される場合、実際のメモリ深さは4になります。

専用のメモリ・ブロックによってメモリを実装する際、フィッタ・レポートから実際のメモリ深さを確認することができます。

幅混合のコンフィギュレーション

LE に実装する場合を除き、デュアル・ポート RAM およびデュアル・ポート ROM のみがすべてのメモリ・ブロック種類に対して幅混合ポートをサポートします。幅混合ポートがサポートされるかどうかは、ポート A の幅とポート B の幅との比例によって決まります。また、サポートしている比例はメモリ・モード、メモリ・ブロックおよびターゲット・デバイスによって異なります。

 **MLAB** は本来、幅混合動作をサポートしないため、パラメータ・エディタでは **MLAB** を選択するオプションがディセーブルされています。ただし、**Quartus II** ソフトウェアでは、2つ以上の **MLAB** を使用して幅混合メモリを **MLAB** に実装することができます。そのため、メモリ・ブロック種類に **AUTO** を選択する場合、複数の **MLAB** によって幅混合ポート・メモリを実装することが可能です。

 幅混合ポートをサポートする幅比率について詳しくは、該当するデバイス・ハンドブックを参照してください。

1ワードのメモリ深さは、幅混合ポートの使用したシンプル・デュアル・ポート RAM およびトゥルー・デュアル・ポート RAM でサポートされていません。メモリ深さが2ワード未満の場合パラメータ・エディタはエラー・メッセージを表示します。例えば、ポート A の幅が4ビット、ポート B の幅が9ビットの場合、RAM がサポートする最小の深さは4ワードです。このコンフィギュレーションにより、メモリ・サイズは **16(4x4)** ビットになり、ポート B での2ワードのメモリ深さによって表されています。メモリ深さを2に設定してメモリ・サイズが **8(2x4)** ビットになる場合、ポート B での1ワードのメモリ深さによって表されているため、このポートの幅はサポートされていません。

最大ブロック深さのコンフィギュレーション

ご使用の専用のメモリ・ブロックの深さを制限することが可能です。メモリ・ブロックはご希望のブロック深さに分割できます。例えば、M9K ブロックの容量が 9,216 ビットである場合、デフォルトのメモリ深さが 8K になり、アドレスごとに 71 ビット (8K × 1) を格納することができます。最大ブロック深さを 512 に設定する場合、M9K ブロックは 512 の深さに分割され、アドレスごとに 18 ビット (512 × 18) を格納することができます。

このオプションにより、デバイスの消費電力を節約することが可能です。ただし、このパラメータは LE 数を増やせ、デザインのパフォーマンスに影響を与える可能性があります。

表 3-3 に、Stratix III EP3SE50 デバイスにおける 8K × 36 (M9K RAM ブロック) デザインに適用される分割方法のダイナミック消費電力の見積もりを示します。

表 3-3. Stratix III デバイスの 8K × 36 (M9K) デザインのための消費電力設定

M9K の分割方法	ダイナミック消費電力 (mW)	ALUT の使用	M9K 数
8K × 1 (デフォルト設定)	51.49	0	36
4K × 2	20.28 (39%)	38	36
2K × 4	10.80 (21%)	44	36
1K × 9	6.08 (12%)	125	32
512 × 18	4.51 (9%)	212	32
256 × 36	6.36 (12%)	467	32

RAM を小さく分割すると、ダイナミック消費電力が減少します。ただし、RAM ブロックの深さが 256 以降になる場合、追加の LE に使用される消費電力は小さい分割による電力節約を上回ります。

また、このオプションを使用してメモリ・ブロックの使用量を低減することもできます (LE を消費)。表 3-3 から、デフォルトの 8K × 1 分割では、8K × 36 RAM が 36 個の M9K RAM ブロックを使用します。最大ブロック深さを 1k に設定することで、8K × 36 RAM は 32 個の M9K ブロックに格納できるようになります。

最大ブロック深さは 2 のべき乗でなければなりません。使用可能な値は専用のメモリ・ブロックの種類によって異なります。

表 3-4 に、各種の内部ブロックに使用可能なブロック深さの範囲を示します。

表 3-4. 内部メモリ・ブロックの使用可能な最大ブロック深さ

内部メモリ・ブロック	有効範囲 (1)
M20K	512-16K
M144K	2K-16K
M9K	256-8K
MLAB	32-64 (2)
M512	32-512
M4K	128-4K

表 3-4. 内部メモリ・ブロックの使用可能な最大ブロック深さ

内部メモリ・ブロック	有効範囲 (1)
M-RAM	4K-64K

表 3-4 の注：

- (1) 最大ブロック深さは 2 のべき乗でなければなりません。
- (2) Stratix III デバイスでは、MLAB の最大ブック深さを設定することはできません。

パラメータ・エディタで無効な最大ブロック深さを入力すると、エラー・メッセージが表示されます。適切な最大ブロック深さが分からない、あるいはこの設定がデザインに重要ではない場合、この値を **Auto** に設定することが推奨されています。この設定により、コンパイラはメモリの内部メモリ・ブロックに対して適切なポート幅コンフィギュレーションを持つ最大ブロック深さを選択することができます。


クロッキング・モードおよびクロック・イネーブル

アルテラの内部メモリは、選択するメモリ・モードに応じて、様々なクロッキング・モードをサポートしています。

表 3-5 に、内部メモリのクロッキング・モードを示します。

表 3-5. クロッキング・モード

クロッキング・モード	シングル・ポート RAM	シンプル・デュアル・ポート RAM	トゥルー・デュアル・ポート RAM	シングル・ポート ROM	デュアル・ポート ROM
シングル・クロック	✓	✓	✓	✓	✓
リード/ライト	—	✓	—	—	—
入力/出力	✓	✓	✓	✓	✓
独立	—	—	✓	—	✓

 非同期クロック・モードは MAX シリーズのデバイスでのみサポートされ、Stratix 以降のデバイスではサポートされていません。ただし、Stratix III 以降のデバイスにおいては、ラッチされていない rdaddress ポートを持つ MLAB メモリ・ブロックを選択する場合、シンプル・デュアル・ポート RAM モードで非同期リード・メモリをサポートしています。

シングル・クロック・モード

このシングル・クロック・モードでは、クロック・イネーブルと共にシングル・クロックを使用してメモリ・ブロックのすべてのレジスタを制御します。

リード/ライト・クロック・モード


リード/ライト・モードでは、各リード/ライト・ポートは独立したクロックを備えています。リード・クロックがデータ出力、リード・アドレス、およびリード・イネーブル・レジスタを制御します。ライト・クロックはデータ入力、ライト・アドレス、およびライト・イネーブル、およびバイト・イネーブル・レジスタを制御します。

入力/出力クロック・モード

入力/出力クロック・モードでは、各入力/出力ポートは独立したクロックを備えています。入力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入力に関連するすべてのレジスタを制御します。出力クロックはデータ出力レジスタを制御します。

独立クロック・モード

独立クロック・モードでは、各ポート (A および B) は独立したクロックを備えています。クロック A はポート A 側のすべてのレジスタをコントロールし、クロック B はポート B 側のすべてのレジスタをコントロールします。

 異なる入力と出力レジスタに独立したクロックを作成して特定のレジスタのシャット・ダウンを制御することができます。これで、消費電力の節約が実現できます。パラメータ・エディタから、**More Options** (クロック・イネーブル・オプションの側) をクリックして、ご希望の独立クロックを設定することができます。

アドレス・クロック・イネーブル

アドレス・ポート・イネーブル (addressstall) は、シグナルがイネーブルされている限り、以前のアドレスを保持するためのアクティブ High 非同期コントロール信号です。メモリ・ブロックがデュアル・ポート RAM またはデュアル・ポート ROM にコンフィギュレーションされる場合、各アドレス・ポートに対して、それぞれ独立したアドレス・クロック・イネーブルを作成することができます。

アドレス・クロック・イネーブル機能を設定するには、パラメータ・エディタでクロック・イネーブル・オプションの側にある **More Options** をクリックします。addressstall ポートを作成するには、**Create an 'addressstall_a' input port** または **Create an 'addressstall_b' input port** をオンにします。

図 3-8 および 図 3-9 に、それぞれリード動作時およびライト動作時のアドレス・クロック・イネーブル信号を示します。

図 3-8. リード動作時のアドレス・クロック・イネーブル

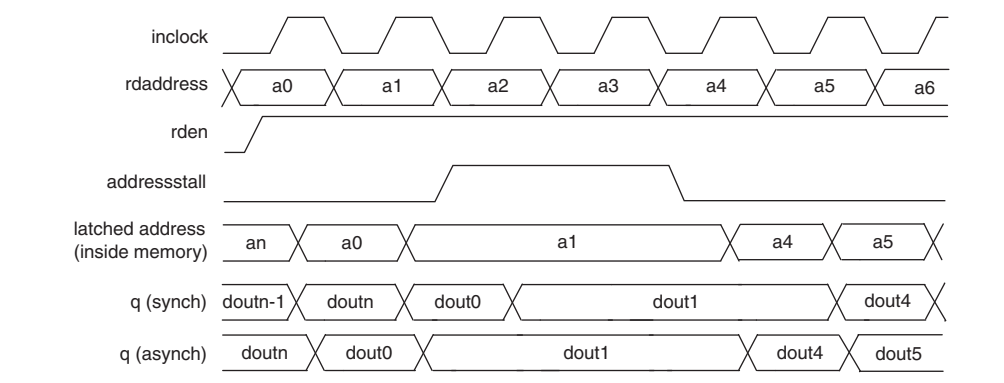
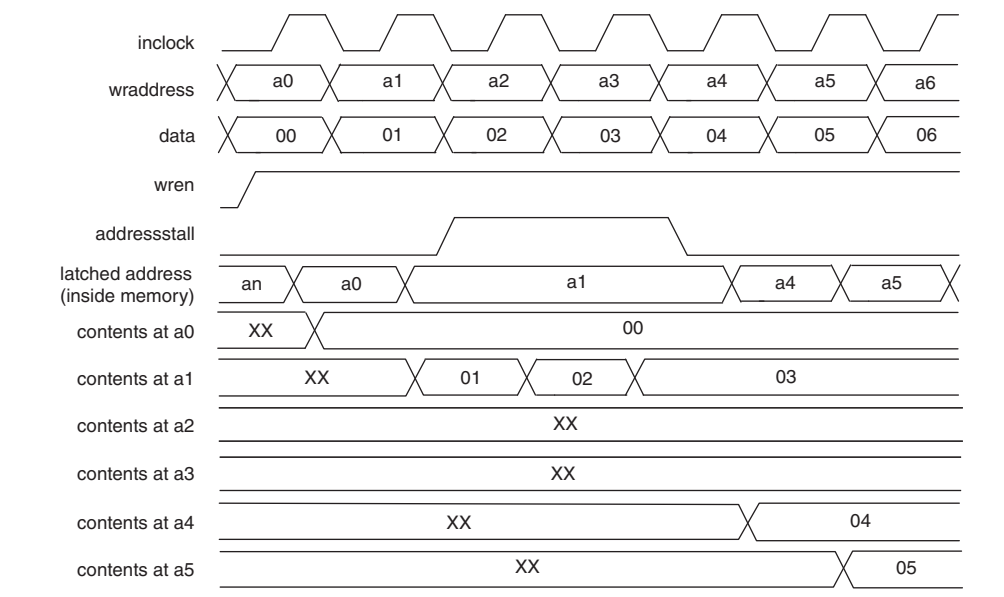


図 3-9. ライト動作時のアドレス・クロック・イネーブル



バイト・イネーブル

RAM として実装されるすべての内部メモリ・ブロックはバイト・イネーブルをサポートしています。バイト・イネーブルは、特定のバイト、ニブル、またはビットのデータのみが書き込まれるように入力データをマスクします。書き込まれていないバイトまたはビットは前に書き込まれた値を保持します。

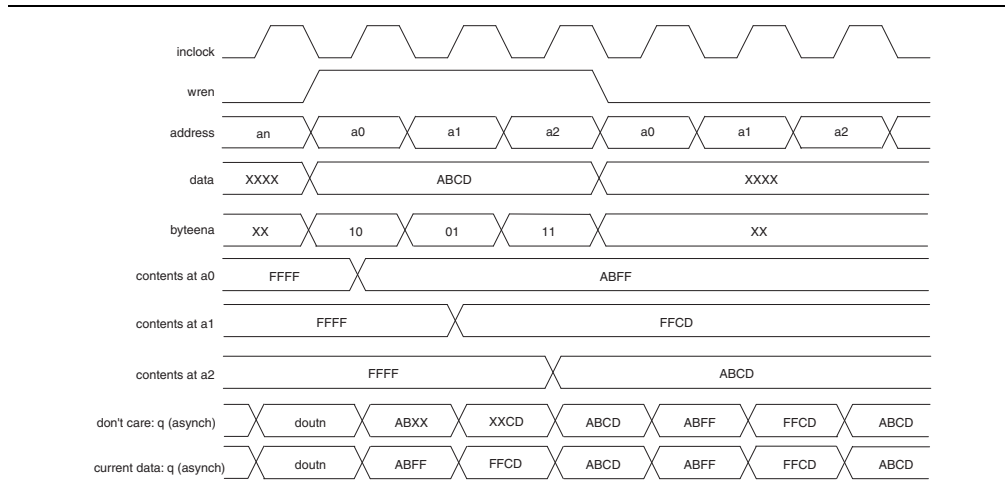
byteena 信号の最下位ビット (LSB) はデータ・バスの最下位バイトに対応します。例えば、**x18** モードの RAM ブロックを使用し、バイト・イネーブル・ポートが **01** の場合、data [8..0] がイネーブルされ、data [17..9] がディセーブルされます。同様に、バイト・イネーブル・ポートが **11** の場合、両方のデータ・バイトがイネーブルされます。

バイト・イネーブル・ポートに対してバイトのサイズを定義することや設定することができます。内部メモリ・ブロックの種類に応じて、使用可能な値は **5**、**8**、**9** および **10** となります。**5** および **10** の値は **MLAB** でのみサポートされています。


バイト・イネーブル・ポートを作成するには、data 入力ポートの幅がバイト・イネーブル・ポートのバイトのサイズの倍数でなければなりません。例えば、**MLAB** メモリ・ブロックを使用する場合、バイト・イネーブルは、データ・ビットが **5**、**8**、**9** または **10** の倍数 (即ち、**10**、**15**、**16**、**18**、**20**、**24**、**25**、**27**、**30** など) である場合にのみサポートされます。data 入力ポートの幅が **10** の場合、バイトのサイズは **5** にしか定義できません。この場合、**2** ビットのバイト・イネーブル・ポートが得られ、各ビットは **5** ビットの書き込まれるデータ入力を制御します。data 入力ポートの幅が **20** の場合、バイトのサイズを **5** または **10** のいずれかに定義できます。**5** ビットの入力データを **1** バイトとして定義する場合、**4** ビットのバイト・イネーブル・ポートが得られ、各ビットは **5** ビットの書き込まれるデータ入力を制御します。**10** ビットの入力データを **1** バイトとして定義する場合、**2** ビットのバイト・イネーブル・ポートが得られ、各ビットは **10** ビットの書き込まれるデータ入力を制御します。

図 3-10 に、メモリに書き込まれるデータおよびメモリから読み出されるデータに対するバイト・イネーブルの結果を示します。

図 3-10. バイト・イネーブル機能の波形



ライト・サイクルの間にバイト・イネーブル・ビットがディアサートされた場合、q 出力の対応するデータ・バイト出力は Don't Care 値または現在のデータとしてその位置に現れます。この選択肢は、Read-During-Write 出力動作を **New Data** に設定する場合にのみ使用できます。

 マスクされたバイトおよび q 出力について詳しくは、17 ページの「Read-During-Write」を参照してください。

非同期クリア

Arria II GX、Arria II GZ、Cyclone III、HardCopy III、HardCopy IV、Stratix III、Stratix IV、Stratix V およびそれ以降のデバイス・ファミリ内の内部メモリ・ブロックは、出力ラッチおよび出力レジスタに対する非同期クリア機能をサポートします。したがって、RAM に出力レジスタが使用されていない場合、出力ラッチの非同期クリアによって RAM 出力をクリアします。非同期クリア機能により、q 出力ポートがラッチされていなくても出力をクリアすることができます。ただし、この機能は MLAB メモリ・ブロックでサポートされていません。

出力は次のクロックまでクリア状態に維持します。ただし、Stratix V デバイスでは、出力は次のリードまでクリア状態に維持します。

表 3-6 に、様々なデバイスおよびメモリ設定での入力ポートに対する非同期クリアの効果を示します。

表 3-6. 各デバイスおよびメモリ設定での入力ポートに対する非同期クリアの効果


メモリ・モード	Cyclone、Stratix、および Stratix GX	Arria GX、Cyclone II、HardCopy II、Stratix II、および Stratix II GX	Arria II GX、Arria II GZ、Cyclone III、HardCopy III、HardCopy IV、Stratix III、Stratix IV、Stratix V、およびそれ以降のデバイス
シングル・ポート RAM	次のポートおよび条件を除き、すべてのラッチされた入力ポートが影響を受ける可能性があります。 <ul style="list-style-type: none"> ■ M512 の wren ポート ■ MRAM の data/wren/address ポート (byteena ポートが影響を受ける可能性があります) ■ LC が実装される場合 (1) 	すべてのラッチされた入力ポートは影響を受けません。 (1)	すべてのラッチされた入力ポートは影響を受けません。 (1)
シングル・デュアル・ポート RAM および トゥール・デュアル・ポート RAM	MRAM を除き、すべてのラッチされたポートが影響を受ける可能性があります。	すべてのラッチされた入力ポートは影響を受けません。	ラッチされた入力リード・ポートのみが影響を受けません。
シングル・ポート ROM	ラッチされたアドレス入力ポートが影響を受ける可能性があります。	すべてのラッチされた入力ポートは影響を受けません。	ラッチされた入力アドレス・ポートが影響を受ける可能性があります。

表 3-6. 各デバイスおよびメモリ設定での入力ポートに対する非同期クリアの効果

メモリ・モード	Cyclone、Stratix、および Stratix GX	Arria GX、Cyclone II、HardCopy II、Stratix II、および Stratix II GX	Arria II GX、Arria II GZ、Cyclone III、HardCopy III、HardCopy IV、Stratix III、Stratix IV、Stratix V、およびそれ以降のデバイス
デュアル・ポート ROM	ラッチされたアドレス入力ポートが影響を受ける可能性があります。	すべてのラッチされた入力ポートは影響を受けません。	すべてのラッチされた入力ポートは影響を受けません。

表 3-6 の注：

(1) LC がこのメモリ・モードで実装される場合、ラッチされた出力ポートは影響を受けません。

 リード動作中に入力リードアドレスを非同期でクリアすると、メモリ内容が破損します。リード動作中にライト・アドレスを非同期でクリアする場合、同じことが発生します。


リード・イネーブル

リード・イネーブル機能がサポートされるかどうかはターゲット・デバイス、メモリ・ブロック種類、および選択されるメモリ・モードに依存します。表 3-7 に、リード・イネーブル機能をサポートする各デバイス・ファミリのメモリ・コンフィギュレーションを示します。

表 3-7. 各デバイス・ファミリのリード・イネーブル・サポート

メモリ・モード	Arria II GX、Cyclone III、HardCopy III、Stratix III およびそれ以降のデバイス		その他の Cyclone および Stratix デバイス	
	M9K、M144K、M20K	MLAB	M512、M4K	M-RAM
シングル・ポート RAM	✓	—	—	—
シンプル・デュアル・ポート RAM	✓	—	✓	—
トウルナー・デュアル・ポート RAM	✓	—	—	—
3 ポート RAM	✓	—	✓	—
シングル・ポート ROM	✓	—	—	—
デュアル・ポート ROM	✓	—	—	—

リード・イネーブル・ポートを作成してライト動作を実行する場合（リード・イネーブル・ポートがデアサートされたまま）、data 出力は最後のアクティブ・リード・イネーブル時に取得した値を保持します。ライト動作中にリード・イネーブルを有効にする場合、またはリード・イネーブル信号を作成していない場合は、RAM 出力は新しく書き込まれるデータ、そのアドレスに存在する古いデータ、または「Don't Care」値を示します。

 Read-During-Write 出力動作について詳しくは、17 ページの「Read-During-Write」を参照してください。

Read-During-Write

読み出しと書き込みが同時に同じメモリ位置をターゲットにするときは、Read-During-Write (RDW) が発生します。RDW は、次の 2 つの方法で動作します。

- 同じポート
- 混合ポート

同じポート RDW

同じポートの RDW は、同じポートの入力と出力が同じクロックで同じアドレス位置にアクセスするときに発生します。

同じポート RDW は、次の出力を提供します。

- **New Data**—書き込みが行われたクロック・サイクルの立ち上がりエッジで、新しいデータが使用可能になります。
- **Old Data**—RAM出力はライト動作を進める前にそのアドレスで古いデータを反映させます。

 シングル・ポート RAM およびトウルナー・デュアル・ポートを使用する場合、M20K メモリ・ブロックは **Old Data** をサポートしません。


- **Don't Care**—RAM は RDW 動作ではドントケア値を出力します。

混合ポート RDW

混合ポート RDW は、1 つのポートが読み出し動作、もう 1 つのポートが書き込み動作を同じクロックで同じアドレス位置に実行するときに発生します。

混合ポート RDW は、次の出力を提供します。

- **Old Data**—RAM出力はライト動作を進める前にそのアドレスで古いデータを反映させます。

 **Old Data** は、シングル・クロック・コンフィギュレーションにのみサポートされます。

- **Don't Care**—RAM は RDW 動作ではドントケア値を出力します。

各メモリ・ブロックに対する RDW 出力の選択

RDW 動作に使用可能な出力選択は、使用される RDW および TriMatrix メモリ・ブロックの種類によって異なります。


表 3-8 に、内部メモリ・ブロックの同じポート RDW および混合ポート RDW で使用可能な出力選択を示します。


表 3-8. 同じポートおよび混合ポートの Read-During-Write の出力選択

メモリ・ブロックの種類	シングル・ポート RAM (1)	シングル・デュアル・ポート RAM (2)	トゥルー・デュアル・ポート RAM	
	同じポート RDW	混合ポート RDW	同じポート RDW (3)	混合ポート RDW (4)
M512	パラメータ・エディタがない (5)	Old Data Don't Care Don't Care	NA	
M4K			パラメータ・エディタがない (5)	Old Data Don't Care
M-RAM				Don't Care
MLAB	Don't Care	Old Data Don't Care	NA MLAB はトゥルー・デュアル・ポート RAM でサポートされていません。	
M9K	Don't Care	Old Data Don't Care	New Data (6)	Old Data
M144K	New Data (6) Old Data		Old Data	Don't Care
M20K	New Data (6) Don't Care			
LC	パラメータ・エディタがない (5)	Old Data Don't Care	—	

表 3-8 の注：

- シングル・ポート RAM は同じポート RDW のみサポートし、クロッキング・モードはシングル・クロック・モードまたは入力/出力クロック・モードのいずれかでなければなりません。
- シングル・デュアル・ポート RAM は混合ポート RDW をサポートし、クロッキング・モードはシングル・クロック・モードまたは入力/出力クロック・モードのいずれかでなければなりません。
- クロッキング・モードはシングル・クロック・モード、入力/出力クロック・モード、または独立クロック・モードでなければなりません。
- クロッキング・モードはシングル・クロック・モードまたは入力/出力クロック・モードでなければなりません。
- このモードでは、パラメータ・エディタからのオプション・ページはありません。デフォルトで、新しいデータは出力に送られます。
- パラメータ・エディタから選択できる同じポート RDW の新しいデータの動作は 2 種類あります。バイト・イネーブルが適用される場合、古いデータまたはマスクされたバイトの「X」を読み出すことができます。それぞれのパラメータ値は以下の通りです。
 - マスクされたバイト上の古いデータの場合、**NEW_DATA_WITH_NBE_READ**
 - マスクされたバイト上の X の場合、**NEW_DATA_NO_NBE_READ**

 ECC 機能が使用される場合、古いデータ・モードのための混合ポート RDW はサポートされていません。

 RDW が行われる時の出力に関心を持ち、そして性能を向上させたい場合、**Don't Care** を選択することができます。メモリ・ブロックをインスタンス化する際にブロック種類を指定しない限り、**Don't Care** の選択は使用されるメモリ・ブロックの柔軟性を向上させます。

パワーアップ条件およびメモリ初期化

パワーアップ条件は、使用中の内部メモリ・ブロックの種類および出力ポートがラッチされたかどうかによって異なります。

表 3-9 に、各種の内部メモリ・ブロックにおけるパワーアップ条件を示します。

表 3-9. 各種の内部メモリ・ブロックにおけるパワーアップ条件

内部メモリ・ブロック	パワーアップ条件
M512	出力がクリアされること
M4K	出力がクリアされること
M-RAM	ラッチされた場合は出力がクリアされること。それ以外の場合には不定。
MLAB	ラッチされた場合は出力がクリアされること。それ以外の場合にはメモリ内容を読み出すこと。
M9K	出力がクリアされること
M144K	出力がクリアされること
M20K	出力がクリアされること

出力レジスタが使用されるかバイパスされるかに関係なく、M512、M4K、M9K、M144K および M20K ブロックの出力は常にゼロにパワーアップされます。メモリ初期化ファイルがメモリ・ブロックの内容をプリロードしても、出力はクリアされます。

MLAB および M-RAM ブロックは、出力レジスタが使用される場合にのみゼロにパワーアップされます。出力レジスタが使用されていない場合、MLAB ブロックがメモリ内容を読み出すためにパワーアップされ、そして M-RAM ブロックが不定状態にパワーアップされます。



パラメータ・エディタでメモリ・ブロック種類を **Auto** に設定すると、コンパイラは任意のメモリ・ブロック種類を自由に選択できるようになります。ここで、パワーアップの値は選択されたメモリ・ブロック種類に依存します。ソフトウェアがメモリの実装に使用したメモリ・ブロックの種類を確認するには、コンパイル後にフィッタ・レポートを参照してください。

すべてのメモリ（M-RAM 以外）は、メモリ初期化ファイル（.mif）または 16 進（Intel フォーマット）ファイル（.hex）を介する初期化をサポートしています。RAM をコンフィギュレーションして作成する際、パラメータ・エディタでこれらのファイルを含めることができます。RAM の場合、.mif ファイルまたは .hex ファイルを使用するほかに、メモリをゼロまたは「X」に初期化することができます。メモリをゼロに初期化するには、**No, leave it blank** を選択します。内容を「X」に初期化するには **Initialize memory content data to XX..X on power-up in simulation** をオンにします。このオプションをオンすることは RAM の ? パワーアップ動作に影響を与えず、内容を「X」に初期化します。例えば、ターゲットのメモリ・ブロックが M4K の場合、出力はパワーアップ時にクリアされます（19 ページの表 3-9 を基づく）。「X」に初期化される内容はリード動作を実行するときのみ表示されます。

誤り訂正コード

ECCにより、メモリ出力でのデータ・エラーを検出し修正できます。Stratix IIIおよびStratix IVのM144Kメモリ・ブロックは、最大64ビット幅のシングル・デュアル・ポート・モードをサポートする誤り訂正コード（ECC）を内蔵しています。Stratix VのM20Kメモリ・ブロックは、最大32ビット幅のシングル・デュアル・ポート・モードをサポートするECCを内蔵しています。Stratix IIIおよびStratix IVのECCはSECDED（Single-Error-Correction Double-Error-Detection）を備えています。SECDECは、シングル・ビット・エラーを検出および訂正でき、あるいは2ビット・エラーを検出できます（訂正はしない）。Stratix V ECC機能は、シングル・エラーの訂正、隣接のダブル・エラーの訂正、および隣接のトリプル・エラーの検出を実行できます。これで、シングル・ビット・エラーまたは隣接のダブル・ビット・エラーを訂正でき、あるいは隣接のトリプル・ビット・エラーを訂正なしで検出することができます。ただし、Stratix V ECC機能では、4個以上のエラー検出は不可能です。

ECC機能は以下の条件ではサポートされていません。

- 混合幅ポート機能が使用される場合
- バイト・イネーブル機能が使用される場合



ECC機能が使用される場合、古いデータ・モードのための混合ポートRDWはサポートされていません。RDWの結果は**Don't Care**になります。

M144K ECCの状態は、3ビット・ステータス・フラグeccstatus[2..0]を介して通信されます。M20K ECCの状態は、2つのステータス・フラグ信号、e（エラー）およびue（訂正不可能なエラー）を介して通信されます。

表3-10にECCステータス・フラグの真理値表を示します。

表3-10. ECCステータス・フラグの真理値表

ステータス	M144K	M20K	
	Eccstatus[2..0]	e	ue
エラーなし	000	0	0
シングル・エラーおよび修正済み	011	—	—
ダブル・エラーおよび未修正	101	—	—
不正	001	0	1
	010		
	100		
	11X		
訂正可能なエラーが発生し、エラーは出力で訂正済みです。ただし、メモリ・アレイではまだ更新されていません。	—	1	0
訂正不可能なエラーが発生し、訂正不可能なデータが出力で現れます。	—	1	1

- また、ALTECC_ENCODER および ALTECC_DECODER メガファンクションを使用してメモリ・ブロックの外部にある ECC を実装することができます。詳細については、[「Integer Arithmetic Megafunctions User Guide」](#) を参照してください。

ALTSYNCRAM および ALTDPRAM メガファンクション・ポート

表 3-11 に、ALTSYNCRAM メガファンクションの入力ポートおよび出力ポートを示します。

表 3-11. ALTSYNCRAM メガファンクションの入力ポートおよび出力ポートの説明 (1 / 5)

ポート名	種類	必須 / オプション	説明
data_a	入力	オプション	メモリのポート A へのデータ入力です。 data_a ポートは、operation_mode が以下の値のいずれかに設定される場合に必要です。 <ul style="list-style-type: none"> ■ SINGLE_PORT ■ DUAL_PORT ■ BIDIR_DUAL_PORT
address_a	入力	必須	メモリのポート A へのアドレス入力です。 address_a ポートはすべての動作モードに必要です。
wren_a	入力	オプション	address_a ポートのライト・イネーブル入力です。 wren_a ポートは、operation_mode が以下の値のいずれかに設定される場合に必要です。 <ul style="list-style-type: none"> ■ SINGLE_PORT ■ DUAL_PORT ■ BIDIR_DUAL_PORT
rden_a	入力	オプション	address_a ポートのリード・イネーブル入力です。 rden_a ポートがサポートされるかどうかは、ご選択のメモリ・モードおよびメモリ・ブロックに依存します。 リード・イネーブル機能について詳しくは、15 ページの「リード・イネーブル」を参照してください。
byteena_a	入力	オプション	データの特定のバイト、ニブル、またはビットのみが書き込まれるように data_a ポートをマスクするためのバイト・イネーブル入力です。 byteena_a ポートは以下の条件ではサポートされていません。 <ul style="list-style-type: none"> ■ implement_in_les パラメータが ON に設定されている場合 ■ operation_mode パラメータが ROM に設定されている場合 バイト・イネーブルの機能および使用上の注意事項について詳しくは、13 ページの「バイト・イネーブル」を参照してください。
addressstall_a	入力	オプション	addressstall_a ポートが High である限り、address_a ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブルです。 アドレス・クロック・イネーブル機能について詳しくは、12 ページの「アドレス・クロック・イネーブル」を参照してください。

表 3-11. ALTSYNCRAM メガファンクションの入力ポートおよび出力ポートの説明 (2 / 5)

ポート名	種類	必須/ オプション	説明
q_a	出力	必須	メモリのポート A からのデータ出力です。 q_a ポートは、operation_mode が以下の値のいずれかに設定される場合に必要です。 <ul style="list-style-type: none"> ■ SINGLE_PORT ■ BIDIR_DUAL_PORT ■ ROM q_a ポートの幅は data_a ポートの幅と同じでなければなりません。
data_b	入力	オプション	メモリのポート B へのデータ入力です。 data_b ポートは、operation_mode が BIDIR_DUAL_PORT に設定される場合に必要です。
address_b	入力	オプション	メモリのポート B へのアドレス入力です。 address_b ポートは、operation_mode が以下のいずれかに設定される場合に必要です。 <ul style="list-style-type: none"> ■ DUAL_PORT ■ BIDIR_DUAL_PORT
wren_b	入力	必須	address_b ポートのライト・イネーブル入力です。 wren_b ポートは、operation_mode が BIDIR_DUAL_PORT に設定される場合に必要です。
rden_b	入力	オプション	address_b ポートのリード・イネーブル入力です。 rden_b ポートがサポートされるどうかは、ご選択のメモリ・モードおよびメモリ・ブロックに依存します。 リード・イネーブル機能について詳しくは、15 ページの「リード・イネーブル」を参照してください。
byteena_b	入力	オプション	データの特定のバイト、ニブル、またはビットのみが書き込まれるように data_b ポートをマスクするためのバイト・イネーブル入力です。 byteena_b ポートは次の条件ではサポートされていません。 <ul style="list-style-type: none"> ■ implement_in_les パラメータが ON に設定されている場合 ■ operation_mode パラメータが SINGLE_PORT、DUAL_PORT、または ROM に設定される場合 バイト・イネーブルの機能および使用上の注意事項について詳しくは、13 ページの「バイト・イネーブル」を参照してください。
addressstall_b	入力	オプション	addressstall_b ポートが High である限り、address_b ポートの以前のアドレスを保持するアドレス・クロック・イネーブルです。 アドレス・クロック・イネーブル機能について詳しくは、12 ページの「アドレス・クロック・イネーブル」を参照してください。

表 3-11. ALTSYNCRAM メガファンクションの入力ポートおよび出力ポートの説明 (3 / 5)

ポート名	種類	必須 / オプション	説明										
q_b	出力	必須	<p>メモリのポート B からのデータ出力。</p> <p>q_b ポートは、operation_mode が以下のいずれかに設定される場合に必要です。</p> <ul style="list-style-type: none"> ■ DUAL_PORT ■ BIDIR_DUAL_PORT <p>q_b ポートの幅は data_b ポートの幅と同じでなければなりません。</p>										
clock0	入力	必須	<p>次の表に、clock0 ポートに接続する必要があるメモリ・クロック、および各クロッキング・モードにおけるポート同期について説明しています。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>クロッキング・モード</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>シングル・クロック</td> <td>シングル・ソース・クロックを clock0 ポートに接続します。すべてのラッチされたポートは同じソース・クロックによって同期化されます。</td> </tr> <tr> <td>リード/ライト</td> <td>ライト・クロックを clock0 ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなど、ライト動作関連のラッチされたポートは、ライト・クロックによって同期化されます。</td> </tr> <tr> <td>入力/出力</td> <td>入力クロックを clock0 に接続します。すべてのラッチされたポートは入力クロックによって同期化されます。</td> </tr> <tr> <td>独立クロック</td> <td>ポート A クロックを clock0 ポートに接続します。すべてのラッチされた入力ポートと出力ポートはポート A クロックによって同期化されます。</td> </tr> </tbody> </table>	クロッキング・モード	説明	シングル・クロック	シングル・ソース・クロックを clock0 ポートに接続します。すべてのラッチされたポートは同じソース・クロックによって同期化されます。	リード/ライト	ライト・クロックを clock0 ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなど、ライト動作関連のラッチされたポートは、ライト・クロックによって同期化されます。	入力/出力	入力クロックを clock0 に接続します。すべてのラッチされたポートは入力クロックによって同期化されます。	独立クロック	ポート A クロックを clock0 ポートに接続します。すべてのラッチされた入力ポートと出力ポートはポート A クロックによって同期化されます。
クロッキング・モード	説明												
シングル・クロック	シングル・ソース・クロックを clock0 ポートに接続します。すべてのラッチされたポートは同じソース・クロックによって同期化されます。												
リード/ライト	ライト・クロックを clock0 ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなど、ライト動作関連のラッチされたポートは、ライト・クロックによって同期化されます。												
入力/出力	入力クロックを clock0 に接続します。すべてのラッチされたポートは入力クロックによって同期化されます。												
独立クロック	ポート A クロックを clock0 ポートに接続します。すべてのラッチされた入力ポートと出力ポートはポート A クロックによって同期化されます。												

表 3-11. ALTSYNCRAM メガファンクションの入力ポートおよび出力ポートの説明 (4 / 5)

ポート名	種類	必須/ オプション	説明										
clock1	入力	オプション	次の表に、clock1 ポートに接続する必要があるメモリ・クロック、および各クロッキング・モードにおけるポート同期について説明しています。										
			<table border="1"> <thead> <tr> <th>クロッキング・モード</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>シングル・クロック</td> <td>適用されません。すべてのラッチされたポートは clock0 ポートによって同期化されます。</td> </tr> <tr> <td>リード/ライト</td> <td>リード・クロックを clock1 に接続します。address_b ポート、rden_b ポート、および q_b ポートなど、リード動作関連のラッチされたすべてのポートはリード・クロックによって同期化されます。</td> </tr> <tr> <td>入力/出力</td> <td>出力クロックを clock1 ポートに接続します。すべてのラッチされた出力ポートは出力クロックによって同期化されます。</td> </tr> <tr> <td>独立クロック</td> <td>ポート B クロックを clock1 ポートに接続します。ポート B のすべてのラッチされた入力ポートと出力ポートはポート B クロックによって同期化されます。</td> </tr> </tbody> </table>	クロッキング・モード	説明	シングル・クロック	適用されません。すべてのラッチされたポートは clock0 ポートによって同期化されます。	リード/ライト	リード・クロックを clock1 に接続します。address_b ポート、rden_b ポート、および q_b ポートなど、リード動作関連のラッチされたすべてのポートはリード・クロックによって同期化されます。	入力/出力	出力クロックを clock1 ポートに接続します。すべてのラッチされた出力ポートは出力クロックによって同期化されます。	独立クロック	ポート B クロックを clock1 ポートに接続します。ポート B のすべてのラッチされた入力ポートと出力ポートはポート B クロックによって同期化されます。
			クロッキング・モード	説明									
			シングル・クロック	適用されません。すべてのラッチされたポートは clock0 ポートによって同期化されます。									
			リード/ライト	リード・クロックを clock1 に接続します。address_b ポート、rden_b ポート、および q_b ポートなど、リード動作関連のラッチされたすべてのポートはリード・クロックによって同期化されます。									
入力/出力	出力クロックを clock1 ポートに接続します。すべてのラッチされた出力ポートは出力クロックによって同期化されます。												
独立クロック	ポート B クロックを clock1 ポートに接続します。ポート B のすべてのラッチされた入力ポートと出力ポートはポート B クロックによって同期化されます。												
clocken0	入力	オプション	clock0 ポートのクロック・イネーブル入力です。										
clocken1	入力	オプション	clock1 ポートのクロック・イネーブル入力です。										
clocken2	入力	オプション	clock0 ポートのクロック・イネーブル入力です。										
clocken3	入力	オプション	clock1 ポートのクロック・イネーブル入力です。										

表 3-11. ALTSYNCRAM メガファンクションの入力ポートおよび出力ポートの説明 (5 / 5)

ポート名	種類	必須/ オプション	説明
aclr0 aclr1	入力	オプション	<p>ラッチされた入力ポートおよび出力ポートを非同期でクリアします。aclr0 ポートは、clock0 によってクロックされるラッチされたポートに影響を及ぼします。aclr1 ポートは、clock1 によってクロックされるラッチされたポートに影響を及ぼします。</p> <p>ラッチされたポート上の非同期クリア効果は、対応する非同期クリア・パラメータ、例えば outdata_aclr_a、address_aclr_a などによって制御できます。</p> <p>非同期クリア・パラメータについて詳しくは、14 ページの「非同期クリア」を参照してください。</p>
eccstatus	出力	オプション	<p>3 ビット幅の誤り訂正ステータス・ポート。メモリから読み出されるデータが、「修正済みのシングル・ビット・エラー」、「修正なしの致命的なエラー」、または「エラー・ビットなし」のいずれかであることを示します。</p> <p>Stratix V デバイスでは、M20K ECC ステータスは 2 ビット幅のエラー訂正ステータス・ポートによって通信します。M20K ECC は、シングル・ビット・エラー・イベントまたは隣接のダブル・ビット・エラー・イベントを検出して訂正し、あるいは隣接の 3 つのエラーを訂正なしで検出します。</p> <p>eccstatus ポートは次の条件が満たされる場合にはサポートされます。</p> <ul style="list-style-type: none"> ■ operation_mode パラメータが DUAL_PORT に設定されている。 ■ ram_block_type パラメータが M144K に設定されている。 ■ width_a および width_b パラメータが同じである ■ バイト・イネーブルが使用されていない <p>ECC の機能と制限、および出力ステータスの定義について詳しくは、20 ページの「誤り訂正コード」を参照してください。</p>

表 3-12 に、ALTDPRAM メガファンクションの入力および出力ポートを示します。

表 3-12. ALTDPRAM メガファンクションの入力および出力ポート (1 / 3)

ポート名	種類	必須 / オプション	説明
data	入力	必須	メモリへのデータ入力です。 data ポートは必須であり、幅は q ポートの幅と同じでなければなりません。
wraddress	入力	必須	メモリへのライト・アドレス入力です。 wraddress ポートは必須であり、幅は raddress ポートの幅と同じでなければなりません。
wren	入力	必須	wraddress ポートのライト・イネーブル入力です。 wren ポートは必須です。
raddress	入力	必須	メモリへのリード・アドレス入力です。 raddress ポートは必須であり、wraddress ポートの幅と同じでなければなりません。
rden	入力	オプション	raddress ポートのリード・イネーブル入力です。 rden ポートは、use_eabパラメータが OFFに設定される場合にはサポートされます。rden ポートは、ram_block_type パラメータがMLABに設定する場合にはサポートされません。 ほかのメモリ・ブロックにリード・イネーブル機能を使用する場合、ALTSYNCRAM メガファンクションをインスタンス化してください。
byteena	入力	オプション	データの特定のバイト、ニブル、またはビットが書き込まれるように data ポートをマスクするためのバイト・イネーブル入力です。byteena ポートは、use_eabパラメータが OFFに設定される場合にはサポートされません。このポートは、ram_block_type パラメータがMLABに設定される Arria II GX、Stratix III、Cyclone III およびそれ以降のデバイスでサポートされます。 バイト・イネーブルの機能および使用上の注意事項については詳しくは、13 ページの「バイト・イネーブル」を参照してください。
wraddressstall	入力	オプション	wraddress ポートの以前のライト・アドレスを wraddressstall ポートが Highである限り保持するためのライト・アドレス・クロック・イネーブル入力です。 アドレス・クロック・イネーブル機能については、12 ページの「アドレス・クロック・イネーブル」を参照してください。

表 3-12. ALTDPRAM メガファンクションの入力および出力ポート (2 / 3)

ポート名	種類	必須/ オプション	説明								
rdaddressstall	入力	オプション	<p>rdaddress ポートの以前のリード・アドレスを wraddressstall ポートが High である限り保持するためのリード・アドレス・クロック・イネーブル入力です。</p> <p>rdaddressstall ポートは、rdaddress_reg パラメータが UNREGISTERED に設定される場合以外には Stratix II、Cyclone II、Arria GX およびそれ以降のデバイスでのみサポートされます。</p> <p>アドレス・クロック・イネーブル機能については、12 ページの「アドレス・クロック・イネーブル」を参照してください。</p>								
q	出力	必須	<p>メモリからのデータ出力です。</p> <p>q ポートは必須であり、data ポートの幅と同じでなければなりません。</p>								
inclock	入力	必須	<p>下表に、inclock ポートに接続する必要があるメモリ・クロック、および各クロッキング・モードでのポート同期について説明します。</p> <table border="1" data-bbox="812 940 1404 1602"> <thead> <tr> <th>クロッキング・モード</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>Single clock</td> <td>シングル・ソース・クロックを inclock ポートおよび outclock ポートに接続します。すべてのラッチされたクロックは同じソース・クロックによって同期化されます。</td> </tr> <tr> <td>Read/Write</td> <td>ライト・クロックを inclock ポートに接続します。data ポート、waddress ポート、wren ポートや byteena ポートなど、ライト動作に関連するすべてのラッチされたポートはライト・クロックによって同期化されます。</td> </tr> <tr> <td>Input/Output</td> <td>入力クロックを inclock ポートに接続します。すべてのラッチされた入力が入力クロックによって同期化されます。</td> </tr> </tbody> </table>	クロッキング・モード	説明	Single clock	シングル・ソース・クロックを inclock ポートおよび outclock ポートに接続します。すべてのラッチされたクロックは同じソース・クロックによって同期化されます。	Read/Write	ライト・クロックを inclock ポートに接続します。data ポート、waddress ポート、wren ポートや byteena ポートなど、ライト動作に関連するすべてのラッチされたポートはライト・クロックによって同期化されます。	Input/Output	入力クロックを inclock ポートに接続します。すべてのラッチされた入力が入力クロックによって同期化されます。
クロッキング・モード	説明										
Single clock	シングル・ソース・クロックを inclock ポートおよび outclock ポートに接続します。すべてのラッチされたクロックは同じソース・クロックによって同期化されます。										
Read/Write	ライト・クロックを inclock ポートに接続します。data ポート、waddress ポート、wren ポートや byteena ポートなど、ライト動作に関連するすべてのラッチされたポートはライト・クロックによって同期化されます。										
Input/Output	入力クロックを inclock ポートに接続します。すべてのラッチされた入力が入力クロックによって同期化されます。										

表 3-12. ALDPRAM メガファンクションの入力および出力ポート (3 / 3)

ポート名	種類	必須/ オプション	説明								
outclock	入力	必須	<p>下表に、outclock ポートに接続する必要があるメモリ・クロック、および各クロッキング・モードでのポート同期について説明します。</p> <table border="1"> <thead> <tr> <th>クロッキング・モード</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>シングル・クロック</td> <td>シングル・ソース・クロックを inclock ポートおよび outclock ポートに接続します。すべてのラッチされたクロックは同じソース・クロックによって同期化されます。</td> </tr> <tr> <td>リード/ライト</td> <td>リード・クロックを outclock ポートに接続します。rdaddress ポート、rdren ポートや q ポートなど、リード動作に関連するすべてのラッチされたポートはリード・クロックによって同期化されます。</td> </tr> <tr> <td>入力/出力</td> <td>出力クロックを outclock ポートに接続します。ラッチされた q ポートは出力クロックによって同期化されます。</td> </tr> </tbody> </table>	クロッキング・モード	説明	シングル・クロック	シングル・ソース・クロックを inclock ポートおよび outclock ポートに接続します。すべてのラッチされたクロックは同じソース・クロックによって同期化されます。	リード/ライト	リード・クロックを outclock ポートに接続します。rdaddress ポート、rdren ポートや q ポートなど、リード動作に関連するすべてのラッチされたポートはリード・クロックによって同期化されます。	入力/出力	出力クロックを outclock ポートに接続します。ラッチされた q ポートは出力クロックによって同期化されます。
クロッキング・モード	説明										
シングル・クロック	シングル・ソース・クロックを inclock ポートおよび outclock ポートに接続します。すべてのラッチされたクロックは同じソース・クロックによって同期化されます。										
リード/ライト	リード・クロックを outclock ポートに接続します。rdaddress ポート、rdren ポートや q ポートなど、リード動作に関連するすべてのラッチされたポートはリード・クロックによって同期化されます。										
入力/出力	出力クロックを outclock ポートに接続します。ラッチされた q ポートは出力クロックによって同期化されます。										
inclocken	入力	オプション	inclock ポートのクロック・イネーブル入力です。								
outclocken	入力	オプション	outclock ポートのクロック・イネーブル入力です。								
aclr	入力	オプション	<p>ラッチされた入力および出力ポートを非同期でクリアします。</p> <p>ラッチされたポートに対する非同期クリアは、indata_aclr や wraddress_aclr など、それぞれの非同期クリア・パラメータによって制御できます。</p> <p>非同期クリア・パラメータについて詳しくは、14 ページの「非同期クリア」を参照してください。</p>								

この項では、このユーザーガイドとともに提供されているデザイン例について説明します。デザイン例は以下の場所から入手できます。

- **オンライン資料** : **Quartus II 開発ソフトウェア**のページで、**メガファンクション**の**したのメモリ・コンパイラ**から入手できます。
- **オンライン資料** : **ユーザーガイド**ページで、このユーザーガイドの下から入手できます。

以下のファイルは **Internal_Memory_DesignExample.zip** にあります。

- **ecc_encoder.v**
- **ecc_decoder.v**
- **true_dp_ram.v**
- **top_dpam.v**
- **true_dp_ram.vt**
- **true_dp.do**
- **true_dp.qar (Quartus II design file)**

ModelSim®-Altera ソフトウェア v6.5e でデザインをシミュレートして、デバイスの動作を表示する波形を生成します。ModelSim-Altera ソフトウェアについて詳しくは、アルテラ・ウェブサイトの **ModelSim-Altera Software Support** のページを参照してください。このページには、インストール、使用、トラブルシューティングなどのトピックが記載されています。

トウルー・デュアル・ポート RAM による外部 ECC の実装

M144 が実装される時、ECC 機能は、Stratix III および Startix IV によってシングル・デュアル・ポート RAM にのみ内部でサポートされています。したがって、このデザイン例では、使用されるデバイス・メモリ・ブロックの種類に関係なく ECC 機能をほかの RAM モードに実装する方法について説明します。また、同じポートおよび混合ポートの Read-During-Write 動作の機能についても説明されています。

このデザイン例では、トウルー・デュアル・ポート RAM を使用して ECC 機能を RAM に外部で実装する方法を説明しています。ALTECC_ENCODER および ALTECC_DECODER メガファンクションが必要とされます。ALTECC_ENCODER メガファンクションはデータを RAM に書き込む前にデータ入力をエンコードし、ALTECC_DECODER メガファンクションはデータをほかのロジック部分に転送する前に RAM からのデータ出力をデコードします。

このデザイン例では、データ幅の実測値は 8 ビットであり、ALTECC_ENCODER? メガファンクションによってエンコードされて 13 ビット幅のデータを生成します。この 13 ビット幅のデータはライト・イネーブル信号がアサートされる時に ? トウルー・デュアル・ポート RAM に書き込まれます。この RAM モードが 2 つの専用ライト・ポートを持つため、ほかの入力ポートのためにもう 1 つの RAM エンコーダが実装されます。

また、RAM の data 出力ごとに、2 つの ALTECC_DECODER メガファンクション・ブロックが実装されています。リード・イネーブル信号がアサートされると、エンコードされたデータが RAM アドレスから読み出され、それぞれの ALTECC_DECODER メガファンクション・ブロックによってデコードされます。デコーダはデータの状態を「エラーなし」、「シングル・ビット・エラー検出および修正済み」、または「致命的なエラー (2 ビット以上のエラー)」として表示します。

この例で、RAM のポート A には 1 つの「不正なゼロ・ビット」コントロール信号が含まれています。この信号がアサートされると、RAM に書き込まれる前にゼロ・ビット (LSB) のエンコードされるデータの状態を変えます。この信号は、ポート A を介するゼロ・ビット・データの格納を破壊して、ECC 機能の効果を検証するために使用されます。



このデザイン例では、RAM に内部でサポートされていない場合に ECC 機能を RAM に実装する方法を説明しています。ただし、このデザイン例は必ずしも最適なデザインまたは実装とは限りません。

デュアル・ポート RAM による ALTECC_ENCODER および ALTECC_DECODER メガファンクションの生成

デュアル・ポート RAM で ALTECC_ENCODER および ALTECC_DECODER メガファンクションを生成するには、次のステップに従います。

1. **Internal_Memory_DesignExample.zip** ファイルを開いて、**tre_dp.qar** ファイルを解凍します。
2. Quartus II ソフトウェアで、**true_dp.qar** ファイルを開いて、アーカイブ・ファイルを作業ディレクトリに復元します。
3. Tools メニューで、**MegaWizard Plug-In Manager** をクリックします。MegaWizard Plug-In Manager の 1 ページが表示されます。
4. **Create a new custom megafunction variation** を選択します。
5. **Next** をクリックします。MegaWizard Plug-In Manager の 2a ページが表示されます。
6. MegaWizard Plug-In Manager のページで、表 4-1 に示すように、コンフィギュレーション設定を選択または検証します。次のページへ進むには、**Next** をクリックします。

表 4-1. ALTECC_ENCODER メガファンクションのコンフィギュレーション設定

MegaWizard Plug-In Manager ページ	オプション	値
3	Currently selected device family:	Stratix III
	How do you want to configure this module?	Configure this module as an ECC encoder
	How wide should the data be?	8 bits
	Do you want to pipeline the functions?	Yes, I want an output latency of 1 clock cycle
	Create an 'aclr' asynchronous clear port	選択されていない
	Create a 'clocken' clock enable clock	選択されていない

7. **Finish** をクリックします。**ecc_encoder.v** モジュールが構築されます。
8. ステップ 3～ステップ 5 を繰り返します。
9. MegaWizard Plug-In Manager ページで、表 4-2 に示すように、コンフィギュレーション設定を選択または検証します。次のページへ進むには、**Next** をクリックします。

表 4-2. ALTECC_DECODER メガファンクションのコンフィギュレーション設定

MegaWizard Plug-In Manager ページ	オプション	値
3	Currently selected device family:	Stratix III
	How do you want to configure this module?	Configure this module as an ECC decoder
	How wide should the data be?	13 bits
	Do you want to pipeline the functions?	Yes, I want an output latency of 1 clock cycle
	Create an 'aclr' asynchronous clear port	選択されていない
	Create a 'clocken' clock enable clock	選択されていない

10. **Finish** をクリックします。**ecc_decoder.v** モジュールが構築されます。

 ALTECC MegaWizard Plug-In Manager で使用可能なオプションについては、[「Integer Arithmetic Megafunctions User Guide」](#) を参照してください。

11. ステップ 3～ステップ 5 を繰り返します。
12. MegaWizard Plug-In Manager ページで、表 4-3 に示すように、コンフィギュレーション設定を選択または検証します。次のページへ進むには、**Next** をクリックします。

表 4-3. RAM:2-Port メガファンクションのコンフィギュレーション設定 (1 / 2)

MegaWizard Plug-In Manager ページ	オプション	値
2a	Megafunction	Memory Compiler カテゴリの下から、 RAM:2-Port を選択します。
	Which device family will you be using?	Stratix IV
	Which type of output file do you want to create?	Verilog HDL
	What name do you want for the output file?	true_dp_ram
	Return to this page for another create operation	オフ
Parameter Settings (General)	Currently selected device family:	Stratix III
	How will you be using the dual port ram?	With two read/write ports
	How do you want to specify the memory size?	As a number of words

表 4-3. RAM:2-Port メガファンクションのコンフィギュレーション設定 (2 / 2)

MegaWizard Plug-In Manager ページ	オプション	値
Parameter Settings (Widths/Blk Type)	How many 8-bit words of memory?	16
	Use different data widths on different ports	選択されていない
	How wide should the 'q_a' output bus be?	13
	What should the memory block type be?	M9K
	Set the maximum block depth to	Auto
Parameter Settings (Clks/Rd, Byte En)	Which clocking method do you want to use?	Single clock
	Create 'rden_a' and 'rden_b' read enable signals	選択されていない
	Byte Enable Ports	選択されていない
Parameter Settings (Regs/Clkens.Aclrs)	Which ports should be registered?	すべての write 入力ポートおよび read 出力ポート
	Create one clock enable signal for each signal	選択されていない
	Create an 'aclr' asynchronous clear for the registered ports	選択されていない
Parameter Settings (Output 1)	Mixed Port Read-During-Write for Single Input Clock RAM	Old memory contents appear
Parameter Settings (Output 2)	Port A Read-During-Write Option	New Data
	Port B Read-During-Write Option	Old Data
Parameter Settings (Mem Init)	Do you want to specify the initial content of the memory?	
EDA	Generate netlist	オフ
Summary	Variation file (.vhd)	オン
	AHDL Include file (.inc)	オフ
	VHDL component declaration file (.cmp)	オン
	Quartus II symbol file (.bsf)	オフ
	Instantiation template file(.vhd)	オフ

13. **Finish** をクリックします。true_dp_ram.v モジュールが構築されます。

top_dpram.v は 2 つのエンコーダ、1 つのツール・デュアル・ポート RAM、および 2 つのデコーダをインスタント化するトップ・レベルを含むデザイン・バリエーション・ファイルです。デザインをシミュレートするために、ModelSim®-Altera ソフトウェアで実行するためのテスト・ベンチ (true_dp_ram.vt) が作成されます。

デザインのシミュレーション

ModelSim-Altera ソフトウェアでデザインをシミュレートするには、次のステップを実行します。

1. **Internal_Memory_DesignExample.zip** ファイルを PC 上の任意の作業ディレクトリに解凍します。
2. ModelSim-Altera ソフトウェアを起動します。
3. File メニューで、**Change Directory** をクリックします。
4. 解凍先のフォルダを選択します。
5. **OK** をクリックします。
6. Tools メニューで、**TCL** をポイントして、**Execute Macro** をクリックします。
Execute Do File ダイアログ・ボックスが表示されます。
7. **true_dp.do** ファイルを選択して **Open** をクリックします。**true_dp.do** ファイルはスクリプト・ファイルであり、すべての必要な設定、コンパイルおよびシミュレーションを自動的に実行させ、そしてシミュレーション波形を表示させます。
8. **Waveform Viewer** ウィンドウで表示される結果を確認します。

true_dp.do ファイル内のスクリプトを編集することで、信号の配列を変更したり、信号を取り除いたり、または基数を変更することができます。

シミュレーションの結果

トップ・レベルには、表 4-4 に示す入力ポートおよび出力ポートが含まれています。

表 4-4. トップ・レベルの入力ポートおよび出力ポートの表現 (1 / 2)

ポート名	ポートの種類	説明
clock	入力	エンコーダ、RAM およびデコーダ用のシステム・クロックです。
corrupt_dataa_bit0	入力	ラッチされたアクティブ High コントロール信号であり、ポート A で入力のエンコードされたデータのゼロ・ビット (LSB) を RAM に書き込まれる前に変更します。(1)
address_a data_a wren_a rden_a	入力	RAM のポート A へのアドレス入力、データ入力、ライト・イネーブル、およびリード・イネーブルです。(1)
address_b data_b wren_b rden_b	入力	RAM のポート B へのアドレス入力、データ入力、ライト・イネーブル、およびリード・イネーブルです。(1)
rdata1 err_corrected1 err_detected1 err_fatal1	出力	RAM のポート A からの出力データの読み出し、およびそのデータ読み出しを反映する EEC ステータス信号です。(2)

表 4-4. トップ・レベルの入力ポートおよび出力ポートの表現 (2 / 2)

ポート名	ポートの種類	説明
rdata2 err_corrected2 err_detected2 err_fatal2	出力	RAM のポート B からの出力データの読み出し、およびそのデータ読み出しを反映する EEC ステータス信号です。(2)

表 4-4 の注：

- (1) 入力ポートの場合、データ信号のみがエンコーダを通過しています。その他の信号はエンコーダをバイパスして、RAM ブロックに直接転送されます。エンコーダが 1 つのパイプラインを使用するため、エンコーダをバイパスした信号は RAM に転送する前に追加のパイプラインを必要とします。これはトップ・レベルで実装されます。
- (2) エンコーダおよびデコーダがそれぞれ 1 つのパイプラインを使用し、RAM が 2 つのパイプラインを使用し、合計 4 つのパイプラインが使用されています。そのため、リード・イネーブルが開始された後、リード・データは出力ポートで 4 サイクルのみ表示されます。

図 4-1 に、予測される ModelSim-Altera ソフトウェアでのシミュレーション結果を示します。

図 4-1. シミュレーション結果

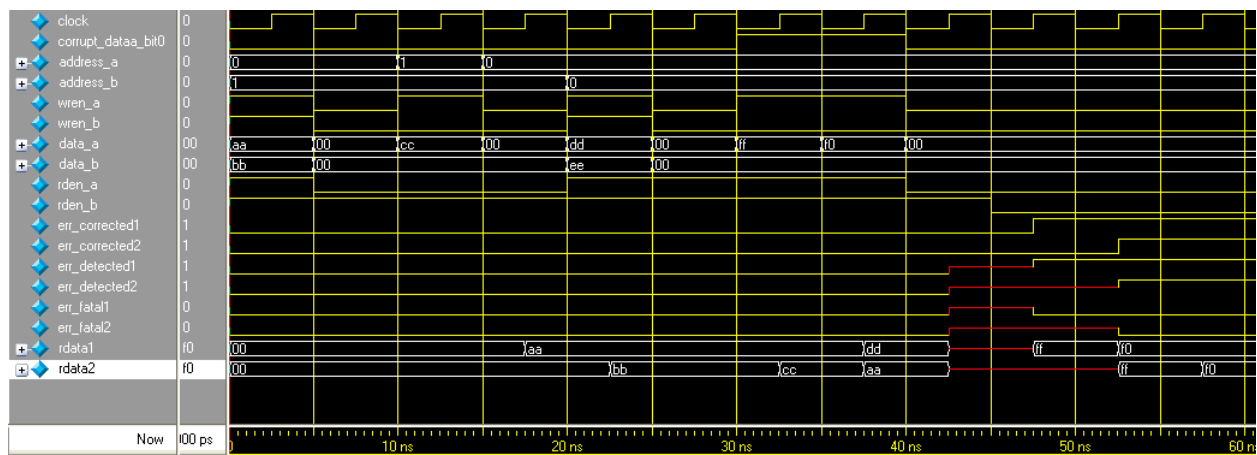
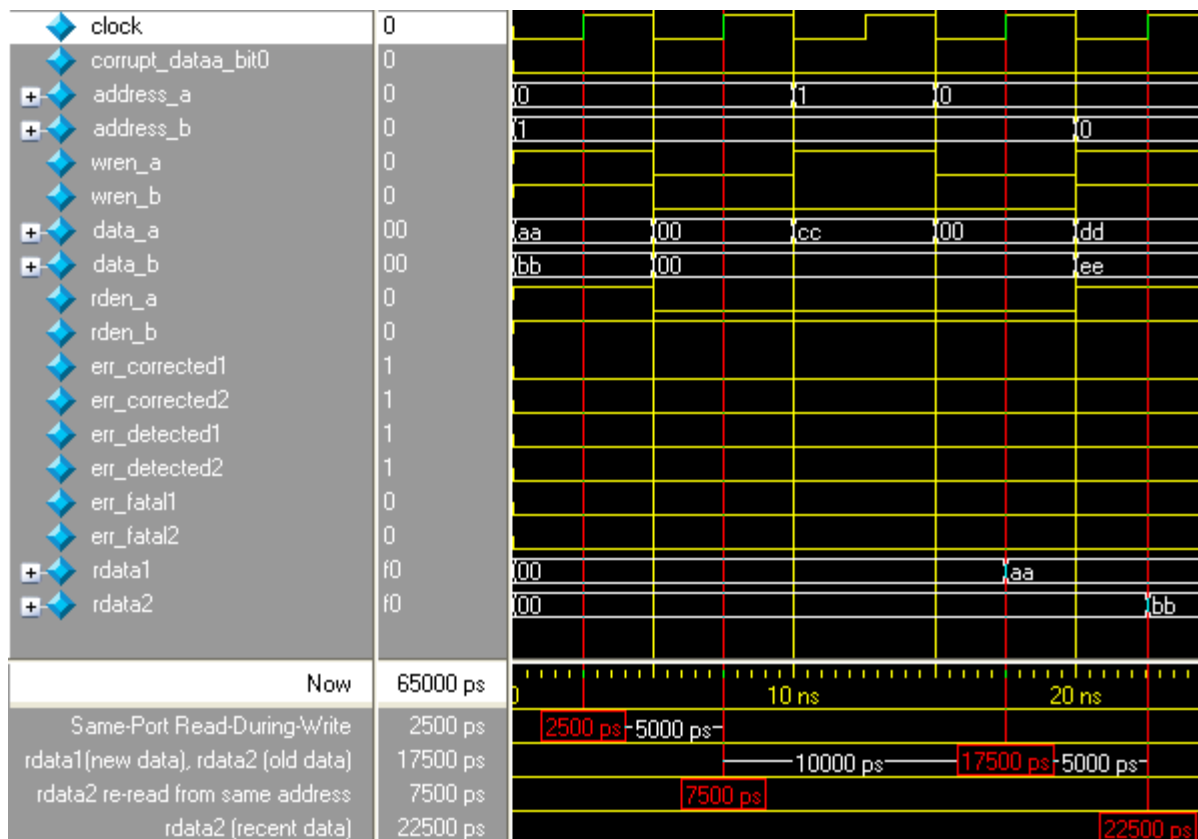


図 4-2 に、RAM のポート A およびポート B ごとに同じポート Read-During-Write が発生する時の拡大図を示します。

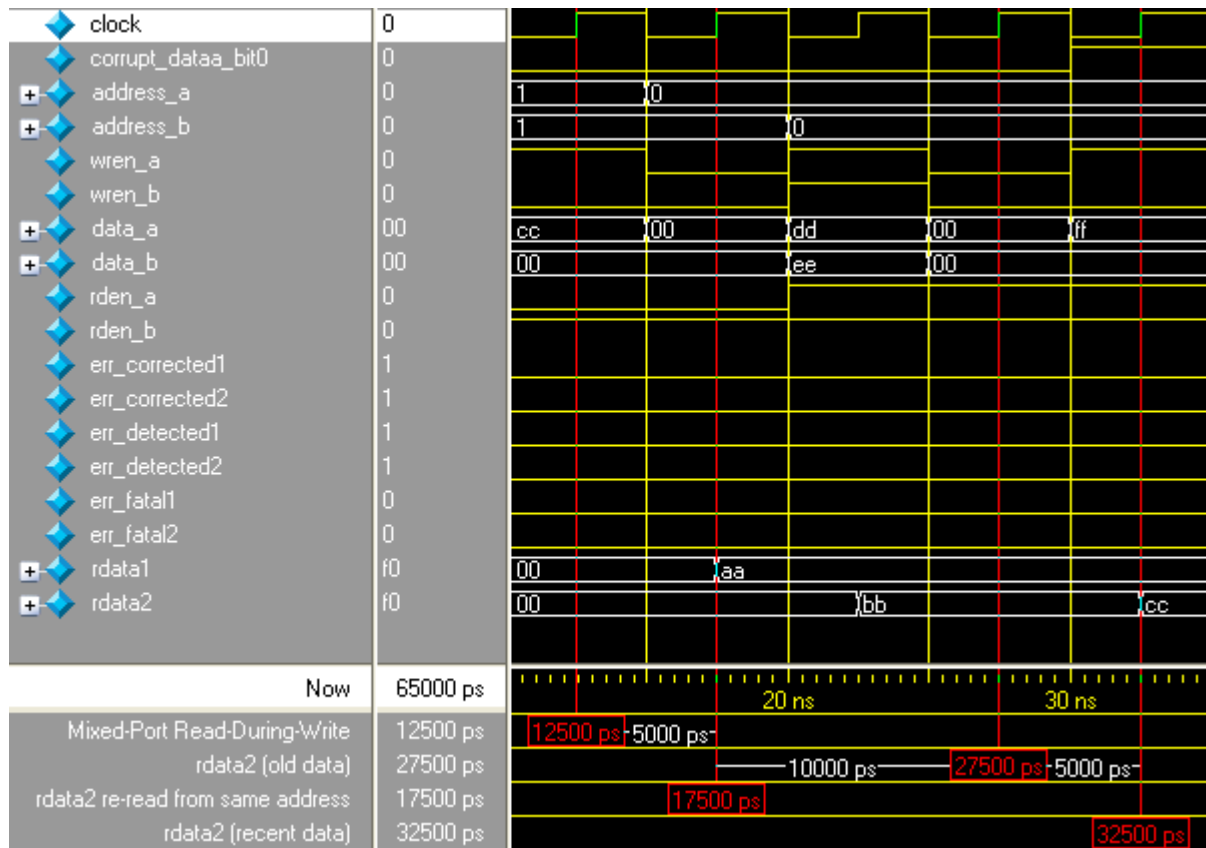
図 4-2. 同じポート Read-During-Write



2500 ps では、ポート A およびポート B に同じポート Read-During-Write が発生します。ツール・デュアル・ポート RAM は、同じポート Read-During-Write が発生する時にポート A が新しいデータを読み出し、ポート B が古いデータを読み出すようにコンフィギュレーションされているため、4 クロック・サイクル後（17500 ps）では rdata1 ポートが新しいデータ aa を示し、rdata2 ポートが古いデータ 00 を示します。データが次の立ち上がりクロック・エッジ（7500 ps）で再び読み出されると、rdata2 ポートは 22500 ps で最近のデータ bb を示します。

図 4-3 に、混合ポート Read-During-Write が発生する時の拡大図を示します。

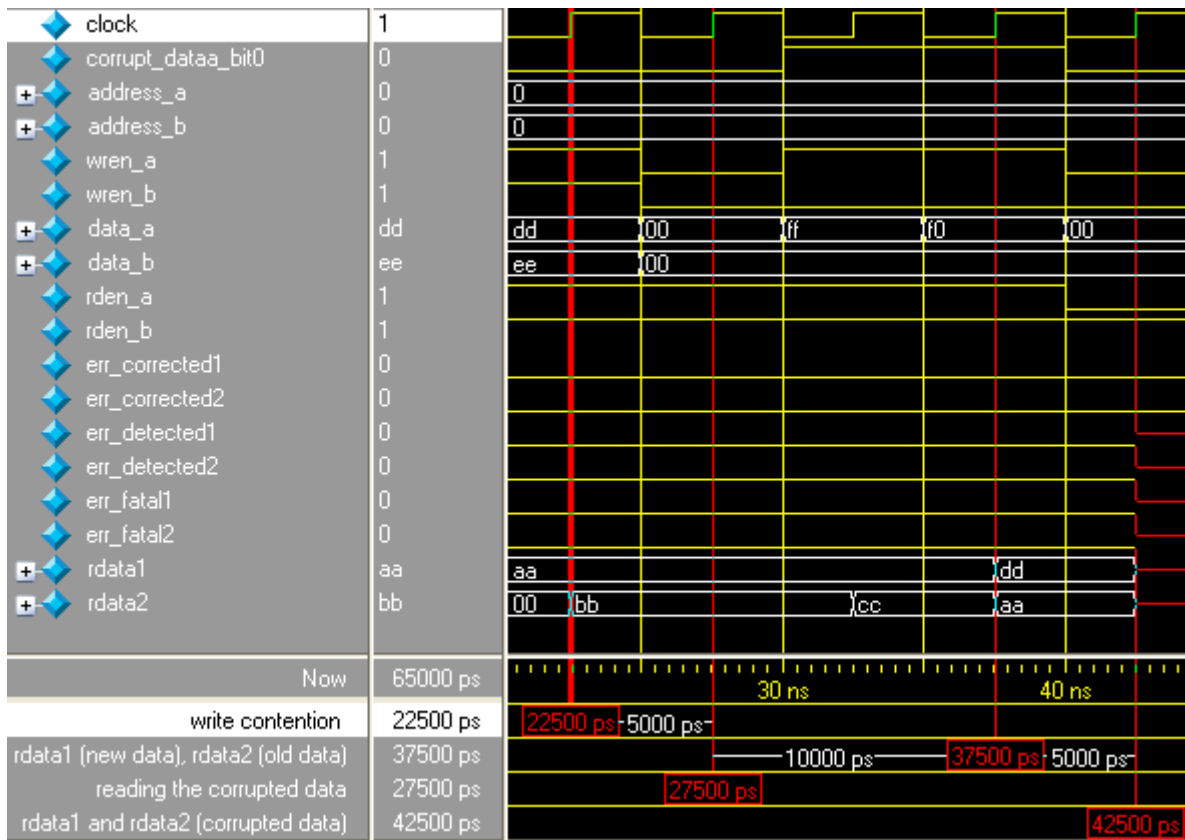
図 4-3. 混合ポート Read-During-Write



12500 ps では、データ cc がポート A に書き込まれる同時にポート B から読み出し、同時に同じアドレス 1 をターゲットにするため、混合ポート Read-During-Write が発生します。混合ポート Read-During-Write にコンフィギュレーションされるデュアル・ポート RAM が古いデータを表示しているため、rdata2 ポートは 4 クロック・サイクル後 (27500 ps) で古いデータ bb を示します。データが次の立ち上がりクロック・エッジ (17500 ps) で同じアドレスから再び読み出されると、rdata2 ポートは 32500 ps で最新のデータ cc を示します。

図 4-4 に、ライト競合発生時の拡大図を示します。

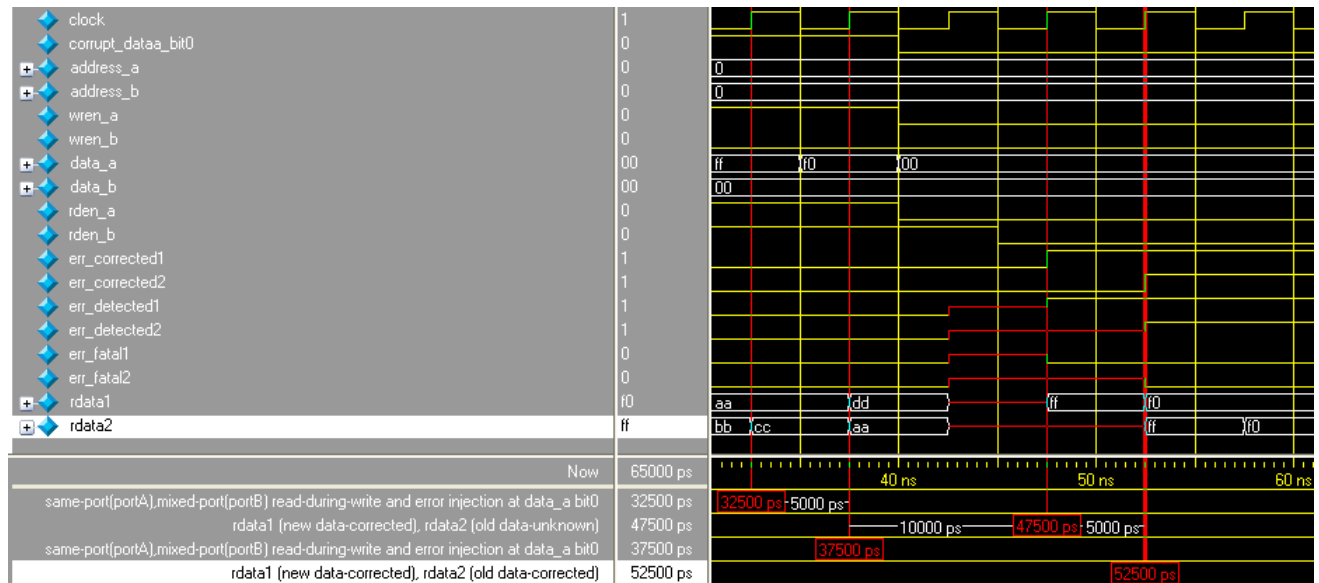
図 4-4. ライト競合




22500 ps では、データ dd および ee が同時にアドレス 0 に書き込まれる時点で、ライト競合が発生します。また、ポート A およびポート B では同じポート Read-During-Write が発生します。ポート A およびポート B に対する同じポート Read-During-Write の設定は、4 クロック・サイクル後（37500 ps）で rdata1 ポートが新しいデータ dd を示し、rdata2 ポートが古いデータの aa を示すときに有効になります。データが次の立ち上がりクロック・エッジ（27500 ps）で同じアドレスから再び読み出されると、rdata1 および rdata2 ポートは 42500 ps で未知値を表示します。また、デコーダに未知のデータを入力すると、未知の ECC ステータスが発生します。

図 4-5 に、`corrupt_dataa_bit0` をアサートすることで、1つのエラーをポート A でのエンコードされたデータにインジェクトするときの効果の拡大図を示します。

図 4-5. エラー・インジェクション - `corrupt_dataa_bit0` のアサート



32500 ps では、同じポート Read-During-Write がポート A で発生し、混合ポート Read-During-Write がポート B で発生します。また、`corrupt_dataa_bit0` はポート A でのエンコードされたデータの LSB を破壊するためにアサートされます。したがって、保存されているデータの LSB が破壊され（目的のデータ `ff` が破壊され、`fe` になった）、アドレス 0 に格納されます。4 クロック・サイクル後（47500ps）で、`rdata1` ポートは、デコーダによって修正された新しいデータ `ff` を表示し、そして ECC ステータス信号の `err_corrected1` および `err_detected1` がアサートされます。`rdata2` では、古いデータ（未知の値）が示され、ECC ステータス信号は未知のままです。

 デコーダは、`rdata1` および `rdata2` ポートで表示されるデータのシングル・ビット・エラーのみを修正します。新しいデータが書き込まれるまで、RAM 内のアドレス 0 に格納される実際のデータが破損したままです。

37500 ps では、ポート A およびポート B の条件は同じです。その違いは、ポート B がアドレス 0 から破損した古いデータ `fe` を読み出すことです。4 クロック・サイクル後（52500 ps）で、`rdata2` ポートは、デコーダによって修正された古いデータ `ff` を示し、そして ECC ステータス信号 `err_corrected2` および `err_detected2` がアサートされ、データが修正されたことを示します。

改訂履歴

表 4-5 に、本資料の改訂履歴を示します。

表 4-5. 改訂履歴

日付	バージョン	変更内容
2011 年 3 月	2.0	M20K メモリ・ブロックに対して新しい機能を追加
2009 年 11 月	1.0	初版