



デバイス固有電源供給ネットワーク (PDN) ツールの ユーザー・ガイド



101 Innovation Drive
San Jose, CA 95134
www.altera.com

ドキュメント・バージョン: 1.0
ドキュメント・デート: 2009年7月

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

UG-01064



第 1 章 . デバイス固有電源供給ネットワーク (PDN) ツールのユーザー・ガイド	
はじめに	1-1
ツールの用途	1-1
PDN デカップリング方法の概要	1-1
PDN 回路トポロジー	1-2
PDN ツールの主なタブ	1-5
BGA Via	1-6
Plane Cap	1-7
Cap Mount	1-8
X2Y Mount	1-9
Library	1-10
Decap Selection	1-13
BOM	1-17
PDN ツールを使用したプリント基板デカップリングの設計	1-18
配置前の説明	1-18
単一レールのシナリオにおけるデカップリングの導出	1-19
電源共用シナリオでのデカップリングの導出	1-22
まとめ	1-25
改訂履歴	2-1
アルテラへのお問い合わせ	2-1
表記規則	2-1

はじめに

プリント基板の設計者は、広範囲のレイアウト前シミュレーションを行うことなしに、設計の早期段階でプリント基板の効率的なデカップリングの方針を立てるために必要なデカップリング・コンデンサの数、値、および種類を見積もる必要があります。アルテラの電源供給ネットワーク (PDN) ツールは、これらの重要な情報を提供します。

すべてのデバイス固有の PDN ツールは、同様のユーザー・インターフェイスを持っているため、本資料はすべての Altera® デバイス固有の PDN ツールへのユーザー・ガイドとして提供しています。サポートされるデバイス・ファミリーは、ツールによって、ツールの主なタブの右上隅に表示されます。

 デバイス・サポートが特定されていないアルテラの汎用 PDN ツールについて詳しくは、「[Power Delivery Network \(PDN\) Tool User Guide](#)」を参照してください。

PDN ツールとは、ユーザー入力に基づきインピーダンス・プロファイルを計算するために使用する Microsoft Excel ベースのスプレッドシート・ツールです。このスプレッドシートでは、任意の電源について、ボード積層数、過渡電流情報、リップル仕様などの基本的な設計情報を入力するだけで、インピーダンス・プロファイルおよび希望するインピーダンス目標 (Z_{TARGET}) を満たすコンデンサの最適数を計算することができます。このツールは、デバイスおよび電源レールに固有のプリント基板デカップリング・カットオフ周波数 ($F_{EFFECTIVE}$) も提供します。スプレッドシート・ツールで得られた結果は、予備的な見積もりを行うことだけを目的とするもので、仕様の作成を目的とするものではありません。正確なインピーダンス・プロファイルを求めるために、アルテラでは、Sigriety PowerSI、Ansoft SIWave、Cadence Allegro PCB PI などの市販の EDA ツールを使用した配置後シミュレーション方法を推奨します。

ツールの用途

PDN ツールの目的は、選択されたデバイス/電源レールが $F_{EFFECTIVE}$ まで希望する Z_{TARGET} を満たすために必要なデカップリング・コンデンサの最適な数、種類、および値を決定することにより、ターゲットとするデバイス・ファミリーのデバイス用の堅牢な電源供給ネットワークの設計を支援することです。このスプレッドシート・ツールは、設計の早期段階で広範で時間のかかる配置前解析を行うことなしに、さまざまな「what-if」シナリオを検討するのに役立ちます。

PDN デカップリング方法の概要

この項では、一般的なプリント基板デカップリングの方法を示し、プリント基板のデカップリング・デザインを案内するために PDN ツールにより提供される 2 つのパラメータ (Z_{TARGET} と $F_{EFFECTIVE}$) について詳しく説明します。

PDN 回路トポロジー

この PDN ツールは、電源供給ネットワーク・トポロジーの集中等価モデル表現を利用しています。図 1-1 は、このツールの一部としてモデル化された回路トポロジーの略図を示します。PDN インピーダンス・プロファイルとは、デバイス側から見た周波数に対するインピーダンスの変化です。

図 1-1. PDN トポロジー

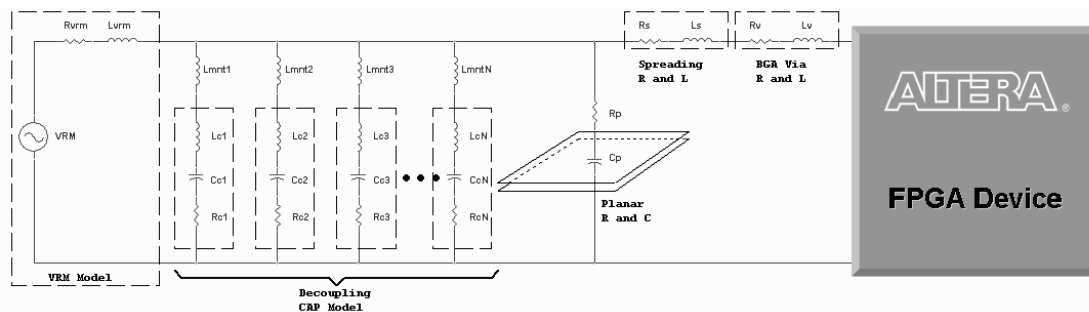


図 1-1 に示すように、一次解析のために、電圧レギュレータ・モジュール (VRM) は直列接続された抵抗とインダクタとして単純にモデル化できます。約 50 kHz までの低周波では、VRM のインピーダンスは非常に低く、FPGA の瞬間電流要件に対応することができます。等価直列抵抗 (ESR) および等価直列インダクタンス (ESL) の値は、VRM のメーカーから入手できます。高周波では、VRM のインピーダンスは主に誘導性になり、過渡電流要件を満たすことができなくなります。

数十 MHz まで、PDN のインピーダンスを下げるために、プリント基板デカップリング・コンデンサを使用します。ボード上のディスクリットなデカップリング・コンデンサによって、コンデンサ固有の寄生成分 (R_{cN} 、 C_{cN} 、 L_{cN}) およびコンデンサのマウンティング・インダクタンス (L_{mntN}) に応じて要求される低インピーダンスが提供されます。パワー・プレーンとグランド・プレーン間のプレーン間キャパシタンスは、一般に、インダクタンスがディスクリット・デカップリング・コンデンサのネットワークのインダクタンスよりも低いいため、周波数が高く (数十 MHz) なるほど効果が高くなります。周波数が増加 (数十 MHz 以上) するとともに、プリント基板のデカップリング・コンデンサの効果は低くなります。制限は FPGA に関して生じる寄生インダクタンスに起因しますが、これは、コンデンサのマウンティング・インダクタンス、プリント基板のスプレディング・インダクタンス、ボール・グリッド・アレイ (BGA) ビアのインダクタンス、およびパッケージの寄生インダクタンスで構成されます。この PDN ツールでは、これらのすべての寄生成分がモデル化され、プリント基板のデカップリング・コンデンサの効果が正確に把握されます。プリント基板のスプレディング・インダクタンスは分布性を持っていますが、回路トポロジーを単純にするために、すべての寄生成分は集中インダクタおよび抵抗として表現されます。

Z_{TARGET}

オームの法則に従って、ある回路にわたる電圧降下は、その回路を通過する電流および回路のインピーダンスに比例します。PDN 電流の過渡成分によって PDN 内で電圧変動が生じ、ロジックおよびタイミングの問題が発生することがあります。PDN のインピーダンスを下げることにより、過大な電圧変動を抑えることができます。1 つのデザイン・ガイドラインは、ターゲット・インピーダンス Z_{TARGET} です。

Z_{target} は、最大許容電圧リップルと過渡電流を用いて定義され、以下のように計算されます。

式 1-1.

$$Z_{TARGET} = \left[\frac{VoltageRail \cdot \left(\frac{\%Ripple}{100} \right)}{MaxTransientCurrent} \right]$$


例えば、許容される AC リップルが 5%、引き出される最大電流が 2 A の 3.3 V 電源レールを高い信頼性でデカップリングするには、電流の 50% が過渡電流と仮定して、望まれるターゲット・インピーダンスは次のようになります。


式 1-2.

$$Z_{TARGET} = \left[\frac{(3.3)(0.05)}{2 \times 0.5} \right] = 0.165 \Omega$$

ある電源レールについて Z_{target} を正確に計算するには、以下の情報を知る必要があります。

- 検討中の電源レールから電力を供給されるシステム内のすべてのデバイスに対する最大過渡電流要件。この情報は、それぞれのデバイスのメーカーから入手することができます。最大合計電流および過渡電流パーセントを使用して、デバイスの最大過度電流の値を計算できます。

 過渡電流のパーセンテージは、信号パターンに依存します。出力信号パターンは電源レールを使用しているドライバにより異なるので、これは変化します。電源レールの最悪のシナリオを表す値を選択する必要があります。推奨される設定について詳しくは、PDN ツールの Introduction タブの表を参照してください。1-4 ページの表 1-1 に、Stratix IV GX デバイスの PDN ツールを示します。これは Stratix IV GX デバイスの電源レールについて、デフォルトの電源電圧、過渡電流パーセント値の推奨設定、および許容電圧リップルを示します。

 アルテラの PowerPlay Early Power Estimator (EPE) ツールまたは Quartus II PowerPlay Power Analyzer ツールを使用すると、アルテラ・デバイスの最大合計電流について更に正確な見積もりを得ることができます。ターゲットのアルテラ・デバイスに対する EPE ツールは、「PowerPlay Early Power Estimator (EPE) and Power Analyzer」からダウンロードできます。

- 電源レールの最大許容 AC リップル（電源電圧に対するパーセントとして）。最大許容 AC リップルは各種の電源レールによって異なります。電源レールの推奨最大許容 AC リップルの詳細については、PDN ツールの Introduction タブ内の表を参照してください。1-4 ページの表 1-1 に、Stratix IV GX デバイスの電源レールのリップル情報を示します。

表 1-1. Stratix IV GX デバイスの電源レールについての設定 (注 1)

レール名	電圧 (V)	許容リップルのパーセント値 (±)	過渡電流パーセント値 (%)	説明
VCC	0.9 V	5%	50%	コア
VCCIO	1.2 V - 3.0 V	5%	50%	I/O バンク
VCCPD	2.5 V	5%	50%	I/O プリドライバ
VCCA_PLL	2.5 V	3%	20%	PLL (アナログ)
VCCD_PLL	0.9 V	3%	20%	PLL (デジタル)
VCC_CLKIN	2.5 V	5%	50%	差動クロック入力
VCCR	1.1 V	3%	30%	XCVR RX (アナログ)
VCCT	1.1 V	3%	30%	XCVR TX (アナログ)
VCCA	3.0 V	5%	10%	XCVR 高圧電源
VCCH_GXB	1.5 V	3%	10%	XCVR I/O バッファ・ブロック
VCCL_GXB	1.1 V	3%	20%	XCVR クロック・ブロック
VCCHIP	0.9 V	5%	50%	PCIe Hard IP (デジタル)
VCCPT	1.5 V	3%	20%	プログラマブル・パワー・テクノロジー
VCCAUX	2.5 V	3%	20%	プログラマブル・パワー・テクノロジー予備

表 1-1 の注：

(1) 電源レールの機能について詳しくは、選択したデバイス・ファミリのピン接続ガイドラインを参照してください。

F_{EFFECTIVE}

1-2 ページの 図 1-1 に示すように、コンデンサは、パワーとグラウンドの間にインピーダンスが最も小さい経路を与えることにより、PDN のインピーダンスを低下させます。高周波におけるコンデンサのインピーダンスは、その寄生成分 (ESL および ESR) によって決まります。プリント基板取り付けコンデンサの場合、寄生成分にはコンデンサ自体の寄生成分だけでなく、マウンティング、プリント基板のスプレディング、およびパッケージに関連する寄生成分も含まれます。したがって、プリント基板のコンデンサの寄生成分は、一般に、パッケージ上のデカップリング・コンデンサやダイ上のキャパシタンスの寄生成分よりも大きくなります。プリント基板のコンデンサを使用したデカップリングは、高周波では無効になります。有効範囲を超える周波数で PDN のデカップリングにプリント基板コンデンサを使用しても、PDN の性能はほとんど改善されず、部品 (BOM) コストが増大します。

このリリースの PDN ツールは、プリント基板デカップリングの過剰設計を抑えるのに役立つように、もう 1 つのガイドラインとして推奨するプリント基板のデカップリング設計カットオフ周波数 ($F_{EFFECTIVE}$) を提供します。これは、プリント基板、パッケージおよびダイの寄生成分を使用して計算されます。ユーザーに必要なのは、 $F_{EFFECTIVE}$ までの範囲で Z_{EFF} を Z_{TARGET} 以下に保つプリント基板デカップリングを設計することだけです。

PDN ツールの主なタブ

図 1-2 は、PDN ツール・スプレッドシートのタブを示しています。PDN ツールのタブの説明を表 1-2 に示します。

図 1-2. PDN ツールのタブ

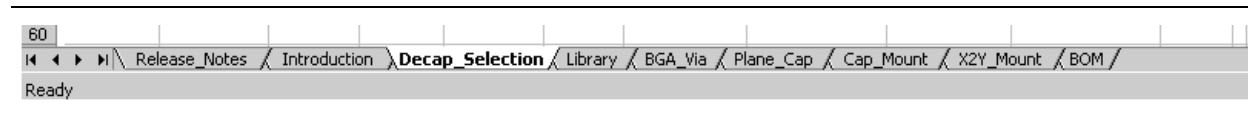


表 1-2. PDN ツールのタブ

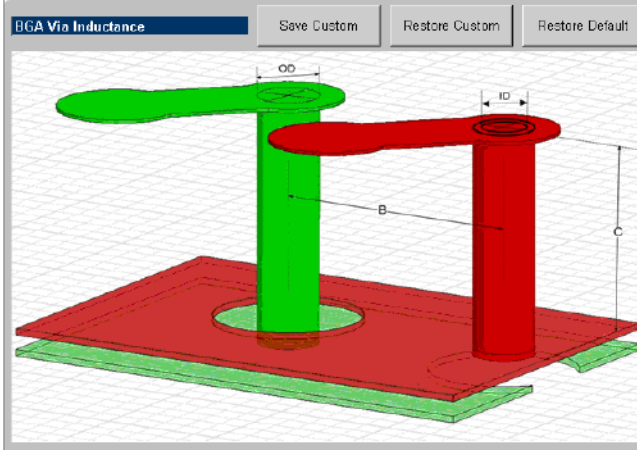
タブ	説明
Release Notes	このタブには、法的な免責事項、ツールの改訂履歴、およびユーザーの同意が記載されています。
Introduction	このタブには、PDN ツールの一部としてモデル化された回路の略図が示されています。このタブには、クイック・スタートの説明、いくつかの電源レールに対する推奨設定、および各種の電源接続方式でのデカップリング設計手順の簡単な説明などの関連情報も示されています。
Decap Selection	このタブには、さまざまなパラメータを入力し、結果として得られるインピーダンス・プロファイルを観察するためのインタフェースが設けられています。これは、ツールの主要なユーザー・インタフェースです。
Library	このタブは、他のタブから呼び出されるさまざまなライブラリ（コンデンサ、誘電体材料など）を指します。ユーザーは、このライブラリの一部として列記されたデフォルト値を変更できます。
BGA Via	このタブは、デザイン固有のビア・パラメータおよびビアの数に基づき BGA マウンティング・インダクタンスを計算するインタフェースを提供します。
Plane Cap	このタブは、デザイン固有のパラメータに基づきプレーン・キャパシタンスを計算するインタフェースを提供します。
Cap Mount	このタブは、コンデンサの 2 通りの向き（Via on Side [VOS]（側面のビア）、および Via on End [VOE]（両端のビア））についてコンデンサのマウンティング・インダクタンスを計算するためにデザイン固有のパラメータを入力するインタフェースを提供します。
X2Y Mount	このタブは、X2Y タイプのコンデンサについてコンデンサのマウンティング・インダクタンスを計算するためにデザイン固有のパラメータを入力するインタフェースを提供します。
BOM	このタブには、ターゲット・インピーダンスを満たすために必要なコンデンサの最終的な個数のまとめが示されます。

任意の電源について、それぞれのタブにデザイン固有の情報を入力し、非常に正確な PDN プロファイルを得ることができます。以下の項では、ツールの主なタブについて説明します。

BGA Via

BGA Via タブは、BGA ピン・フィールドの下の垂直ビアのループ・インダクタンスを計算するために使用します。図 1-3 は、ツールから取ったスナップショットです。

図 1-3. BGA Via タブ



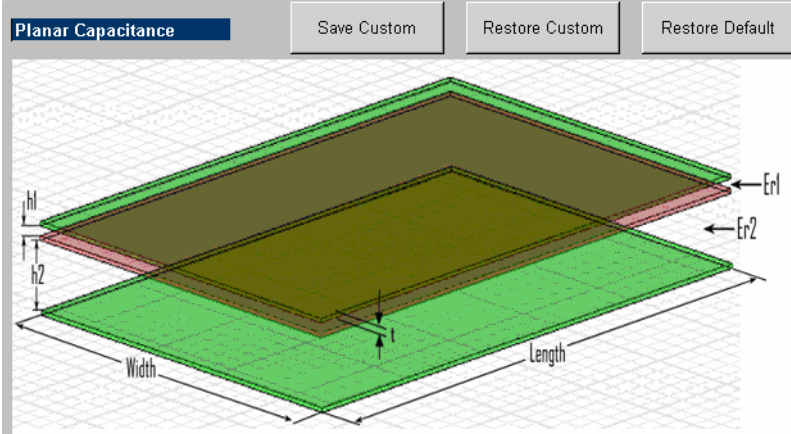
BGA Via Inductance	Symbol	Unit	Value
Via drill outer diameter	OD	mils	12
Via drill inner diameter	ID	mils	10
Via pitch	B	mils	50
Via length	C	mils	45.9
Number of BGA PWR/GND via pairs			38
Linear inductance	Llin	nH	0.0215
Via inductance	Lvia	nH	0.9313
Via resistance	Rvia	mΩ	8.1739
Effective via inductance	Lvia eff	nH	0.0261
Effective via resistance	Rvia eff	mΩ	0.2151

このタブは、ビアの直径、ビアの長さ、ビアのピッチ、BGA の下のパワー/グラウンド・ビア・ペアの数などのレイアウト固有の情報を取り込み、ビアの実効ループ・インダクタンスおよび抵抗値を計算します。タブに対して行った変更の保存、変更の復元、およびデフォルト設定への復元を行うことができます。

Plane Cap

Plane Cap タブは、平行板コンデンサの式を用いてパワー・プレーンとグランド・プレーン間に生じる分布プレーン・キャパシタンス（単位：マイクロ・ファラッド・）を計算するために使用します。図 1-4 は、**Plane Cap** タブを示しています。

図 1-4. Plane Cap タブ



Planar Capacitance	Symbol	Unit	Value
Plane length	Length	mils	15000
Plane width	Width	mils	11000
Metal thickness	t	mils	1.2
Height to 1st GND plane	h1	mils	2.700
Height to 2nd GND plane	h2	mils	18.600
Dielectric material 1	Er1	FR4	4.00
Dielectric material 2	Er2	FR4	4.00
Plane capacitance 1	C1	μF	0.0550
Plane capacitance 2	C2	μF	0.0080
Total planar capacitance	Ctotal	μF	0.0630
Total sheet resistance	Rtotal	Ω	0.0019

ユーザーは、このデザイン固有の内容、例えば使用したプレーンの寸法、誘電体材料、プレーンの構造などを入力することができます。ツールはプレーン・キャパシタンスの値を計算します。カスタム値の保存、カスタム値の復元、およびデフォルト設定の復元を行うことができます。

Cap Mount

図 1-5 に示す **Cap Mount** タブは、デカップリング・コンデンサから見たコンデンサのマウンティング・インダクタンスを計算するために使用します。

図 1-5. Cap Mount タブ

			0201		0402		0603		0805		1206	
CAP Mounting Inductance	Symbol	Unit	VOS	VOE	VOS	VOE	VOS	VOE	VOS	VOE	VOS	VOE
Space between pads	Gap	mils	11.8	11.8	19.5	19.5	31.5	31.5	47.2	47.2	79.7	79.7
Width of pads	Width	mils	9.8	9.8	15.7	15.7	23.6	23.6	39.4	39.4	47.2	47.2
Pitch between traces	Pitch	mils	30	31.5	36	65.1	44	78.7	80	98.4	67	157.5
Metal thickness	t	mils	0.5	0.5	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6
Height above reference plane	h	mils	3.5	3.5	3.5	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Trace length	A	mils	20	20	20	20	20	20	20	20	20	20
Trace width	W	mils	20	20	20	20	20	20	20	20	20	20
Via radius (half of drill size)	r	mils	5	5	5	5	5	5	5	5	5	5
Via pitch	B	mils	30	71.5	36	95.1	44	118.7	60	139.4	67	197.5
Top via length	C1	mils	41.1	41.1	41.1	41.1	41.1	41.1	41.1	41.1	41.1	41.1
Bottom via length	C2	mils	6	6	6	6	6	6	6	6	6	6
Power plane dielectric thickness	thk	mils	2.7	2.7	2.7	2.7	2.7	2.7	2.7	2.7	2.7	2.7
Cap mounting inductance - Top	Ltop	nH	1.35	1.72	1.38	1.89	1.44	2.00	1.53	1.96	1.80	2.25
Cap mounting inductance - Bottom	Lbot	nH	0.71	0.77	0.68	0.84	0.66	0.86	0.64	0.78	0.67	0.94

コンデンサ・マウンティングの計算は、デカップリング・コンデンサが 2 端子デバイスであるという仮定に基づいています。コンデンサ・マウンティングの計算は、実装面積が 0201、0402、0603、0805、1206 などの、どの 2 端子コンデンサにも適用できます。ユーザーが現在のレイアウトに関連するすべての情報を入力すると、ツールにより、ボードの上層または下層のどちらかに取り付けられたコンデンサのマウンティング・インダクタンスが示されます。ユーザーは、レイアウトに応じて VOE (Via on End) または VOS (Via on Side) を選択し、正確なコンデンサのマウンティング・インダクタンスの値を得ることができます。

通常の 2 端子コンデンサまたは X2Y コンデンサ以外の実装面積のコンデンサをデカップリングに使用する場合は、**Cap Mount** タブを使用せずに、コンデンサの寄生成分およびマウンティング・インダクタンスを直接 **Library** タブ (Library の **Decoupling Cap** セクション内にある **Custom** フィールド) に入力することができます。その他のタブと同様、タブに対して行った変更の保存、変更の復元、およびデフォルト設定への復元を行うことができます。

X2Y Mount


図 1-6 に示す X2Y Mount タブは、X2Y デカップリング・コンデンサから見たコンデンサのマウンティング・インダクタンスを計算するために使用します。

図 1-6. X2Y Mount タブ


X2Y Cap Mounting Inductance

Save Custom
Restore Custom
Restore Default

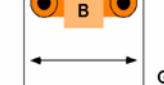
A (B) vias:
A via pair / B via pair
ctr - ctr spacing

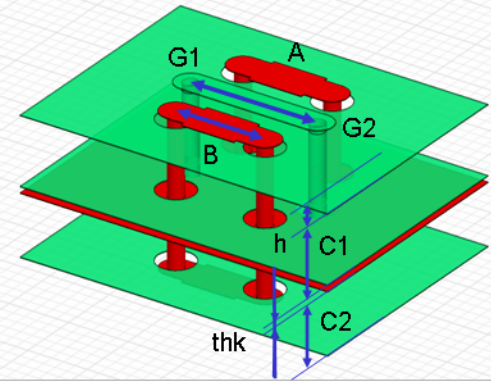


G-A (B) vias:
Y axis ctr-ctr
spacing
G1 / G2 to A,
G1 / G2 to B



G Vias:
G1/G2 ctr - ctr spacing





* Refer to figures below for detailed pad layout and dimensions
 * Mounting inductance values for 'h' > 13.2mils are extrapolated

X2Y CAP Mounting Inductance	Units	0603	0805	1206	1210
Metal Thickness (t)	mils	0.60	0.60	0.60	0.60
Height above reference plane (h)	mils	3.60	3.60	3.60	3.60
Pad to Via trace width (W)	mils	20.00	20.00	20.00	20.00
Via radius (half of drill size) - r	mils	5.00	5.00	5.00	5.00
Center to Center Spacing (G1 - G2) Vias	mils	90.00	80.00	120.00	160.00
Center to Center Spacing (A - B) Vias	mils	60.00	80.00	120.00	160.00
Long Axis spacing between G1/G2 and A/B Vias	mils	26.00	30.00	30.00	30.00
Top Via Length (C1)	mils	60.0	60.0	60.0	60.0
Bottom via length (C2)	mils	15.0	15.0	15.0	15.0
Power plane dielectric thickness (thk)	mils	2.7	2.7	2.7	2.7
X2Y Cap mounting inductance - Top	nH	0.400	0.334	0.375	0.428
X2Y Cap mounting inductance - Bottom	nH	0.170	0.158	0.166	0.275

ユーザーが現在のレイアウトに関連するすべての情報を入力すると、ツールにより、ボードの上層または下層のどちらかに取り付けられた X2Y コンデンサのマウンティング・インダクタンスが示されます。その他のタブと同様、タブに対して行った変更の保存、変更の復元、およびデフォルト設定への復元を行うことができます。

Library

Library タブには、その他のタブの中で参照されるすべてのデバイス・パラメータが格納されています。図 1-7 に、Library タブを示します。

図 1-7. Library タブ

The screenshot shows the Library tab interface with several data tables:

- Decoupling Cap (μF)**: A large table with columns for capacitor values (0.001 to 4.7) and their ESR (Ω) and ESL (nH) for various packages (0201, 0402, 0603, 0805, 1206, Custom).
- Bulk Cap (μF)**: A table with columns for capacitor values (10 to 470) and their ESR (Ω) and ESL (nH) for Bulk and Custom types.
- BGA Via & Plane Cap**: A table with columns for BGA Via and Plane Cap values and their ESR (Ω), ESL (nH), and C (uF).
- VRM**: A table with columns for VRM types (Ignore, Linear, Switcher, Custom) and their ESR (Ω) and ESL (nH).
- Spreading R and L**: A table with columns for Spreading R and L types (Ignore, Low, Medium, High, Custom) and their Rs (Ω) and Ls (nH).
- Dielectric Material**: A table with columns for material types (FR4, Nelco 4000-6, etc.) and their Er values.
- X2Y Caps**: A table with columns for capacitor values (0.001 to 0.1) and their ESR (Ω) and ESL (nH) for various packages (0603, 0805, 1206, 1210).

Note: Default capacitor ESR and ESL values have been derived using Spice tools provided by various device vendors. These tools may be obtained directly from the vendors' website, a few of which are listed here: www.kemet.com, www.avx.com, www.murata.com, www.vishay.com, and www.yageo.com among others. All other default values are typical values only. For best accuracy, default values may be overridden and saved with custom values determined by the user.

このタブは、以下のセクションに分かれています。

- 2端子デカップリング・コンデンサ（高／中周波）
- X2Y デカップリング・コンデンサ（高／中周波）
- バルク・コンデンサ（中／低周波）
- BGA ビアおよびプレーン・キャパシタンス
- VRM ライブラリ
- スプレディング R、L 寄生成分
- 誘電体材料ライブラリ

ユーザーは、デザインの特定の要求を満たすために、各セクションに列記されているデフォルト値を変更することができます。

2 端子デカップリング・コンデンサ

デカップリング・コンデンサのセクションには、実装面積が異なる各種の2端子コンデンサ（0201、0402、0603、0805、および1206）に対するESRとESLのデフォルト値が入力されています。デフォルト値を変更するか、ユーザーがよく使用する独自のカスタム値を **Custom** フィールドに入力することもできます。ツールに用意されていない実装面積のコンデンサを使用する場合は、**Custom** フィールドを使用して、コンデンサの寄生成分および対応するマウンティング・インダクタンスを入力する必要があります。

デカップリング・コンデンサのセクションには、ユーザー定義コンデンサ（User1、...、User4 など）のためのオプションも設けられています。さまざまな実装面積に対してESRおよびESL寄生成分を定義し、**Decap Selection** タブに対応するコンデンサの値を入力することができます。コンデンサの値を定義するときに、対応する実装面積を選択します。

バルク・コンデンサ

バルク・コンデンサのセクションには、中/低周波で電源のデカップリングに一般的に使用されるコンデンサの値が入力されています。デザイン固有のパラメータを反映させるためにデフォルト値を変更できます。

X2Y デカップリング・コンデンサ

X2Y デカップリング・コンデンサのセクションには、実装面積が異なる各種のX2Yコンデンサ（0603、0805、1206、および1210）に関するESRとESLのデフォルト値が入力されています。ESRとESLのデフォルト値をユーザーがよく使用する独自のカスタム値で置き換えることもできます。

BGA ビアおよびプレーン・キャパシタンス

BGA ビアおよびプレーン・キャパシタンスのセクションには、デザイン固有の情報が入手できない場合、配置前の段階でBGAおよびプレーン・キャパシタンスの欄に実効ビア・ループ・インダクタンスの値を直接入力するオプションが用意されています。

デザイン固有の情報にアクセスできる場合は、このセクションを無視して、デザイン固有の情報を **Plane Cap** および **BGA Via** タブに入力し、プレーン・キャパシタンスとBGAビア寄生成分をそれぞれ計算することができます。

VRM ライブラリ

VRM セクションには、リニア・レギュレータとスイッチング・レギュレータの両方に対するデフォルト値が入力されています。ユーザーは、**Linear/Switcher** の行に列記されているVRM寄生成分を変更するか、またはそのデザインに関係するVRMについてカスタムの寄生成分を **Custom** フィールドに追加することができます。

スプレッドディング R、L 寄生成分

スプレッドディング R、L ライブラリには、PDN 設計の品質に基づき、FPGA に関してデカップリング・コンデンサから見た実効スプレッドディング・インダクタンスのデフォルト値に関するさまざまなオプションがあります。PDN ネットワークが最適設計されている場合、実効スプレッドディング・インダクタンスの **Low** 値を選択することができます。PDN の最適設計には、以下のデザイン・ルールの実施が含まれます。

- 特定の電源について、薄い誘電体層をはさむ広いソリッドなパワー／グラウンド・プレーンが設けられたプリント基板積層。これにより、電流ループが最小限に抑えられ、その結果、スプレディング・インダクタンスが低減されます。パワー／グラウンド・ペアの間の誘電体材料の厚さは、FPGA に関してデカップリング・コンデンサから見たスプレディング／ループ・インダクタンスの大きさに直接影響します。
- 電氣的な観点から、コンデンサを FPGA により近接させて配置。
- デカップリング・コンデンサから FPGA デバイスまでの電流経路内で、パワー／グラウンド・サンドイッチ中のビア・ホールを最小限に抑える。

レイアウトおよびデザイン制約のために PDN の設計は最適にならない場合があります。この場合、スプレディング R および L の値について、**Medium** または **High** のどちらかを選択することができます。デフォルト値を変更するか、またはデザインの固有のライブラリに列記されている **Custom** フィールドを使用することもできます。

誘電体材料ライブラリ

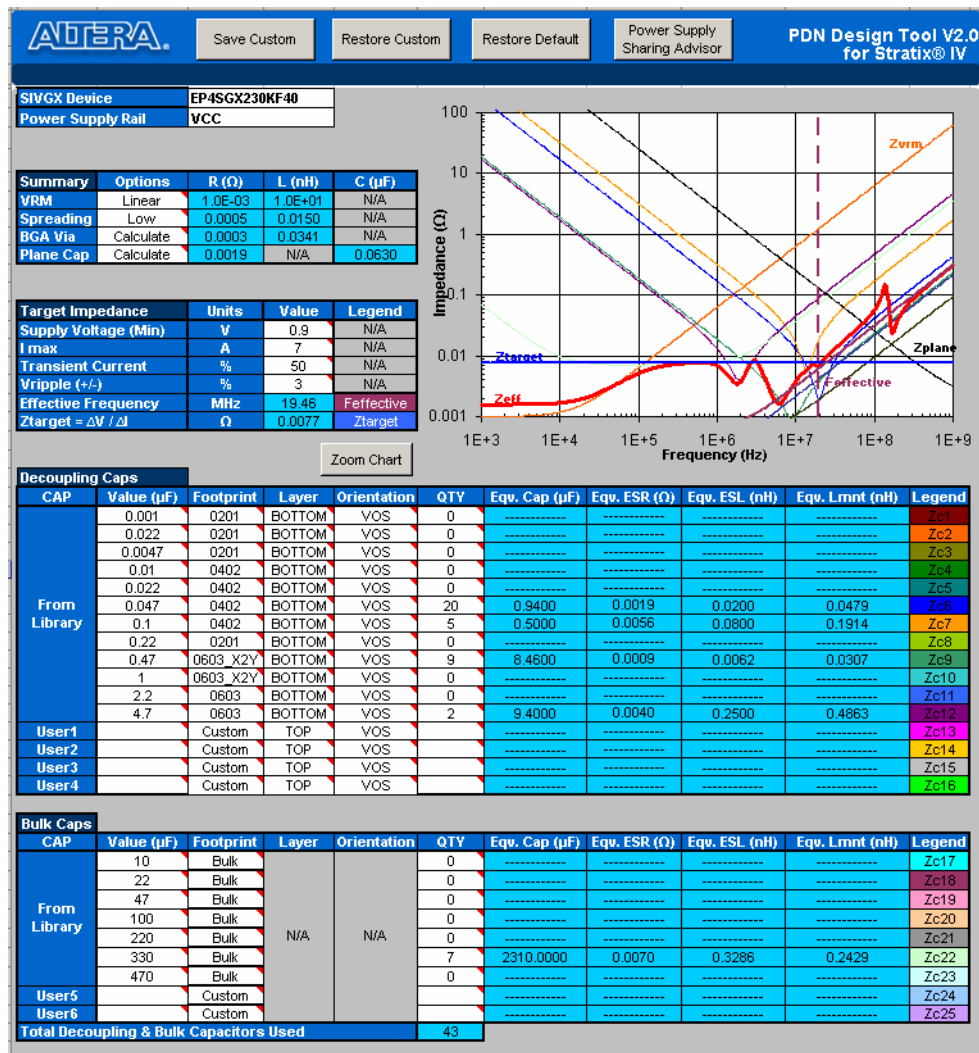
誘電体材料のセクションには、一般的に使用される各種の誘電体材料について比誘電率の値が入力されています。これらの値は、**Plane Cap** タブの下にリストされ、プレーン・キャパシタンスの計算に使用されます。ユーザーは、このセクションにリストされている値を変更できます。

Library タブの各セクションにリストされているデフォルト値を変更した場合は、**Save Custom** をクリックして、変更内容を保存することができます。**Library** ページの右上隅にある **Restore Default** をクリックすると、デフォルトのライブラリを復元できます。**Restore Custom** をクリックして、保存されたカスタム・ライブラリを復元することもできます。

Decap Selection

図 1-8 に示す **Decap Selection** タブは、ユーザーがプリント基板のデカップリング設計について解析を実行する主要なタブです。ここに示すユーザー・インターフェイスは、Stratix IV デバイス・ファミリの PDN ツールからです。

図 1-8. Decap Selection タブ



このタブは、以下のセクションに分かれています。

- デバイス／電源レールの情報
- コンポーネントのパラメータ設定
- 電氣的パラメータおよびデザイン・ガイドライン
- デカップリング・コンデンサ（高／中周波）
- デカップリング・コンデンサ（バルク）
- ZEFF プロット

デバイス／電源レールの情報

作業を行うデバイス／電源レールをこのフィールドで選択します。対応するセルをクリックすると、ツールでサポートされるアルテラ・デバイス・ファミリーで使用可能なデバイスおよび電源レールの名前が入ったプルダウン・メニューが表示されます。ツールは、選択されたデバイス／電源レールの組み合わせを検証します。無効な組み合わせが選択された場合、このフィールドの下に警告が表示されます (図 1-9)。

図 1-9. デバイス／電源レールの情報



コンポーネントのパラメータ設定

図 1-10 に示すように、PDN ネットワークについて以下のコンポーネントをイネーブまたはディセーブすることができます。

図 1-10. PDN コンポーネントのパラメータ設定

Summary	Options	R (Ω)	L (nH)	C (μ F)
VRM	Linear	1.0E-03	1.0E+01	N/A
Spreading	Low	0.0005	0.0150	N/A
BGA Via	Calculate	0.0002	0.0261	N/A
Plane Cap	Calculate	0.0019	N/A	0.0630

PDN コンポーネントの説明を表 1-3 に示します。

表 1-3. PDN コンポーネントのパラメータ (その 1)

パラメータ	説明
VRM	このコンポーネントをディセーブするには、 Ignore を選択します。VRM の寄生成分をイネーブするには、 Linear 、 Switcher 、または Custom を選択します。
Spreading	<p>ユーザーはデザインに基づいて、FPGA に関してデカップリング・コンデンサから見た実効スプレディング R、L の値について Low、Medium、High、または Custom 値のどれかを選択できます。Ignore を選択することにより、スプレディング・インダクタンスを無視することもできます。スプレディング・インダクタンスを無視すると、楽観的な結果が得られ、FPGA が検出するインピーダンス・プロファイルの正確な表現にはなりません。</p> <p>Ignore (無視) オプションは、プリント基板の観点から、高周波での FPGA のデカップリングに対して、スプレディング・インダクタンスと BGA ビア・インダクタンスの組み合わせが制限要因であることをユーザーが理解するのに役立ちます。コンデンサの最終個数を求める際に、Ignore オプションを選択する場合は十分注意してください。</p>

表1-3. PDN コンポーネントのパラメータ (その 2)

パラメータ	説明
BGA Via	ユーザーはデザインに基づいて、BGA ビア・コンポーネントを Ignore （無視）するか、レイアウトに応じて実効ビア・インダクタンスを Calculate （計算）することができます。レイアウトの途中では、 Library タブで実効ループ R、L ビア寄生成分を直接入力し、 BGA Via で Custom 設定を選択して、ビア寄生成分を含めることができます。
Plane Capacitance	ユーザーはデザインに基づいて、パワー・プレーンとグランド・プレーン間のプレーン間キャパシタンスを Ignore （無視）するか、レイアウトに応じてプレーン・キャパシタンスを Calculate （計算）することができます。レイアウトの途中では、 Library タブでプレーン・キャパシタンスを直接入力し、 Plane Cap で Custom 設定を選択して、プレーン・キャパシタンス寄生成分を含めることができます。

電気的パラメータおよびデザイン・ガイドライン

PDN ツールは、このフィールドへのユーザー入力に基づいて Z_{TARGET} を計算します。PDN ツールでは、プリント基板積層数および電源レール情報に基づいて得られる $F_{EFFECTIVE}$ も表示されます（図 1-11）。計算手順の詳細については、1-2 ページの「**ZTARGET**」および 1-4 ページの「**FEFFECTIVE**」に説明があります。

図 1-11. 電気的パラメータおよびデザイン・ガイドライン

Target Impedance	Units	Value	Legend
Supply Voltage (Min)	V	1.8	N/A
I max	A	1	N/A
Transient Current	%	50	N/A
Vripple (+/-)	%	3	N/A
Effective Frequency	MHz	70.00	Effective
Ztarget = $\Delta V / \Delta I$	Ω	0.1080	Ztarget

以下の情報を入力する必要があります。

- 電源電圧（最小値）
- I_{MAX}
- 過渡電流（%）
- 許容電圧リップルのパーセント値（±）

ツールは、次に、関連フィールドからのユーザー入力に基づいて Z_{TARGET} を計算し、その結果を下の欄に表示します。

デカップリング・コンデンサ（高／中周波）

ユーザーは、中～高周波でターゲット・インピーダンスを達成するために、実装面積、層、および方向に基づいて 2 端子および X2Y タイプの各種デカップリング・コンデンサを選択できます。X2Y コンデンサのキャパシタンス値は、2 端子コンデンサのキャパシタンス値と異なる場合があります。キャパシタンスと実装面積の組み合わせについて間違った選択をすると、「Wrong Footprint（実装面積が正しくありません）」という警告メッセージが表示されます。X2Y タイプのコンデンサでは、ビアの

位置が対称的なので、VOE と VOS のオプションはマウンティング・インダクタンスに影響を与えません。ユーザーは、デザイン固有の高/中周波デカップリングに必要なカスタムのコンデンサ値 (User1、...、User4) の定義を選択することもできます。このタブではコンデンサ寄生成分 (ESR および ESL) の変更はできません。変更は **Library** タブ内でのみ可能です。

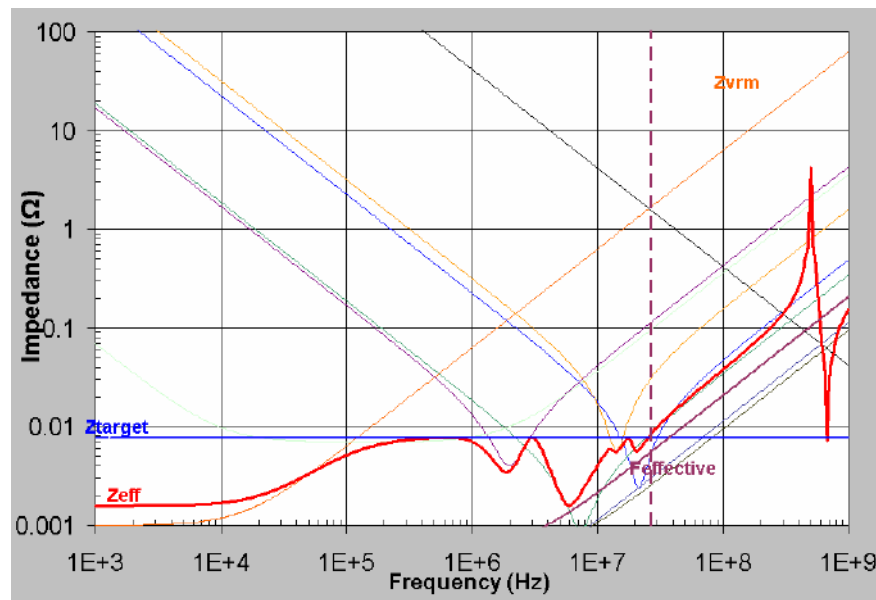
デカップリング・コンデンサ (バルク)

ユーザーは、低～中周波のデカップリングの必要性に対して実装面積に基づいて希望するバルク・コンデンサを選択できます。**Library** タブ内では、バルク・デカップリング・コンデンサの寄生成分の変更と、デザイン固有のマウンティング・インダクタンスの定義だけを行うことができます。ユーザーは、デザイン固有の低/中周波デカップリングのためにカスタムのコンデンサ値 (User5 および User6) の定義を選択することもできます。

Z_{EFF} プロット

アルテラ・デバイスが遭遇する実効インピーダンスを図 1-12 に示します。このプロットには、コンデンサ、VRM、BGA ビアなどの PDN システム内のコンポーネントのインピーダンス・プロファイルとともに、 Z_{TARGET} や $F_{\text{EFFECTIVE}}$ などの、その他の情報も表示されます。関連するパラメータが変更されると、プロットは自動的に更新されます。

図 1-12. Z_{EFF} プロット

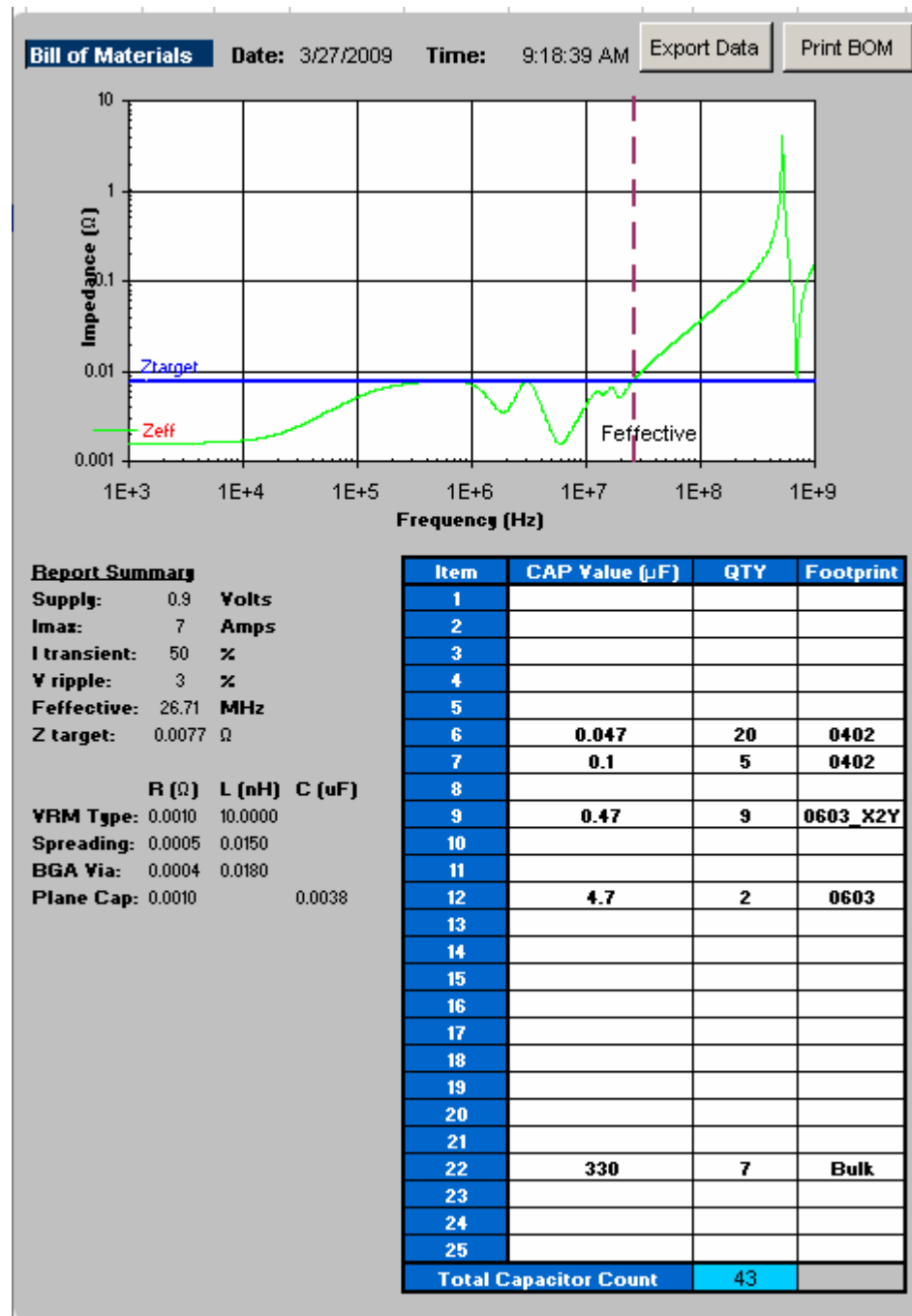


その他のタブと同様に、特定の一組の仮定に対してコンデンサの最終個数およびその他の設定を保存および復元できます。デフォルト設定に戻す柔軟性も備えています。

BOM

図 1-13 に、**BOM** タブを示します。

図 1-13. BOM タブ



解析が完了すると、右上隅にある **Print BOM** をクリックすることにより、最終的な Z_{EFF} プロファイルおよびそのプロファイルを実現するためのコンデンサの個数を印刷することができます。デフォルトの印刷先は、**File/Print** メニューで指定されたデフォルト・プリンタになります。**Export Data** をクリックすることにより、データを **.xls** ファイルとしてエクスポートすることもできます。

PDN ツールを使用したプリント基板デカップリングの設計

プリント基板デカップリングでは、パッケージおよびダイ上のコンデンサが PDN デカップリングの代わりにする周波数まで、適切に選択されたプリント基板コンデンサの組み合わせによって PDN の Z_{EFF} が Z_{TARGET} よりも低く保たれます。この項では、さまざまな電源ルール・コンフィギュレーションにおいて PDN ツールを使用してプリント基板デカップリングを設計する手順を説明します。また、この項では Stratix IV デバイス PDN ツールを使用して、デザイン例を提供します。

配置前の説明

PDN ツールは、デザインの段階に関係なく、堅牢な電源供給ネットワークの設計に必要なコンデンサの個数と種類について正確な見積もりを示します。ただし、結果の正確さは、各種パラメータのユーザー入力に大きく依存します。

ボード積層数の最終決定が終了し、ユーザーがボード・データベースおよびレイアウト情報にアクセスできる場合は、タブを通じて必要な情報を入力し、正確なデカップリング方法を決定できます。

デザイン・サイクルの配置前段階で、ボード積層数とボード・レイアウトについて具体的な情報がない場合は、積層数、プレーン・サイズ、コンデンサの個数、コンデンサの向きなどの重要なデザイン・パラメータを最終決定する際に、以下の項の説明に従ってソリューションのスペースを探索することができます。

配置前段階では、レイアウト情報がない場合、**Plane Cap** および **Cap Mount** タブを無視して直接 **Library** タブに入ることができます。図 1-14 は、Library タブ内でユーザーが各種パラメータの入力に使用するフィールドを示します。使用可能な場合、図 1-14 に示す値を **Library** タブに入力します。デフォルト値を使用するには、直接 **Decap Selection** タブに入り、解析を開始します。

図 1-14. Library タブのフィールド

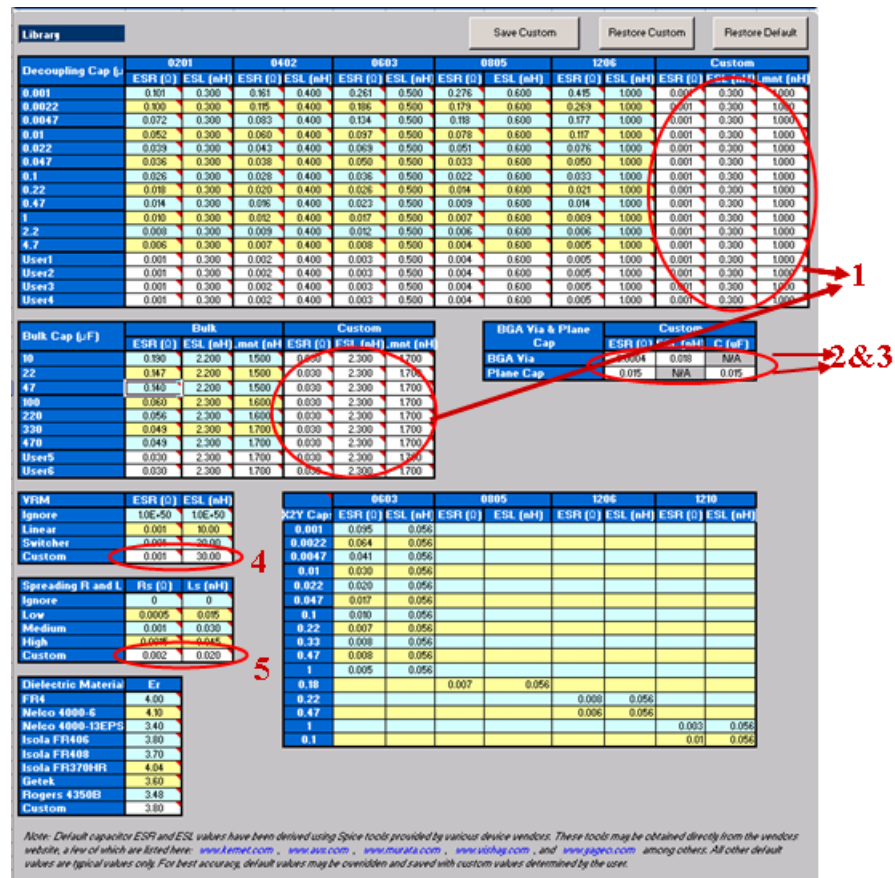


図 1-14 の注：

番号は、以下のステップ 1、2、3、4、5 に対応しています。

- (1) コンデンサの ESR、ESL、および Lmnt の値を **Custom** の下のフィールドに入力します。
- (2) デカップリングする電源に対する BGA ビア（ループ）の実効寄生成分を入力します。
- (3) その電源についてボード上のパワー・プレーンとグランド・プレーンのペアから見たプレーン・キャパシタンスを **Plane Cap** の行に入力します。
- (4) 使用可能な場合、VRM 寄生成分を **Custom** の行に入力します。
- (5) デカップリング・コンデンサから見た実効スプレディング・インダクタンスを **Custom** の行に入力します。

単一レールのシナリオにおけるデカップリングの導出

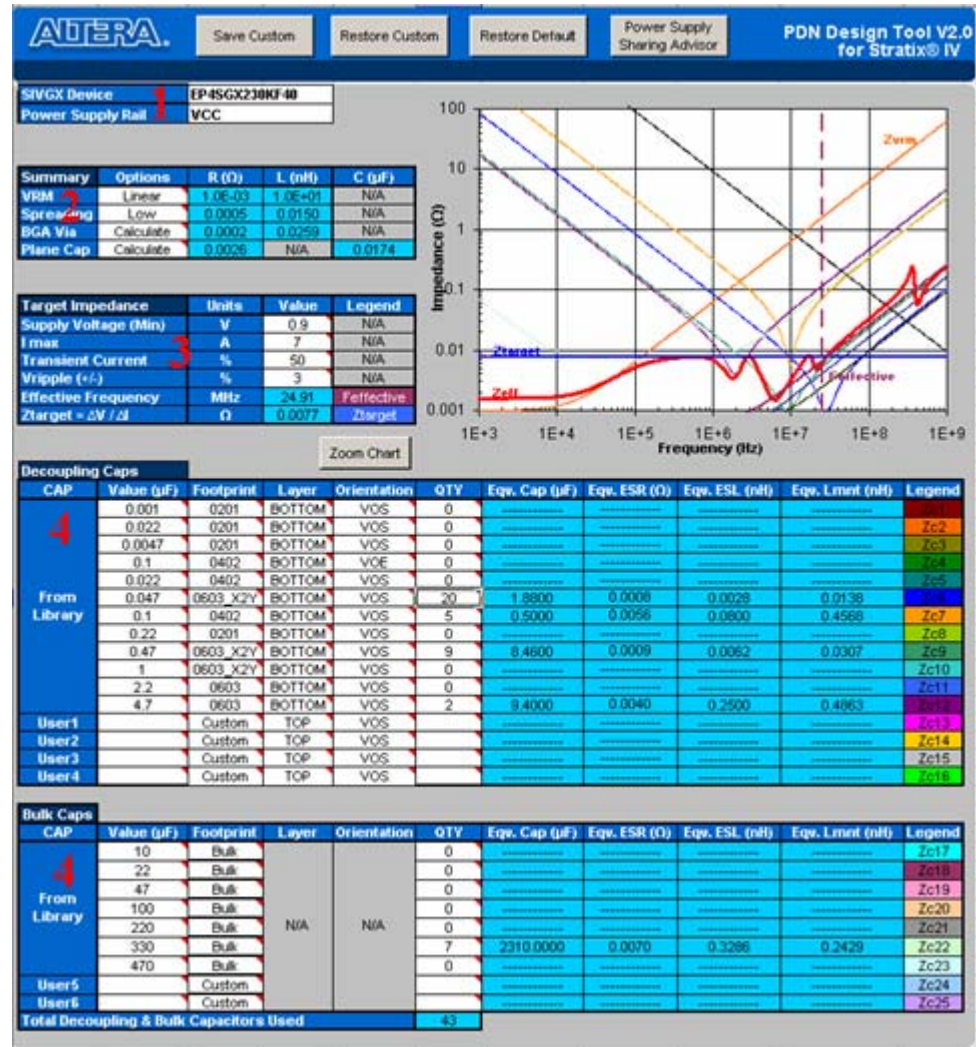
単一レールのシナリオでは、電源は FPGA デバイス上の 1 つの電源レールだけに接続されます。単一レールの過渡電流により PDN のノイズが発生します。選択されたレールだけに関連するパラメータに基づいて Z_{TARGET} および $F_{EFFECTIVE}$ を求めます。

以下のステップに従って、希望するコンデンサの組み合わせを求めます。

1. 対象とするデバイス／電源レールを選択します。
2. PDN コンポーネントに関するパラメータ設定を選択します。
3. Z_{TARGET} および $F_{EFFECTIVE}$ を設定する電気的パラメータを入力します。
4. プリント基板デカップリングの方法を決定します。

図 1-15 の赤色の番号は、上記の各ステップで作業対象となるフィールドを示します。これらのフィールドについて詳しくは、1-13 ページの「Decap Selection」を参照してください。

図 1-15. 単一レールのデザインにおける Decap Selection タブ



ユーザーが BGA ビアについて **Calculate** (計算) オプションを選択している場合、PDN ツールはステップ 2 で、**BGA Via** タブ内で計算されたインダクタンスおよび抵抗の値を使用します。パラメータが正しくないと、導出されるデカップリング・デザインに悪影響があることがあります。これらの値は、**BGA Via** タブに入力したパラメータを使用して計算されます。**BGA Via** タブで入力した数値、特に BGA パワー・ビア・ペアの数と長さが、ステップ 1 で選択した電源レールの設定と一致していることを確認する必要があります。

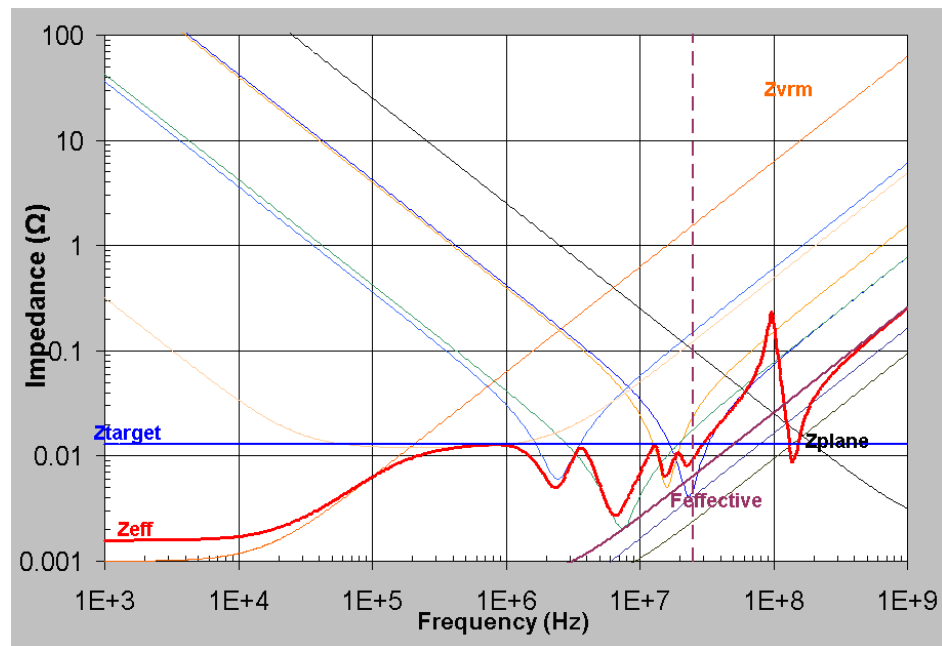
ステップ 3 では、適切なデカップリング・ガイドライン (Z_{TARGET} および $F_{EFFECTIVE}$) を得るために入力するパラメータについて適切な見積もりを行う必要があります。これらのガイドラインは最悪のシナリオに基づいて決める必要がありますが、悲観的な設定では実現が困難なガイドラインができあがり、プリント基板デカップリングが過剰設計になります。選択された電源レールに対して推奨される過渡電流および最大許容電圧リップルのパーセント値の設定については、1-4 ページの表 1-1 を参照してください。

ステップ 4 では、プロットされた Z_{EFF} を $F_{EFFECTIVE}$ まで Z_{TARGET} よりも低く保つために、**Decoupling Capacitor (Mid/High Frequency)** および **Decoupling Capacitor (Bulk)** のフィールドでプリント基板のコンデンサの数と値を調整します。デザイン目標を達成するコンデンサの組み合わせを見つけることができない場合は、ステップ 2 でパラメータの変更を試みることができます。例えば、**BGA_VIA** タブで BGA ビアの長さを小さくすることにより **Calculate** オプションで使った BGA ビアのインダクタンスを小さくし、プレーンのスプレッドイングについて **Low** のオプションを使用します。この変更により寄生インダクタンスが減少し、デカップリングの目標達成が容易になります。スプレッドイングについて **Low** の設定を可能にするために、中～高周波用のプリント基板コンデンサを FPGA に近接して配置する必要があります。また、パワー・プレーンとグランド・プレーンの間の誘電体の厚さを最小限にすることも必要です。

上記の変更で Z_{TARGET} の要件を満たすことができない場合、そのデザインの PDN は、ステップ 3 で入力したパラメータにおいて物理的限界に達している可能性があります。ステップ 3 に戻って、これらのパラメータが悲観的すぎないかどうか再点検する必要があります。

図 1-16 に示すデザインは、S4GX230KF40 の VCC 電源レールに対するデカップリングの一例です。最小電源電圧が 0.9 V、 I_{MAX} が 7 A、過渡電流が I_{MAX} の 50%、および最大許容リップルが電源電圧の 3% であると仮定します。VCC レールには、50 個の電源用 BGA ビアがあります。BGA ビアの長さは、60 ミル (1.52 mm) と仮定します。

PDN ツールで、 Z_{TARGET} が 0.0077 Ω 、および $F_{EFFECTIVE}$ が 24.91 MHz と計算されました。図 1-16 は、設計目標を達成するためにユーザーが選択可能なコンデンサの組み合わせの 1 つを示しています。図 1-16 は、 Z_{EFF} プロットの拡大図です。このプロットに示すように、 Z_{EFF} は $F_{EFFECTIVE}$ まで Z_{TARGET} よりも低く保たれています。多数の組み合わせがありますが、理想的な答えは、 Z_{TARGET} 以下の平坦なインピーダンス・プロファイルを実現するために必要なコンデンサの個数と種類を最小限にすることです。

図 1-16. 図 1-16 のデザインを用いた Z_{eff} の拡大プロット

電源共用シナリオでのデカップリングの導出

FPGA デバイス内で複数の電源レールが同じ電源を共用することは一般に行われている方法です。例えば、同じ電源電圧を必要とする VCCIO、VCCPD、VCCPGM、および VCC_CLKIN レールをプリント基板の同じパワー・プレーンに接続することができます。これは、メモリ・インタフェースの場合などのように、デザインによって要求される場合があります。また、部品コスト低減の必要性から行われることもあります。電源共用シナリオでは、複数のレールから生じる過渡電流によって電源にノイズが発生します。デザイン・フローは、単一電源レール・シナリオとは異なるものになります。

ステップ 1: Z_{TARGET} の導出

Z_{TARGET} の導出は、以下のステップに従って行います。

1. 電源電圧を入力します。
2. 許容電圧リップルとして、共用されるすべての電源レールの中で最小の許容電圧リップルを選択します。
3. I_{MAX} として、すべてのレールの合計電流を使用します。
4. すべてのレールの合計過渡電流をすべてのレールの合計電流で割ることにより、過渡電流のパーセント値を求めます。Transient Current の欄で、割り算して得られた数値に最も近い設定値を選択します。

ステップ2: 対象とするデバイス／電源レールの決定

この電源共有シナリオで対象とするレールとして、 $F_{\text{EFFECTIVE}}$ が最も高い電源レールを選択します。 $F_{\text{EFFECTIVE}}$ は電源レールに関連しており、同じプリント基板の電源に接続された複数の電源レールで異なる可能性があります。プリント基板の電源レールを共有するすべての電源レールを調べ、 $F_{\text{EFFECTIVE}}$ が最も高い電源レールを見つける必要があります。

ステップ3: PDN コンポーネントのパラメータ設定の選択

この電源共有シナリオで、BGA ビア、VRM、プレーンのスプレッドディング、およびプレーン・キャパシタンスに対する PDN パラメータの選択についての考慮事項は、単一レールのシナリオの場合と同じです（1-19 ページの「[単一レールのシナリオにおけるデカップリングの導出](#)」を参照してください）。BGA Via タブに入力した BGA パワー・ビア・ペアの個数と長さが、ステップ2で選択した電源レールに対応していることを確認する必要があります。

ステップ4: プリント基板デカップリングの方法の決定

希望するプリント基板デカップリング方法の決定についての考慮事項および手順は、単一レールのシナリオのステップ4の場合と同じです（1-19 ページの「[単一レールのシナリオにおけるデカップリングの導出](#)」を参照してください）。

このプリント基板パワー・プレーン共有のデザイン例では、S4GX230KF40 デバイスの3つの I/O バンク、 $V_{\text{CCIO}} 7A/7B/7C$ が DDR2 インタフェースで使用されます。これらはプリント基板のパワー・プレーンを共有します。電源電圧は 1.8 V です。最大許容電圧リップルは 3% です。3つのバンクから引き出される電流の合計は 0.7 A になります。過渡電流のパーセント値は、3つのレールのすべてについて 50% に設定します。これらのパラメータを使用して、 Z_{TARGET} は 0.154 Ω と計算されます。

3つの電源レールの $F_{\text{EFFECTIVE}}$ を調べた結果、 $V_{\text{CCIO}} 7A$ が、最も $F_{\text{EFFECTIVE}}$ の高い電源レールであると特定されます。 $V_{\text{CCIO}} 7A$ には4個のパワー・ビアがあります。BGA ビアの長さは、25 ミル (1.52 mm) と仮定します。PDN ツールにより、 $F_{\text{EFFECTIVE}}$ は約 70 MHz と計算されます。

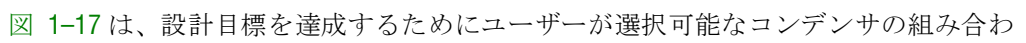
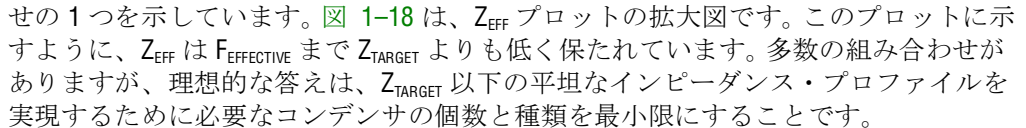
  図 1-17 は、設計目標を達成するためにユーザーが選択可能なコンデンサの組み合わせの1つを示しています。図 1-18 は、 Z_{EFF} プロットの拡大図です。このプロットに示すように、 Z_{EFF} は $F_{\text{EFFECTIVE}}$ まで Z_{TARGET} よりも低く保たれています。多数の組み合わせがありますが、理想的な答えは、 Z_{TARGET} 以下の平坦なインピーダンス・プロファイルを実現するために必要なコンデンサの個数と種類を最小限にすることです。

図 1-17. 電源共用デザインでの Decap Selection タブ

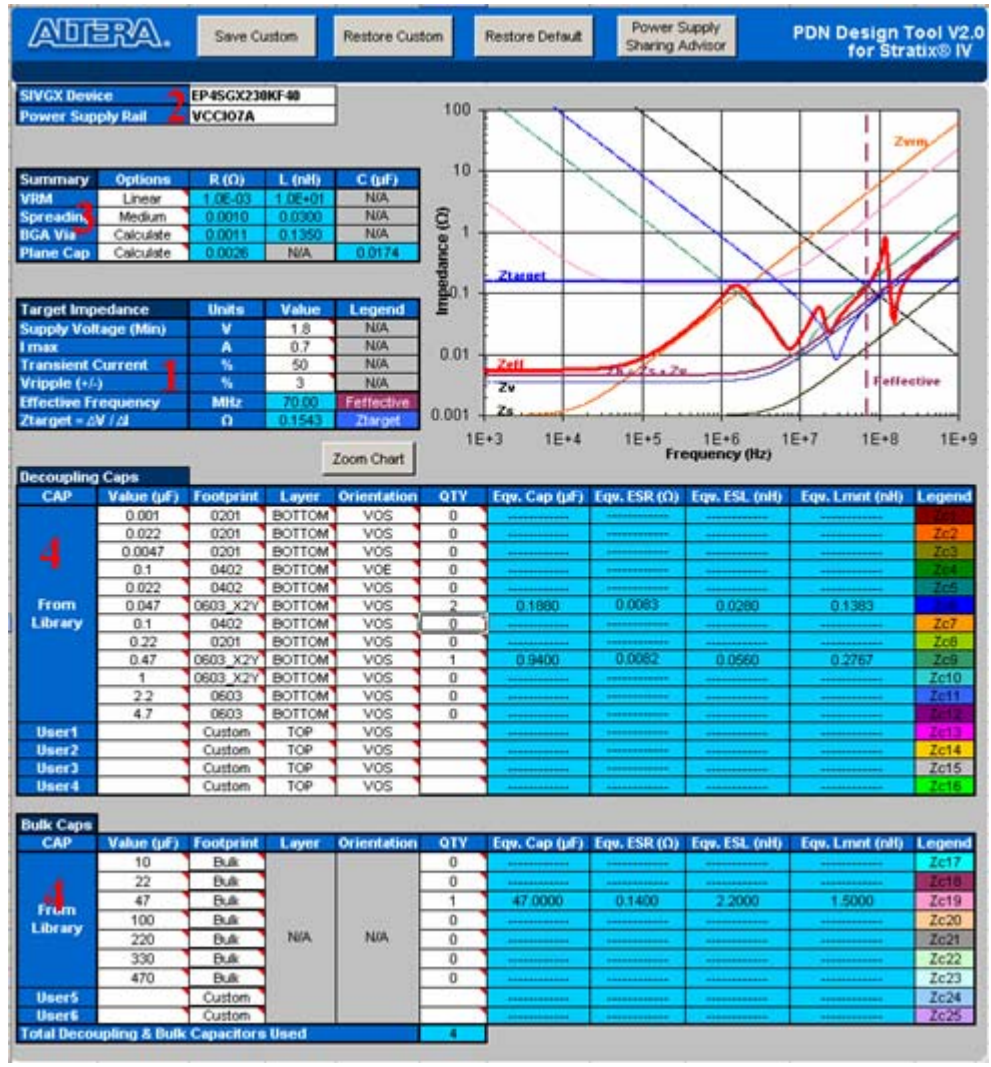
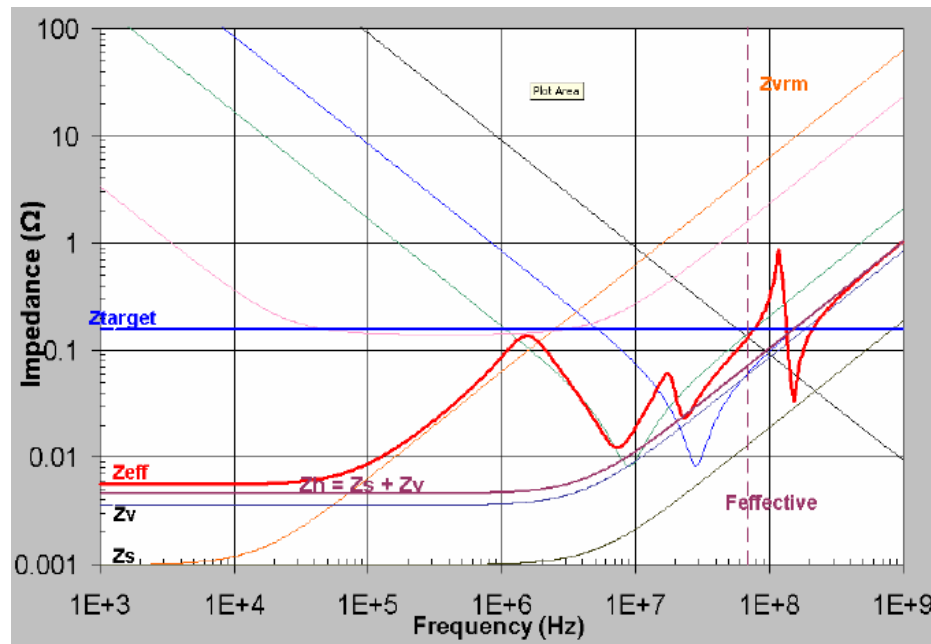



図 1-18. 図 1-18 のデザインを用いた Z_{eff} の拡大プロット



 PLL 関連の電源のように、ノイズの影響を受けやすい電源レールがあります。これらは、同じ VRM モジュールに接続されますが、電源フィルタ（通常フェライト・ビーズ）を用いて他のレールと分離されます。分離されたレールは、通常、専用のプリント基板パワー・プレーンを備えています。このシナリオでは、分離された電源レールのそれぞれのグループを独立した電源として取り扱い、このユーザーガイドに記載した手順に従ってそれぞれの電源を個別にデカップリングする必要があります。

まとめ

このユーザー・ガイドは、PDN ツールの各種タブの概要を示しています。ユーザーは、任意の電源に関するターゲット・インピーダンス要件を満たすコンデンサの最適個数を計算することにより、堅牢な PDN を素早く正確に設計することができます。

改訂履歴

以下の表にこのユーザーガイドの章の改訂履歴を示します。

日付	ドキュメント・バージョン	変更内容
2009年7月	1.0	初版。

アルテラへのお問い合わせ

Altera® 製品に関する最新情報については、次の表を参照してください。

お問い合わせ先 (1)	お問い合わせ方法	アドレス
技術的なご質問	ウェブサイト	www.altera.com/support
技術トレーニング	ウェブサイト	www.altera.com/training
	電子メール	custrain@altera.com
製品資料	ウェブサイト	www.altera.com/literature
一般的なお問い合わせ	電子メール	nacomp@altera.com
一般的なお問い合わせ (ソフトウェア・ライセンス)	電子メール	authorization@altera.com





表の注：

(1) 詳しくは、日本アルテラまたは販売代理店にお問い合わせください。

表記規則

本資料では、以下の表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、チェックボックス・オプション、およびダイアログ・ボックス・オプションは、太字かつ文頭が大文字で表記されています。例： Save As ダイアログ・ボックス。
太字	外部タイミング・パラメータ、ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、およびソフトウェア・ユーティリティ名は、太字で表記されています。例： f_{MAX} 、 \qdesigns ディレクトリ、 d: ドライブ、 chiptrip.gdf ファイル。
斜体かつ文頭が大文字	資料のタイトルは、斜体かつ文頭が大文字で表記されています。例：「 <i>AN 75: High-Speed Board Design</i> 」。

書体	意味
斜体	内部タイミング・パラメータおよび変数は、斜体で表記されています。 例： $t_{p1A}, n+1$ 。 変数は、山括弧(<>)で囲み、斜体で表記されています。<ファイル名>、<プロジェクト名>.pof ファイル。
文頭が大文字	キーボード・キーおよびメニュー名は、文頭が大文字で表記されています。例： Delete キー、 Options メニュー。
「小見出しタイトル」	資料内の小見出しおよびオンライン・ヘルプ・トピックのタイトルは、鉤括弧で囲んでいます。例：「表記規則」。
Courier フォント	信号およびポート名は、Courier フォントで表記されています。例：data1、tdi、input。アクティブ Low 信号は、サフィックス n で表示されています (例：resetn)。表示されているとおりに入力する必要があるものは、Courier フォントで表記されています。例：c:\qdesigns\tutorial\chiptrip.gdf。また、Report ファイルなどの実際のファイルのセクション、ファイルの構成要素への参照 (例：AHDL キーワードの SUBDESIGN)、ロジック・ファンクション名 (例：TRI) も Courier フォントで表記されています。
1., 2., 3., および a., b., c., など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
■ ● ●	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
✓	チェックマークは、1 ステップしかない手順を表します。
	指差しマークは、要注意箇所を表しています。
	注意は、製品または作業中のデータに損傷を与えたり、破壊したりするおそれのある条件や状況に対して注意を促します。
	警告は、ユーザーに危害を与えるおそれのある条件や状況に対して注意を促します。
↵	矢印は、Enter キーを押すことを示しています。
	足跡マークは、詳細情報の参照先を示しています。