



PowerPlay Early Power Estimator ユーザガイド

Cyclone III FPGA 用



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

ドキュメント・バージョン :
ドキュメント日付 :

1.0
2007年3月

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



UG-01013-1.0

このユーザガイドについて	v
改訂履歴	v
アルテラへのお問い合わせ	v
表記規則	v
第 1 章 . Cyclone III PowerPlay Early Power Estimator について	
リリース情報	1-1
サポートされるデバイス・ファミリ	1-1
概要	1-1
特長	1-2
第 2 章 . Cyclone III PowerPlay Early Power Estimator の設定	
システム条件	2-1
PowerPlay Early Power Estimator のダウンロードおよびインストール	2-1
消費電力の見積り	2-1
FPGA デザイン開始前の消費電力の見積り	2-2
FPGA デザイン作成中の消費電力の見積り	2-3
FPGA デザイン完了後の消費電力の見積り	2-4
PowerPlay Early Power Estimator への情報の入力	2-4
すべての値の消去	2-4
手動での情報の入力	2-5
ファイルのインポート	2-5
第 3 章 . Cyclone III PowerPlay Early Power Estimator の使用	
はじめに	3-1
PowerPlay Early Power Estimator スプレッドシートの入力	3-1
Main の入力パラメータ	3-1
ロジック	3-5
RAM ブロック	3-10
デジタル信号処理 (DSP)	3-15
汎用 I/O ピン	3-17
PLL	3-23
クロック	3-25
Power Analysis	3-27
Thermal Power	3-28
Thermal Analysis	3-30
ヒート・シンクを使用していない場合	3-30
ヒート・シンクの使用	3-32
Power Supply Current (A)	3-34

PowerPlay Early Power Estimator スプレッドシートの正確さに影響する要因	3-35
トグル・レート	3-36
空気流量	3-37
温度	3-39
ヒート・シンク	3-40

改訂履歴

以下の表に、このユーザガイドの章の改訂履歴を示します。

日付	バージョン	変更内容
2007年3月	1.0	初版。Cyclone III サポートが含まれています。





アルテラへの お問い合わせ

アルテラ製品に関する最新情報は、アルテラのウェブサイト、www.altera.co.jp をご覧ください。テクニカル・サポートについては、www.altera.co.jp/mysupport にアクセスしてください。また、アルテラの販売代理店にもお問い合わせいただけます。

表記規則

本書では、以下の表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、チェックボックス・オプション、およびダイアログ・ボックス・オプションは、太字かつ文頭が大文字で表記されています。例: Save As ダイアログ・ボックス
太字	外部タイミング・パラメータ、ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、およびソフトウェア・ユーティリティ名は、太字で表記されています。 例: f_{MAX} , lqdesigns ディレクトリ、 d: ドライブ、 chiptrip.gdf ファイル
斜体かつ文頭が大文字	資料のタイトルは、斜体かつ文頭が大文字で表記されています。 例: <i>AN 75: High-Speed Board Design</i>
斜体	内部タイミング・パラメータおよび変数は、斜体で表記されています。 例: <i>t_{PIA}</i> , <i>n + 1</i> 変数は、山括弧 (<>) で囲み、斜体で表記されています。 例: < <i>ファイル名</i> >, < <i>プロジェクト名</i> >.pof ファイル
文頭が大文字	キーボード・キーおよびメニュー名は、文頭が大文字で表記されています。 例: Delete キー、Options メニュー
「小見出しタイトル」	資料内の小見出しおよびオンライン・ヘルプ・トピックのタイトルは、鉤括弧で囲んでいます。例: 「表記規則」

書体	意味
Courier フォント	<p>信号およびポート名は、Courier フォントで表記されています。 例：data1、tdi、input。アクティブ Low 信号は、サフィックス n で表示されています (例：resetn)。</p> <p>表示されているとおりに入力する必要があるものは、Courier フォントで表記されています (例：c:\qdesigns\tutorial\chiptrip.gdf)。また、Report ファイルのような実際のファイル、ファイルの構成要素 (例：AHDL キーワードの SUBDESIGN)、ロジック・ファンクション名 (例：TRI) も Courier フォントで表記されています。</p>
1.、2.、3. および a.、b.、c. など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
■ ● ●	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
✓	チェックマークは、1 ステップしかない手順を表します。
	指差しマークは、要注意箇所を表しています。
	CAUTION マークは、特別な配慮および理解が必要であり、手順またはプロセスを始める前、または続ける際に確認すべき情報を示しています。
	注意マークは、手順またはプロセスを始める前、または続ける際に確認すべき情報を示しています。
←	矢印は、Enter キーを押すことを示しています。
	足跡マークは、詳細情報の参照先を示しています。

リリース情報

表 1-1 に、このユーザガイドで説明する PowerPlay Early Power Estimator スプレッドシートのバージョンに関する情報を示します。

表 1-1. PowerPlay Early Power Estimator スプレッドシートのバージョン	
デバイス・ファミリ	PowerPlay Early Power Estimator スプレッドシートのバージョン
Cyclone® III	7.0 以降

サポートされるデバイス・ファミリ

PowerPlay Early Power Estimator スプレッドシートは、表 1-2 に示すターゲットのアルテラ・デバイス・ファミリに対しサポートを提供しています。

表 1-2. サポートされるデバイス・ファミリ	
デバイス・ファミリ	サポートの種類
Cyclone III	部分的

概要

デザインの規模が大きくなり、プロセスの微細化が進むのに伴い、消費電力はますます重要な考慮事項となっています。プリント基板 (PCB) の設計者は、デバイスの消費電力を正確に見積り、適切な電力供給量を把握して、電源、電圧レギュレータ、ヒート・シンク、および冷却システムを設計する必要があります。アルテラ・ウェブサイト (www.altera.co.jp) から入手可能な Microsoft® Excel® ベースの PowerPlay Early Power Estimator スプレッドシート、または Quartus® II ソフトウェアに含まれる PowerPlay Power Analyzer を使用して、Cyclone III デバイスの電力要件を計算することができます。PowerPlay Early Power Estimator には、デバイス・リソース、動作周波数、トグル・レート、その他のパラメータを入力する必要があります。

本書では、Cyclone III PowerPlay Early Power Estimator スプレッドシートを使用して、デバイスの消費電力を見積る方法について説明します。



この計算結果は消費電力の見積りにのみ使用し、仕様（規格）としては使用しないでください。消費電力の計算結果は、デバイスの実際のデザインや動作条件、環境などにより大きく影響されますので、デバイス動作中の実際の消費電力を確認する必要があります。



利用可能なデバイス・リソース、サポートされる I/O 規格、その他のデバイス機能について詳しくは、該当するデバイス・ファミリ・ハンドブックを参照してください。

特長

PowerPlay Early Power Estimator スプレッドシートには、以下のような特長があります。

- デザインを作成する前、デザイン・プロセス中、またはデザインが完成した後に消費電力の見積りを実行
- Quartus IIソフトウェアが生成する PowerPlay Early Power Estimator ファイルを使用して、デバイス・リソースの情報を Quartus II ソフトウェアから PowerPlay Early Power Estimator スプレッドシートにインポート
- デザインの暫定的な熱解析を実行

システム条件

PowerPlay Early Power Estimator スプレッドシートには以下のものが必要です。

- Windows® NT/2000/XP オペレーティング・システムが動作するパーソナル・コンピュータ (PC)
- Microsoft® Excel® 2002 以上
- Quartus® II ソフトウェア・バージョン 7.0 以上 (インポート用ファイルを生成する場合)

PowerPlay Early Power Estimator のダウンロードおよびインストール

Cyclone III PowerPlay Early Power Estimator スプレッドシートは、アルテラのウェブサイト (www.altera.co.jp) で提供されています。契約条件を読んで **I Agree** をクリックすると、Microsoft Excel ファイルがハード・ディスクにダウンロードされます。



デフォルトでは、Microsoft Excel 2002 のマクロ・セキュリティ・レベルは **High** に設定されます。マクロ・セキュリティ・レベルが **High** に設定されると、マクロが自動的に実行不可になります。Microsoft Excel 2002 のマクロ・セキュリティ・レベルを変更するには、Tool メニューの **Options** をクリックします。Options ウィンドウの **Security** タブで、**Macro Security** をクリックします。Security ダイアログ・ボックスの **Security Level** タブで、**Medium** を選択します。マクロ・セキュリティ・レベルを **Medium** に設定すると、マクロが含まれているスプレッドシートを開くたびに、マクロを実行するかどうかたずねるポップアップ・ウィンドウが表示されます。マクロ・セキュリティ・レベルを変更した後、マクロを使用できるようにするには、スプレッドシートをいったん閉じてから再度開く必要があります。

消費電力の見積り

消費電力の見積りはデザイン・サイクルのどの段階でも実行できます。デザインを開始していない場合、またはデザインが完了していない場合に、PowerPlay Early Power Estimator スプレッドシートを使用して消費電力を見積ることができます。完成したデザインの消費電力を見積るために PowerPlay Early Power Estimator スプレッドシートを使用することは可能ですが、アルテラではこの目的では Quartus II ソフトウェアの PowerPlay Power Analyzer を使用することを強く推奨しています。一般に、Quartus II ソフトウェアの PowerPlay Power Analyzer は正確な配線やさまざまな動作モードを把握しているため、消費電力の見積りには優先的にこのツールを使用してください。



Quartus II ソフトウェアの消費電力見積り機能について詳しくは、「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator スプレッドシートを使用するには、デバイス・リソース、動作周波数、トグル・レート、その他のパラメータを入力します。既存のデザインがない場合、デザインで使用するデバイス・リソース数を見積って、その情報を入力する必要があります。

FPGA デザイン開始前の消費電力の見積り

FPGA には、ASIC や ASSP よりもデザイン・サイクルが短く迅速な製品の市場投入が可能であるという利点があります。これは、FPGA デザイン・サイクルの途中で頻繁にボード・デザインが行われることを意味します。したがって、FPGA デザインが完了する前に、デバイスの電力プランニングを行うことができます。

表 2-1 に、FPGA デザインを開始する前に PowerPlay Early Power Estimator スプレッドシートを使用する場合の利点と欠点を示します。

表 2-1. FPGA 設計前の消費電力見積り	
利点	欠点
FPGA デザインが完了する前に、消費電力の見積りを行うことができる	<ul style="list-style-type: none"> ● 正確さはデバイス・リソースの入力と見積りに依存するが、この情報は（デザインの途中または完了後に）変化することがあり、消費電力の見積り結果の精度が低くなる可能性がある ● 見積り作業に長時間を要することがある

FPGA デザインを開始する前に PowerPlay Early Power Estimator スプレッドシートで消費電力を見積るには、以下のステップを実行します。

1. PowerPlay Early Power Estimator スプレッドシートをアルテラのウェブサイト (www.altera.co.jp) からダウンロードします。
2. PowerPlay Early Power Estimator スプレッドシートの **Device** セクションから、ターゲットのファミリーおよびデバイス・パッケージを選択します。

- PowerPlay Early Power Estimator スプレッドシートの各セクションのフィールドに値を入力します。ファイルのワークシートごとに、クロックや PLL (Phase-Locked Loop) などの異なる消費電力セクションが表示されます。消費電力が自動的に計算され、各セクションの小計が表示されます。
- Total** セクションに、消費電力の見積りが表示されます。

FPGA デザイン作成中の消費電力の見積り

FPGA のデザインが部分的に完成しているときに、Quartus II ソフトウェアが生成する PowerPlay Early Power Estimator ファイル (<revision name>_early_pwr.csv) を使用して、情報を PowerPlay Early Power Estimator スプレッドシートにインポートできます。電力見積りファイルの情報を PowerPlay Early Power Estimator スプレッドシートにインポートした後、最終的なデザインのデバイス・リソース見積り数を反映するようにスプレッドシートを編集できます。



Quartus II ソフトウェアによる消費電力見積りファイルの生成について詳しくは、「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章を参照してください。

表 2-2 に、部分的に完成している FPGA デザインに対して、PowerPlay Early Power Estimator スプレッドシートを使用する場合の利点と欠点を示します。

利点	欠点
<ul style="list-style-type: none"> FPGA デザイン・サイクルの早期段階で消費電力の見積りを行うことができる Quartus II ソフトウェアのコンパイル結果に基づいて、PowerPlay Early Power Estimator スプレッドシートに自動的にデータを入力する柔軟性を提供する 	<p>正確さは最終デザインのデバイス・リソースの入力および見積りに依存するが、この情報は（デザインの途中または完了後に）変化することがあり、消費電力の見積り結果の精度が低くなる可能性がある</p>

FPGA のデザインが部分的に完成している場合に PowerPlay Early Power Estimator スプレッドシートで消費電力を見積るには、以下のステップを実行します。

- 部分的に完成した FPGA デザインを Quartus II ソフトウェアでコンパイルします。

2. Project メニューの **Generate PowerPlay Early Power Estimator File** をクリックして、Quartus II ソフトウェアで PowerPlay Early Power Estimator ファイル (<revision name>_early_pwr.csv) を生成します。
3. PowerPlay Early Power Estimator スプレッドシートをアルテラのウェブサイト (www.altera.co.jp) からダウンロードします。
4. PowerPlay Early Power Estimator ファイルを PowerPlay Early Power Estimator スプレッドシートにインポートして、自動的に値を入力します。
5. ファイルをインポートして PowerPlay Early Power Estimator スプレッドシートの値を入力した後、最終的なデザインのデバイス・リソース見積り数を反映するようにセルを手動で編集します。

FPGA デザイン完了後の消費電力の見積り

FPGA のデザインが完了すると、Quartus II ソフトウェアの PowerPlay Power Analyzer で、デバイスの消費電力についての最も正確な見積りが提供されます。PowerPlay Power Analyzer では、配置配線情報の他に、シミュレーション、ユーザ・モード、デフォルトのトグル・レート・アサインメントを使用して消費電力が決定されます。アルテラでは、FPGA のデザインが完了しているときには PowerPlay Power Analyzer を使用することを強く推奨しています。



Quartus II ソフトウェアの PowerPlay Power Analyzer の使用方法について詳しくは、「Quartus II ハンドブック」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator へ の情報の入力

消費電力情報を PowerPlay Early Power Estimator スプレッドシートに手動で入力するか、Quartus II ソフトウェア・バージョン 7.0 以上で生成される PowerPlay Early Power Estimator ファイルを読み込むことができます。PowerPlay Early Power Estimator スプレッドシートの現在の値をすべて消去することもできます。

すべての値の消去

Reset をクリックすると、ユーザが入力した PowerPlay Early Power Estimator スプレッドシートの値をすべてリセットできます。



Reset EPE 機能を使用するには、スプレッドシートのマクロを有効にしなければなりません。スプレッドシートのマクロが有効になっていない場合、ユーザが入力した値をすべて手動でリセットする必要があります。

手動での情報の入力

PowerPlay Early Power Estimator スプレッドシートの適切なセクションに、値を手動で入力できます。白い、影なしのセルは入力セルであり、変更可能です。各セクションには、デザインに基づいてモジュール名を指定できるカラムがあります。

ファイルのインポート

すでに既存のデザインがある場合、またはデザインが部分的に完成している場合は、Quartus II ソフトウェアで生成される PowerPlay Early Power Estimator ファイルにデバイス・リソース情報を含めることができます。このデバイス・リソース情報を Quartus II ソフトウェアの消費電力見積りファイルから PowerPlay Early Power Estimator スプレッドシートにインポートすることができます。ファイルをインポートすることにより、情報を手動で入力する場合に費やされる時間と労力が節約されます。インポートした後で値を手動で変更することもできます。

消費電力見積りファイルを生成するには、最初に Quartus II ソフトウェアでデザインをコンパイルする必要があります。デザインのコンパイルが完了したら、Project メニューの **Generate PowerPlay Early Power Estimator File** をクリックします。<revision name>_early_pwr.csv という名前の消費電力見積りファイルが生成されます。



Quartus II ソフトウェアによる消費電力見積りファイルの生成について詳しくは、「Quartus II ハンドブック」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator にデータをインポートするには、以下のステップを実行します。

1. PowerPlay Early Power Estimator の **Import Quartus II File** をクリックします。
2. Quartus II ソフトウェアで生成された消費電力見積りファイルに移動し、**Open** をクリックします。ファイルには <revision name>_early_pwr.csv という名前が付いています。
3. 確認ウィンドウで **OK** をクリックし、処理を続行します。
4. ファイルがインポートされたら、**OK** をクリックします。OK をクリックすると、インポートの完了を確認することになります。インポート中にエラーが発生した場合、.err ファイルに詳細が記録されます。



ファイルをインポートした後で、すべての情報を検証する必要があります。

Quartus II ソフトウェアからファイルをインポートすると、Quartus II ソフトウェアで指定された **Main** ページのすべてのパラメータが入力されます。これらのパラメータには、以下が含まれます。

- Family (製品ファミリ)
- Device (デバイス)
- Package (パッケージ)
- Temperature grade (温度グレード)
- Power Characteristics (電力特性)
- Ambient or junction temperature (周囲またはジャンクション温度)
- Airflow (空気流量)
- Heat sink (ヒート・シンク)
- Custom θ_{SA} or Custom θ_{JA} (Custom θ_{SA} または Custom θ_{JA})
- Board thermal model (ボードの熱モデル)

Ambient or junction temperature、Airflow、Heat sink、Custom θ_{SA} または Custom θ_{JA} 、および Board thermal model はオプションのパラメータです。パラメータの詳細については、[3-1 ページの「Main の入力パラメータ」](#)を参照してください。

PowerPlay Early Power Estimator スプレッドシートにインポートされた f_{MAX} 値は、設計者が指定した Quartus II ソフトウェアの f_{MAX} 値と同じです。それぞれのシステム要件に合わせて、PowerPlay Early Power Estimator スプレッドシートの f_{MAX} とトグル・パーセントを手動で編集できます。

はじめに

PowerPlay Early Power Estimator スプレッドシートでは、アーキテクチャ機能に基づいて各セクションに情報を入力することができます。また、各アーキテクチャ機能の消費電力を小計し、各セクションにワット (W) で表示することもできます。

PowerPlay Early Power Estimator スプレッド シートの入力

このユーザガイドの以下の項では、PowerPlay Early Power Estimator スプレッドシートの各セクションに入力する必要がある値について説明します。PowerPlay Early Power Estimator スプレッドシートの各 Excel® ワークシートは、セクションと呼ばれます。PowerPlay Early Power Estimator スプレッドシートの各セクションでは、クロック、RAM ブロック、デジタル信号処理 (DSP) ブロックなどのデバイスのアーキテクチャ機能を表す消費電力が計算されます。

Main の入力パラメータ

デザインは同じでも消費電力は Cyclone III デバイスによって異なります。デバイスが大きいほどダイが大きくなり、デバイスのインタコネクトも長くなるため、より多くの電力が消費されます。

Main セクションでは、デバイスとデザインに以下のパラメータを入力できます。

- Family (製品ファミリ)
- Device (デバイス)
- Package (パッケージ)
- Temperature grade (温度グレード)
- Power Characteristics (電力特性)
- Ambient or junction temperature (周囲またはジャンクション温度)
- Airflow (空気流量)
- Heat sink (ヒート・シンク)
- Custom θ_{SA} or Custom θ_{JA} (Custom θ_{SA} または Custom θ_{JA})
- Board thermal model (ボードの熱モデル)



必要なパラメータは、ジャンクション温度を手動で入力するか自動的に計算するかによって異なります。

表 3-1 に、PowerPlay Early Power Estimator の **Main** セクションに指定する必要がある値を示します。

表 3-1. Main セクション情報 (1 / 3)	
入力パラメータ	説明
Family	デバイス・ファミリを選択します。 Cyclone® III ファミリのみ使用できます。
Device	デバイスを選択します。 デバイスが大きくなると、スタティック消費電力とクロックのダイナミック消費電力が増加します。それ以外のコンポーネントの消費電力はデバイスの影響を受けません。
Package	使用するパッケージを選択します。 パッケージが大きくなると、冷却面が大きくなり、プリント基板との接触点が増加するため、熱抵抗が減少します。パッケージの選択は、ダイナミック消費電力に影響しません。
Temperature Grade	適切な温度グレードを選択します。 現時点では、コマーシャル・デバイスのみ Cyclone III に使用できます。コマーシャル・デバイスの最大動作温度は 85°C です。 このフィールドのみ、最大ジャンクション温度に影響します。
Power Characteristics	標準的または理論上のワースト・ケース・シリコン・プロセスを選択します。 現時点では、標準的なシリコン・プロセスのみ Cyclone III に使用できます。 ダイ間でプロセスのバラツキがあります。これは主にスタティック消費電力に影響します。 Typical を選択すると、デバイスの平均測定値に沿った結果になります。
Junction Temp, T_J (°C)	デバイスのジャンクション温度を入力します。0 ~ 85°C の値を使用できます。 このフィールドは、 User Entered T_J を選択した場合にのみ使用できます。この場合、ジャンクション温度は提供された熱情報に基づいて計算されません。
Ambient Temp, T_A (°C)	デバイス付近の大気温度を入力します。0 ~ 85°C の値を使用できます。このフィールドは、 Auto Computed T_J を選択した場合にのみ使用できます。 Estimated Theta JA を選択した場合、このフィールドはトップ・サイドの冷却ソリューション（ヒート・シンクありまたはなし）とボード（該当する場合）における熱抵抗と消費電力に基づくジャンクション温度の計算に使用されます。 Custom Theta JA を選択した場合、このフィールドは消費電力と入力されたカスタム θ_{JA} に基づくジャンクション温度の計算に使用されます。

表 3-1. Main セクション情報 (2 / 3)

入力パラメータ	説明
Heat Sink	<p>使用するヒート・シンクを選択します。ヒート・シンクなし、またはカスタム・ソリューションを指定できます。あるいは、ヒート・シンクに設定パラメータを指定することもできます。このフィールドは、Auto Computed T_J および Estimated Theta JA を選択した場合にのみ使用できます。</p> <p>ヒート・シンクの代表的な例が提供されます。ヒート・シンクが大きいかほど熱抵抗が減少するため、ジャンクション温度は低下します。使用するヒート・シンクがわかっている場合は、データ・シートを参照し、システム内の空気流量に応じて、ヒート・シンクから周囲までのカスタム値を入力します。</p> <p>ヒート・シンクを選択すると θ_{SA} が更新され、更新後の値が、Custom θ_{SA} (°C/W) パラメータの値として表示されます。カスタム・ソリューションを選択すると、Custom θ_{SA} (°C/W) パラメータに入力した値が使用されます。</p>
Airflow	<p>得られる周囲空気流量を lfm (linear-feet per minute) または m/s (1 秒あたりのメートル) 単位で選択します。オプションは、100 lfm (0.5 m/s)、200 lfm (1.0 m/s)、400 lfm (2.0 m/s)、または still air です。このフィールドは、Auto Computed T_J および Estimated Theta JA を選択した場合にのみ使用できます。</p> <p>空気流量が増加すると、ケースから大気までの熱抵抗が減少するため、ジャンクション温度は低下します。</p>
Custom θ_{JA} (°C/W)	<p>デバイスと周囲大気間におけるジャンクションから周囲までの熱抵抗を入力します (°C/W)。このフィールドは、Auto Computed T_J および Custom Theta JA を選択した場合にのみ使用できます。</p> <p>このフィールドは、消費電力が 1 ワット増加するごとの周囲温度とジャンクション温度間での増加量を表します。</p>

表 3-1. Main セクション情報 (3 / 3)	
入力パラメータ	説明
Custom θ_{SA} ($^{\circ}\text{C}/\text{W}$)	<p>カスタム・ヒート・シンクを選択する場合は、ヒート・シンクのデータ・シートに記載されているヒート・シンクから周囲までの熱抵抗を入力します。データ・シートから引用する値はシステムの空気流量によって異なり、また熱消費電力によっても異なる場合があります。このフィールドは、Auto Computed T_J, Estimated Theta J_A を選択した場合、および Heat Sink パラメータを Custom Solution に設定した場合にのみ使用できます。</p> <p>Custom θ_{SA} パラメータは、ケースからヒート・シンクまでの代表的な抵抗と、アルテラが提供するジャンクションからケースまでの抵抗との組み合わせであり、デバイスのトップを通過してジャンクションから周囲までの抵抗が計算されます。</p>
Board Thermal Model	<p>熱解析で使用するボードの種類を選択します。値は None (Conservative)、JEDEC (2s2p)、または Typical Board のいずれかです。このフィールドは、Auto Computed T_J および Estimated Theta J_A を選択した場合にのみ使用できます。</p> <p>None (Conservative) を選択した場合、熱モデルはボードからの放熱がないものと想定します。その結果、ジャンクション温度は悲観的に計算されます。</p> <p>JEDEC (2s2p) を選択すると、熱モデルは JESD51-9 規格で規定された JEDEC 2s2p テスト・ボードの特性を想定します。</p> <p>Typical Board を選択した場合、熱モデルは選択されたデバイスとパッケージに基づく、標準的なカスタム・ボード・スタックの特性を想定します。</p> <p>システムの詳細な熱シミュレーションを実行して、最終ジャンクション温度を決定する必要があります。この2つの抵抗熱モデルは初期見積り専用です。</p>

図 3-1 に、PowerPlay Early Power Estimator スプレッドシートの Main セクションを示します。

図 3-1. Cyclone III PowerPlay Early Power Estimator スプレッドシートの Main セクション

The screenshot shows the main interface of the PowerPlay Early Power Estimator. It is titled "PowerPlay Early Power Estimator Cyclone III V7.0" and includes a "Release Notes" button. The interface is divided into several sections:

- Input Parameters:**
 - Family: Cyclone III
 - Device: EP3C40
 - Package: F780
 - Temperature Grade: Commercial
 - Power Characteristics: Typical
 - Options: User Entered Tj, Auto Computed Tj
 - Ambient Temp, T_A (°C): 25
 - Options: Custom Theta JA, Estimated Theta JA
 - Heat Sink: 23 mm - Medium Profile
 - Airflow: 200 lfm (1.0 m/s)
 - Custom θ_{SA} (°C/W): 0.000
 - Board Thermal Model: None (Conservative)
- Thermal Power (W):**
 - Logic: 0.499
 - RAM: 0.052
 - DSP: 0.005
 - I/O: 0.004
 - PLL: 0.295
 - Clocks: 0.030
 - P_{static} : 0.013
 - TOTAL: 1.697**
- Thermal Analysis:**
 - Junction Temp, T_J (°C): 25.2
 - θ_{JA} Junction-Ambient: 0.10
 - Maximum Allowed T_A (°C): 84.8
 - Details... button
- Power Supply Current (A):**
 - I_{CCINT} (1.2V): 0.867
 - I_{CCA} (2.5V): 0.367
 - I_{CCD} (1.2V): 0.148
 - I_{CCIO} : 0.592
 - Click buttons for details

At the bottom, there are buttons for "Set Toggle %", "Reset", "Import Quartus II File", and "View Report".

ロジック

デザインとは、さまざまな周波数およびトグル・レートで動作する複数のデザイン・モジュールを組み合わせたものです。デザイン・モジュールごとにロジック量が異なる場合があります。消費電力を最も正確に見積るには、デザインをいくつかのデザイン・モジュールに分割します。デザインは、モジュールをクロック周波数、位置、階層、またはエンティティ別にグループ化して分割することができます。

Logic セクションの各行には、それぞれのデザイン・モジュールが示されます。デザイン・モジュールごとに、以下のパラメータを入力する必要があります。

- 組み合わせセルック・アップ・テーブル (LUT) 数
- レジスタの数
- クロック周波数 (f_{MAX}) (単位 MHz)
- トグル・レート

表 3-2 に、PowerPlay Early Power Estimator の **Logic** セクションで入力する必要がある値を示します。

表 3-2. Logic セクション情報 (1 / 2)	
カラム・ヘッダ	説明
Module	デザインの各モジュール名を入力します。これはオプションです。
# LUTs	<p>デザイン全体で使用する LUT 数を入力します。これは、Quartus II ソフトウェアの Compilation Report の Fitter > Resource Section > Resource Usage Summary セクションに表示される値です。</p> <p>使用する LUT 数については、Fitter Resource Usage Summary の以下の行の値を追加します。</p> <ul style="list-style-type: none"> ● 4 input functions ● 3 input functions ● <= 2 input functions
# FFs	<p>デザイン全体で使用するレジスタ数を入力します。これは Quartus II ソフトウェアの Compilation Report に表示される値です。Cyclone III デバイスで使用するレジスタ数は、Fitter > Resource Section > Resource Usage Summary の Dedicated logic registers 行に示されます。</p> <p>クロックのルーティング消費電力は、PowerPlay Early Power Estimator の Clocks セクションで別に計算されます。</p>
Clock Freq (MHz)	<p>モジュールのクロック周波数を MHz 単位で入力します。この値はデバイス・ファミリの最大周波数仕様で制限されます。</p> <p>100 MHz でトグルが 12.5% の場合、各 LUT またはフリップ・フロップ出力は 1 秒あたり 1,250 万回 (100 M × 12.5%) トグルします。</p>
Toggle %	<p>各クロック・サイクルでのロジックの平均トグル・レートを入力します。トグル・レートは 0 ~ 100% です。一般に、トグル・レートは 12.5% で、これは 16 ビット・カウンタのトグル・レートです。トグル・レートを低く見積らないよう、これより高いトグル・レートを使用します。大部分のロジックは頻繁にはトグルしないため、50% 未満が現実的なトグル・レートです。</p> <p>例えば、入力が V_{CC} に接続された T フリップ・フロップ (TFF) は、クロック・サイクルごとに出力のロジック状態を変化させるため、トグル・レートは 100% です (図 3-2)。図 3-3 に 4 ビット・カウンタの例を示します。最下位ビット (LSB) 出力 cout0 を持つ最初の TFF は、クロック・サイクルごとに信号がトグルするため、トグル・レートは 100% です。また、出力 cout1 を持つ 2 番目の TFF は、2 クロック・サイクルおきのみ信号がトグルするため、トグル・レートは 50% です。その結果、出力 cout2 を持つ 3 番目の TFF、出力 cout3 を持つ 4 番目の TFF のトグル・レートは、それぞれ 25% と 12.5% です。したがって、この 4 ビット・カウンタの平均トグル・レートは、$(100 + 50 + 25 + 12.5) / 4 = 46.875\%$ です。</p>

表 3-2. Logic セクション情報 (2 / 2)	
カラム・ヘッダ	説明
Thermal Power (W), Routing	<p>これは配線見積りによる消費電力 (単位 W) を示します。</p> <p>ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のデザインでの実験に基づく、代表的なルーティング消費電力を表しています。</p> <p>デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。</p>
Thermal Power (W), Block	<p>これはロジック・エレメントの内部トグルに起因する消費電力 (単位 W) を示します。</p> <p>ロジック・ブロック消費電力は、実装されている機能と各種入力の相対的なトグル・レートに関係します。PowerPlay Early Power Estimator スプレッドシートでは、100 以上の実際のデザインで観測した動作に基づく見積りを使用します。</p> <p>デザインの正確な合成に基づく正確な解析には、Quartus II PowerPlay Power Analyzer を使用します。</p>
Thermal Power (W), Total	これは全消費電力 (単位 W) を示します。全消費電力はルーティング消費電力とブロック消費電力の合計です。
User Comments	コメントを入力します。これはオプションです。

図 3-2. TIFF の例

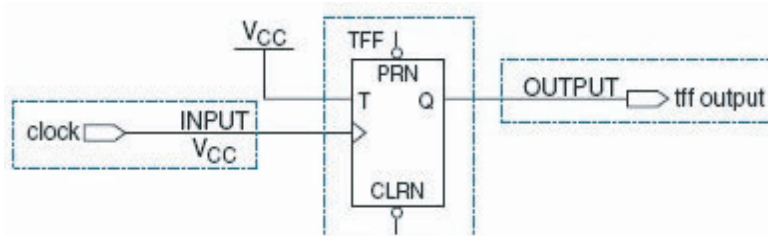


図 3-3. 4 ビット・カウンタの例

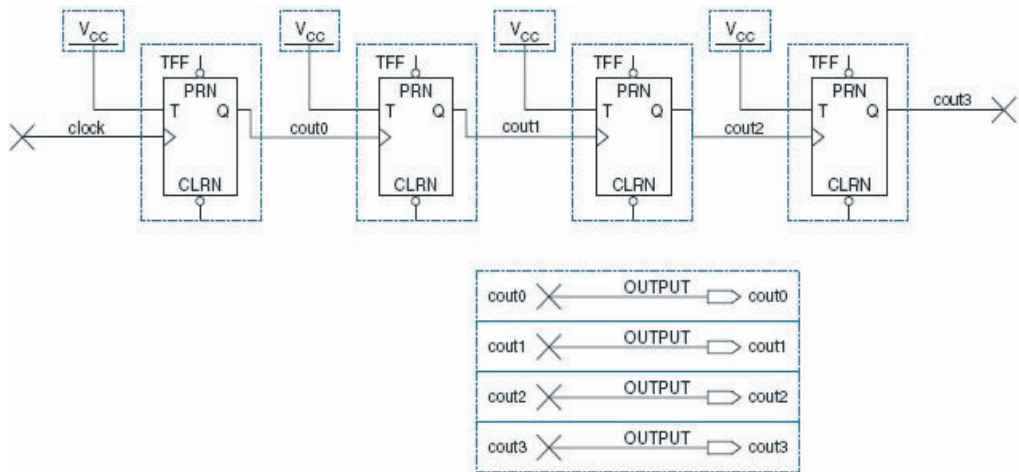


図 3-4 に、Cyclone III デバイス・ファミリをターゲットにしたデザインの Quartus II ソフトウェアの Compilation Report の Resource Usage Summary を示します。Compilation Report にはデザインで使用する LUT とレジスタの総数が示されます。

図 3-4. Cyclone III Compilation Report の Resource Usage Summary

Fitter Resource Usage Summary		
	Resource	Usage
1	[-] Total logic elements	45 / 10,320 (< 1 %)
2	[] -- Combinational with no register	23
3	[] -- Register only	0
4	[] -- Combinational with a register	22
5		
6	[-] Logic element usage by number of LUT inputs	
7	[] -- 4 input functions	22
8	[] -- 3 input functions	2
9	[] -- <=2 input functions	21
10	[] -- Register only	0
11		
12	[-] Logic elements by mode	
13	[] -- normal mode	31
14	[] -- arithmetic mode	14
15		
16	[-] Total registers*	22 / 11,377 (< 1 %)
17	[] -- Dedicated logic registers	22 / 10,513 (< 1 %)
18	[] -- I/O registers	0 / 864 (0 %)
19		
20	Total LABs: partially or completely used	4 / 645 (< 1 %)
21	User inserted logic elements	0
22	Virtual pins	0
23	[-] I/O pins	124 / 183 (68 %)
24	[] -- Clock pins	4 / 4 (100 %)
25	[] -- Dedicated input pins	0 / 9 (0 %)
26	Global signals	9
27	M9Ks	4 / 46 (9 %)
28	Total memory bits	9,216 / 423,936 (2 %)
29	Total RAM block bits	36,864 / 423,936 (9 %)
30	Embedded Multiplier 9-bit elements	0 / 46 (0 %)
31	PLLs	0 / 2 (0 %)
32	Global clocks	9 / 10 (90 %)
33	Average interconnect usage	1%
34	Peak interconnect usage	2%
35	Maximum fan-out node	tdpram:inst[altsyncram:altsyncram_component[altsyncram_v6o2:auto_generated]q
36	Maximum fan-out	52
37	Highest non-global fan-out signal	~GND
38	Highest non-global fan-out	14
39	Total fan-out	452
40	Average fan-out	1.35

図 3-5 に、PowerPlay Early Power Estimator スプレッドシートの Logic セクションと、ロジックでの消費電力の見積りを示します。

図 3-5. PowerPlay Early Power Estimator スプレッドシートの Logic セクション

Logic		Return to Main					
Total Thermal Power (W)		0.216					
LUT Utilization		2.2%					
FF Utilization		20.2%					
		Thermal Power (W)					
Module	# LUTs	# FFs	Clock Freq (MHz)	Toggle %	Routing	Block	Total
1	23	20	50.0	12.5%	0.000	0.000	0.000
2	10	100	500.0	12.5%	0.002	0.001	0.004
3	500	300	100.0	12.5%	0.002	0.002	0.005
4	10	5500	250.0	12.5%	0.066	0.029	0.095
5	79	800	300.0	12.5%	0.012	0.006	0.018
6	95	1000	80.0	12.5%	0.004	0.002	0.006
7	900	7904	140.0	12.5%	0.055	0.027	0.083
8	200	780	90.0	12.5%	0.004	0.002	0.006

RAM ブロック

Cyclone III デバイスは M9K RAM ブロックを備えています。

RAM セクションの各行は、RAM ブロックのデータ幅、RAM モード、ポート・パラメータ、および出力トグル・レートが同じデザイン・モジュールを表します。デザインの RAM ブロックの一部またはすべてのコンフィギュレーションが異なる場合は、それぞれの行に情報を入力します。各デザイン・モジュールに、RAM ブロック数、データ幅、RAM モード、および出力トグル・レートを入力する必要があります。また、各ポートに以下のパラメータも入力する必要があります。

- クロック周波数（単位 MHz）
- RAM クロックがイネーブルされる時間の割合
- ポートの読み出しに対する書き込み時間の割合



RAM ブロック・モードを選択するには、Quartus II コンパイラがRAMを実装する方法を設計者は知っている必要があります。例えば、ROM が 2 ポートで実装される場合、ツール・デュアル・ポート・メモリと見なされ、ROM とは見なされません。シングル・ポート実装と ROM 実装では、ポート A のみが使用されます。シングル・デュアル・ポート実装とツール・デュアル・ポート実装では、ポート A とポート B が使用されます。

表 3-3 は、PowerPlay Early Power Estimator スプレッドシートの RAM セクションのパラメータについて説明しています。

表 3-3. RAM セクション情報 (1 / 4)	
カラム・ヘッダ	説明
Module	このカラムには RAM モジュール名を入力します。これはオプションです。
# RAM Blocks	<p>同じタイプおよびモードを使用し、各ポートに対して同じパラメータを持つモジュール内の RAM ブロック数を入力します。各ポートのパラメータは、以下のとおりです。</p> <ul style="list-style-type: none"> ● クロック周波数 (MHz) ● RAM がイネーブルされる時間の割合 ● ポートの読み出しに対する書き込み時間の割合 <p>RAM ブロック数は、Quartus II Compilation Report の M9K カラムで確認できます。Compilation Report で、Fitter を選択し、Resource Section をクリックします。RAM Summary をクリックします。</p>
Data Width	<p>RAM ブロックのデータ幅を入力します。ツール・デュアル・ポート・モードの RAM ブロックの場合、この値は 1 ~ 18 でなければなりません。それ以外のすべての RAM モードの場合は 1 ~ 36 でなければなりません。RAM ブロックの幅は、Quartus II Compilation Report の Port A Width または Port B Width カラムで確認できます。Compilation Report で、Fitter を選択し、Resource Section をクリックします。RAM Summary をクリックします。</p> <p>ポート A とポート B でデータ幅が異なる RAM ブロックの場合、大きい方のデータ幅を使用します。</p>

表 3-3. RAM セクション情報 (2 / 4)	
カラム・ヘッダ	説明
RAM Mode	<p>以下のモードから選択します。</p> <ul style="list-style-type: none"> ● Single-Port ● Simple Dual-Port ● True Dual-Port ● ROM <p>モードは、Quartus II コンパイラでの RAM の実装方法に基づきます。メモリ・モジュールの実装方法が不明な場合は、アルテラでは Quartus II ソフトウェアにより必要なコンフィギュレーションを使用してテスト・ケースをコンパイルすることを推奨しています。RAM モードは、Quartus II Compilation Report の Mode カラムで確認できます。Compilation Report で、Fitter を選択し、Resource Section をクリックします。RAM Summary をクリックします。</p> <p>シングル・ポート RAM には、R/W コントロール信号を持つポートが1つあります。シンプル・デュアル・ポート RAM には、リード・ポートが1つとライト・ポートが1つあります。トゥルー・デュアル・ポート RAM にはポートが2つあり、各ポートに R/W コントロール信号があります。ROM は読み出し専用のシングル・ポート RAM です。</p>
Port A – Clock Freq (MHz)	RAM ブロックのポート A のクロック周波数を MHz 単位で入力します。この値は RAM のタイプとデバイス・ファミリの最大周波数仕様で制限されます。
Port A – Enable %	<p>RAM データおよびアドレス入力でのアクティビティに関係なく、ポート A の入力クロック・イネーブルがアクティブな時間の平均割合を入力します。イネーブルになる時間の割合は 0 ~ 100% です。デフォルト値は 25% です。</p> <p>RAM の電力は、主にクロック・イベントの発生時に消費されます。リードまたはライト動作が発生しない場合は、クロック・イネーブル信号を使用してポートをディセーブルすると、消費電力を大幅に節約できます。</p>
Port A – Write %	<p>RAM ブロックのポート A がライト・モードになる時間とリード・モードになる時間の平均割合を入力します。シンプル・デュアル・ポート (1R/1W) RAM の場合、書き込みを実行していないとき、ライト・ポート (A) は非アクティブです。シングル・ポートおよびトゥルー・デュアル・ポート RAM の場合、ポート A は書き込んでいないときには読み出しを実行します。このフィールドは、RAM が ROM モードの場合は無視されます。</p> <p>この値は 0 ~ 100% でなければなりません。デフォルトは 50% です。</p>
Port B – Clock Freq (MHz)	RAM ブロックのポート B のクロック周波数を MHz 単位で入力します。この値は RAM のタイプとデバイス・ファミリの最大周波数仕様で制限されます。ポート B は、RAM ブロックが ROM モードまたはシングル・ポート・モードの場合は無視されます。

表 3-3. RAM セクション情報 (3 / 4)

カラム・ヘッダ	説明
Port B - Enable %	<p>RAM データおよびアドレス入力でのアクティビティに関係なく、ポート B の入力クロック・イネーブルがアクティブな時間の平均割合を入力します。イネーブルになる時間の割合は 0 ~ 100% です。デフォルト値は 25% です。ポート B は、RAM ブロックが ROM モードまたはシングル・ポート・モードの場合は無視されます。</p> <p>RAM の電力は、主にクロック・イベントの発生時に消費されます。リードまたはライト動作が発生しない場合は、クロック・イネーブル信号を使用してポートをディセーブルすると、消費電力を大幅に節約できます。</p>
Port B - R/W %	<p>ツール・デュアル・ポート・モードの RAM ブロックの場合、RAM ブロックのポート B がライト・モードになる時間とリード・モードになる時間の平均割合を入力します。シングル・デュアル・ポート・モードの RAM ブロックの場合、RAM ブロックのポート B の読み出し時間の割合を入力します。シングル・デュアル・ポート・モードでは、ポート B に書き込むことはできません。ポート B は、RAM ブロックが ROM モードまたはシングル・ポート・モードの場合は無視されます。</p> <p>この値は 0 ~ 100% でなければなりません。デフォルトは 50% です。</p>
Toggle %	<p>クロック・サイクルがイネーブルされるたびに各ブロックの出力信号が値を変化させる頻度を表す平均割合は、クロック周波数とイネーブルの割合で乗算され、1 秒あたりの遷移数が算出されます。これはルーティング消費電力にのみ影響します。</p> <p>50% はランダムに変化する信号に相当します。ランダム信号は半分の時間のみ状態を変化させます。</p>
Valid Width/Mode	<p>このチェックは、入力したデータ幅が RAM モードでの許容データ幅を超えている場合は不合格になります。詳細については、データ幅カラムの説明を参照してください。</p>
Thermal Power (W), Routing	<p>これは配線見積りによる消費電力 (単位 W) を示します。</p> <p>ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のカスタム・デザインでの実験に基づく、代表的なルーティング消費電力を表しています。</p> <p>デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。</p>
Thermal Power (W), Block	<p>これは RAM の内部トグルに起因する消費電力 (単位 W) を示します。</p> <p>デザインの正確な RAM モードに基づく正確な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。</p>

カラム・ヘッダ	説明
Thermal Power (W), Total	これは指定された入力に基づいて、消費電力の見積りを W 単位で示します。これは RAM ブロックの全消費電力で、ルーティング消費電力とブロック消費電力の合計と同じです。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-6 に、Cyclone III デバイス・ファミリをターゲットにしたデザインの Quartus II ソフトウェアの Compilation Report の **RAM Summary** を示します。Compilation Report には RAM モードとデータ幅が示されます。

図 3-6. Compilation Report の RAM Summary

Filter RAM Summary													
Name	Type	Mode	Clock Mode	Port A Depth	Port A Width	Port B Depth	Port B Width	Port ... Regi...	Port ... Regi...	Port ... Regi...	Port B... Regist...	Size	Imple Port /
1 ROM:inst10[altsyncram:altsyncram_component[altsyncram_a3e1:auto_generated]ALTSYN...	M9K	ROM	Dual Clocks	512	8	--	--	yes	yes	--	--	4096	512
2 altsyncram0:inst15[altsyncram:altsyncram_component[altsyncram_q12:auto_generated]AL...	M9K	Simple Dual Port	No clocks	32	8	32	8	yes	no	yes	yes	256	32
3 altsyncram1:inst24[altsyncram:altsyncram_component[altsyncram_8ok1:auto_generated]A...	M9K	Single Port	Dual Clocks	32	8	--	--	yes	yes	--	--	256	32
4 tdpam:inst1[altsyncram:altsyncram_component[altsyncram_v6o2:auto_generated]ALTSYN...	M9K	True Dual Port	Single Clock	256	18	256	18	yes	no	yes	no	4608	256

図 3-7 に、PowerPlay Early Power Estimator スプレッドシートの RAM セクションと、RAM ブロックでの消費電力の見積りを示します。

図 3-7. PowerPlay Early Power Estimator スプレッドシートの RAM セクション

RAM		Return to Main													
Total Thermal Power (W)		0.052													
M9K Utilization		0.0%													
Module	RAM Type	# RAM Blocks	Data Width	RAM Mode	Port A			Port B				Valid Width/Mode	Thermal Power (W)		
					Clock Freq (MHz)	Enable %	Write %	Clock Freq (MHz)	Enable %	R/W %	Toggle %		Routing	Block	Total
1	M9K	2	16	Simple Dual Port	100.0	25%	50%	100.0	25%	50%	12.5%	Yes	0.000	0.001	0.001
2	M9K	3	8	Simple Dual Port	100.0	25%	50%	50.0	25%	50%	12.5%	Yes	0.000	0.001	0.001
3	M9K	9	8	True Dual Port	80.0	50%	50%	50.0	25%	50%	12.5%	Yes	0.000	0.004	0.004
4	M9K	4	16	Single Port	50.0	25%	60%	0.0	25%	50%	12.5%	Yes	0.000	0.000	0.001
5	M9K	12	8	Simple Dual Port	150.0	25%	50%	150.0	25%	50%	12.5%	Yes	0.000	0.007	0.007
6	M9K	20	8	True Dual Port	200.0	50%	50%	200.0	25%	50%	12.5%	Yes	0.001	0.027	0.028
7	M9K	1	16	ROM	0.0	25%	0%	100.0	25%	50%	12.5%	Yes	0.000	0.000	0.000
8	M9K	15	16	True Dual Port	90.0	50%	50%	100.0	25%	50%	12.5%	Yes	0.001	0.010	0.010

デジタル信号処理 (DSP)

Cyclone III デバイスはエンベデッド・マルチプライヤに DSP 機能を実装しています。これらのエンベデッド・マルチプライヤ・ブロックは、マルチプライヤを多用する低コスト (DSP) アプリケーション用に最適化されています。PowerPlay Early Power Estimator スプレッドシートの DSP セクションには、Cyclone III マルチプライヤ・ブロックの消費電力に関する情報が示されます。

DSP セクションの各行は、マルチプライヤ・デザイン・モジュールを表します。モジュールのすべてのインスタンスで、コンフィギュレーション、クロック周波数、トグル・レート、およびレジスタ使用率は同じです。一部 (または、すべて) の DSP またはマルチプライヤ・インスタンスでコンフィギュレーションが異なる場合は、該当する行に情報を入力する必要があります。マルチプライヤ・モジュールごとに、以下の情報を入力する必要があります。

- 構成
- インスタンスの数
- クロック周波数 (f_{MAX}) (単位 MHz)
- データ出力のトグル・レート
- 入力と出力がラッチされるかどうか



Cyclone III の DSP ブロックの構成について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのエンベデッド・マルチプライヤ」の章を参照してください。

表 3-4 に、PowerPlay Early Power Estimator スプレッドシートの DSP セクションで入力する必要がある値を示します。

表 3-4. DSP & Multiplier セクション情報 (1 / 2)	
カラム・ヘッダ	説明
Module	このカラムには DSP モジュール名を入力します。これはオプションです。
Configuration	モジュールの DSP ブロック・コンフィギュレーションを選択します。Cyclone III の DSP ブロックは、以下のコンフィギュレーションを提供します。 <ul style="list-style-type: none"> ● 9×9 マルチプライヤ ● 18×18 マルチプライヤ
# of Instances	コンフィギュレーション、クロック周波数、トグル・レート、およびレジスタ使用率が同じ DSP ブロックのインスタンス数を入力します。この値は使用している専用 DSP ブロックの数とは無関係です。 <p>例えば、2 つのシンプルな 9×9 マルチプライヤを Cyclone III デバイス内の同じ DSP ブロックに実装することができます。この場合、インスタンス数は 2 です。</p>

表 3-4. DSP & Multiplier セクション情報 (2 / 2)	
カラム・ヘッダ	説明
Clock Freq (MHz)	モジュールのクロック周波数を MHz 単位で入力します。この値はデバイス・ファミリの最大周波数仕様で制限されます。
Toggle %	各クロック・サイクルでの DSP データ出力の平均トグル・レートを入力します。トグル・レートは 0 ~ 50% です。一般にトグル・レートは 12.5% です。消費電力をより慎重に見積る場合は、これより高いトグル・レートを使用します。 また、50% はランダムに変化する信号に相当します (信号が半分の時間で 0 → 0 または 1 → 1 に変化するため)。これは DSP ブロックで最も重要なトグル・レートと見なされます。
Reg Inputs?	専用入力レジスタを使用して、専用 DSP ブロックまたはマルチプライヤ・ブロックへの入力をラッチするかどうかを選択します。DSP またはマルチプライヤ・ブロックの専用入力レジスタを使用している場合は、 Yes を選択します。入力が LE のレジスタを使用してラッチされる場合は、 No を選択します。
Reg Outputs?	専用出力レジスタを使用して、専用 DSP ブロックまたはマルチプライヤ・ブロックの出力をラッチするかどうかを選択します。DSP またはマルチプライヤ・ブロックの専用出力レジスタを使用している場合は、 Yes を選択します。出力が LE のレジスタを使用してラッチされる場合は、 No を選択します。
Thermal Power (W), Routing	これは配線見積りによる消費電力 (単位 W) を示します。 ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のカスタム・デザインでの実験に基づく、代表的なルーティング消費電力を表しています。 デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。
Thermal Power (W), Block	これは、DSP ブロックによる消費電力 (単位 W) の見積りを示します。この値は自動的に計算されます。
Thermal Power (W), Total	これは指定された入力に基づいて、消費電力 (単位 W) の見積りを示します。これは DSP ブロックの全消費電力で、ルーティング消費電力とブロック消費電力の和です。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-8 に、PowerPlay Early Power Estimator スプレッドシートの DSP セクションと、DSP ブロックでの消費電力の見積りを示します。

図 3-8. PowerPlay Early Power Estimator の DSP セクション

DSP		Return to Main						Thermal Power (W)		
Total Thermal Power (W)		0.005								
DSP Utilization		0.6%								
Module	Configuration	# of Instances	Clock Freq (MHz)	Toggle %	Reg Inputs?	Reg Outputs?	Routing	Block	Total	
1	18x18 Simple Mult	1	100.0	20.0%	Yes	Yes	0.000	0.001	0.001	
2	18x18 Simple Mult	1	50.0	25.0%	Yes	Yes	0.000	0.000	0.000	
3	9x9 Simple Mult	1	150.0	30.0%	Yes	Yes	0.000	0.001	0.001	
4	18x18 Simple Mult	1	150.0	35.0%	Yes	Yes	0.001	0.001	0.002	
5	9x9 Simple Mult	1	200.0	25.0%	Yes	Yes	0.000	0.001	0.001	

汎用 I/O ピン

Cyclone III デバイスのプログラマブル I/O ピンは、幅広い業界標準 I/O 規格をサポートしてデザインの柔軟性を向上させます。PowerPlay Early Power Estimator スプレッドシートの I/O セクションでは、ピンの I/O 規格に基づいて、I/O ピンの消費電力を見積ることができます。



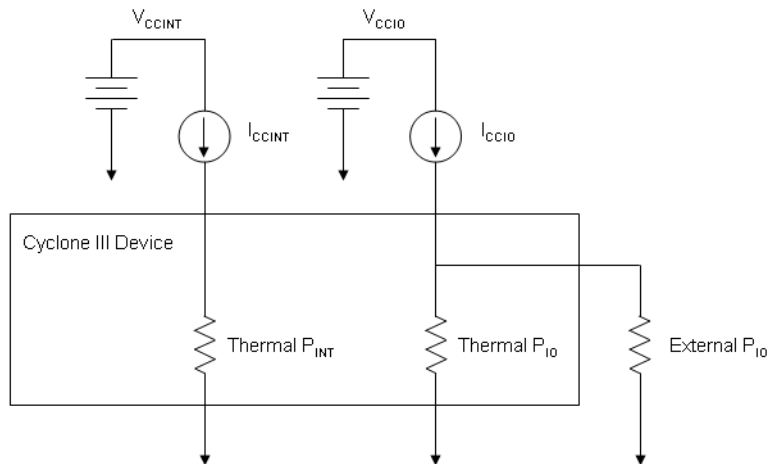
PowerPlay Early Power Estimator スプレッドシートは、終端抵抗を推奨する I/O 規格（例えば、SSTL、HSTL）でデザインを設計する場合に、外部終端抵抗を使用することを想定しています。デザインで外部終端抵抗を使用しない場合は、終端された I/O 規格と同じ V_{CCIO} と電流強度を持つ LVTTTL/LVCMOS I/O 規格を選択する必要があります。例えば、終端抵抗のない（ポイント・ツー・ポイント接続を使用）SSTL-2 Class II I/O 規格を使用する場合は、PowerPlay Early Power Estimator スプレッドシートで **2.5V** を I/O 規格として選択しなければなりません。

I/O 信号の消費電力として示される値には、熱および外部 I/O 消費電力が含まれています。全熱電力は各電源レールのデバイスでの熱消費電力を合計したものです。

$$\text{熱消費電力} = \text{熱 } P_{INT} + \text{熱 } P_{IO}$$

図 3-9 は、I/O 消費電力を図示しています。 I_{CCIO} レールの消費電力には、熱 P_{IO} と外部 P_{IO} の両方が含まれています。

図 3-9. I/O 消費電力の図



V_{REF} ピンはわずかな電流 ($10\ \mu\text{A}$ 未満) しか消費しないので、汎用 I/O ピンの消費電力と比較した場合は無視できます。したがって、PowerPlay Early Power Estimator スプレッドシートの計算には、 V_{REF} ピンの電流は含まれていません。

I/O セクションの各行は、I/O ピンが同じ I/O 規格、電流強度、または出力終端、データ・レート、クロック周波数、出力イネーブルのスタティック、および容量性負荷が同じデザイン・モジュールを表します。デザイン・モジュールごとに、以下のパラメータを入力する必要があります。

- I/O 規格
- 電流強度 / 出力終端
- 入力、出力、および双方向ピンの数
- I/O データ・レート
- クロック周波数 (f_{MAX}) (単位 MHz)
- ピンの平均トグル・レート
- 出力イネーブルのスタティック
- 負荷の容量

表 3-5 に、PowerPlay Early Power Estimator の I/O セクションの I/O 電源レール情報を示します。

表 3-5. I/O セクションの I/O 電源レール情報	
カラム・ヘッダ	説明
Power Rails	I/O ピンの電源レール
Voltage (V)	指定された電源レールに印加される電圧 (V)。
Current (A)	指定された電源レールから引き出される電流 (A)。

表 3-6 は、PowerPlay Early Power Estimator スプレッドシートの I/O セクションのパラメータについて説明しています。

表 3-6. I/O セクションの情報 (1 / 3)	
カラム・ヘッダ	説明
Module	このカラムにモジュール名を入力します。これはオプションです。
I/O Standard	このモジュールの入力ピン、出力ピン、および双方向ピンに使用する I/O 規格をリストから選択します。 計算される I/O 消費電力は、I/O 規格によって異なります。終端を推奨する I/O 規格 (SSTL および HSTL) の場合、PowerPlay Early Power Estimator スプレッドシートでは、外部終端抵抗が使用されることを仮定しています。外部終端抵抗を使用しない場合は、終端された I/O 規格と同じ電圧の LVTTTL/LVCMOS I/O 規格を選択する必要があります。上下のスクロール・バーを使用して、ドロップ・ダウン・リストの I/O 規格をすべて確認します。
Current Strength/ Output Termination	このモジュールの I/O ピン用として実装する電流強度または出力終端を選択します。電流強度と出力終端の両方を同時に使用することはできません。
# Input Pins	このモジュールで使用する入力ピン数を入力します。1つの差動ピン・ペアで1本のピンと見なします。
# Output Pins	このモジュールで使用する出力ピン数を入力します。1つの差動ピン・ペアで1本のピンと見なします。
# Bidir Pins	このモジュールで使用する双方向ピン数を入力します。I/O ピンは、その出力イネーブル信号がアクティブな場合は出力として、出力イネーブル信号がディセーブルされている場合は入力として扱われます。 双方向としてコンフィギュレーションされた I/O を出力にのみ使用する場合は、出力バッファがトグルするたびに入力バッファもトグルするため(両方が同じピンを共有する)、出力専用としてコンフィギュレーションされた I/O よりも消費電力が大きくなります。

表 3-6. I/O セクションの情報 (2 / 3)	
カラム・ヘッダ	説明
Data Rate	I/O データ・レートとして、SDR または DDR を選択します。 これは I/O 値が 1 サイクルごとに 1 回 (SDR) 更新されるか、2 回 (DDR) 更新されるかを示します。ピンのデータ・レートが DDR の場合、データ・レートを SDR に設定して、トグル・レートを 2 倍にすることができます。Quartus II ソフトウェアでは、多くの場合はこの方法を使用して情報を出力します。
Clock Freq (MHz)	クロック周波数を入力します (単位 MHz)。この値はデバイス・ファミリの最大周波数仕様で制限されます。 100 MHz で、トグル・レートが 12.5% の場合、各 I/O ピンは 1 秒あたり 1,250 万回 (100 × 12.5%) トグルします。
Toggle %	各クロック・サイクルにおける入力ピン、出力ピン、および双方向ピンの平均トグル・レートを入力します。クロックは周波数の 2 倍でトグルするため、入力ピンがクロックとして使用される場合のトグル・レートは 0 ~ 200% です。 ピンで DDR 回路を使用する場合は、データ・レートを SDR に設定して、トグル・レートを 2 倍にすることができます。Quartus II ソフトウェアでは、多くの場合はこの方法を使用して情報を出力します。一般にトグル・レートは 12.5% です。より慎重にする場合は、これより高いトグル・レートを使用します。
OE %	以下の平均時間の割合を入力します。 <ul style="list-style-type: none"> ● 出力 I/O ピンがイネーブルされる時間 ● 双方向 I/O ピンが出力になりイネーブルされる時間 <p>残りの時間では、以下のことが行われます。</p> <ul style="list-style-type: none"> ● 出力 I/O ピンがトライステートになります。 ● 双方向 I/O ピンが入力になります。 <p>この値は 0 ~ 100% でなければなりません。</p>
Load (pF)	チップ外部のピンの負荷を入力します (単位 pF)。 これは出力ピンと双方向ピンのみが対象となります。ピンおよびパッケージのキャパシタンスは、すでに I/O モデルに含まれています。したがって、Load パラメータに含める必要があるのはオフチップ・キャパシタンスのみです。
Thermal Power (W), Routing	これは配線見積りによる消費電力 (単位 W) を示します。 ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のカスタム・デザインでの実験に基づく、代表的なルーティング消費電力を表しています。 デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。

表 3-6. I/O セクションの情報 (3 / 3)

カラム・ヘッダ	説明
Thermal Power (W), Block	これは、I/O の内部および負荷トグルに起因する消費電力を示します (単位 W)。 デザインの正確な I/O コンフィギュレーションに基づく精度の高い解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されません。
Thermal Power (W), Total	これは指定された入力に基づいて、消費電力 (単位 W) の見積りを示します。これは I/O ピンの全消費電力で、ルーティング消費電力とブロック消費電力の合計と同じです。この値は自動的に計算されます。
Supply Current (A), I _{CCINT}	これは V _{CCINT} レールから引き出される電流を示します。内部のデジタル回路と配線に電力を供給します。この値は自動的に計算されます。
Supply Current (A), I _{CCIO}	これは V _{CCIO} レールから引き出される電流を示します。この電流の一部は、オフチップ終端抵抗に流れ込む場合があります。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-10 に、Cyclone III デバイスをターゲットにしたデザインに関する、Quartus II ソフトウェア Compilation Report の **Output Pins** レポートの例を示します。Compilation Report に各ピンで使用される I/O 規格がリストされています。

図 3-10. Compilation Report の Output Pins レポート

Output Pins																		
Name	Pin #	I/O Bank	X coordinate	Y coordinate	Cell number	Output Register	Output Enable Register	Power Up High	PCI I/O Enabled	Open Drain	TRI Primitive	Bus Hold	Weak Pull Up	I/O Standard	Current Strength	Termination	Location assigned by	Load
1	LogoOut	WT1	8	18	0	1	no	no	no	no	no	no	Off	LVTTTL	24mA	Off	Filter	0 pF
2	c3out[0]	F11	3	18	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
3	c3out[10]	G11	3	22	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
4	c3out[11]	D9	3	16	36	3	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
5	c3out[13]	B6	3	3	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
6	c3out[13]	A6	3	3	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
7	c3out[14]	F10	3	14	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
8	c3out[15]	G12	3	27	36	2	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
9	c3out[16]	H10	3	7	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
10	c3out[17]	D12	3	24	36	2	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
11	c3out[18]	B8	3	16	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
12	c3out[19]	A7	3	11	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
13	c3out[1]	J9	3	5	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
14	c3out[20]	D10	3	20	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
15	c3out[21]	J14	3	24	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
16	c3out[22]	G9	3	7	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
17	c3out[23]	J11	3	27	36	0	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
18	c3out[24]	C11	3	29	36	3	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
19	c3out[25]	J10	3	27	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
20	c3out[26]	B11	3	29	36	2	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF
21	c3out[27]	C12	3	29	36	1	no	no	no	no	no	no	Off	1.8V	12mA	Off	Filter	0 pF

図 3-11 に、PowerPlay Early Power Estimator スプレッドシートの I/O セクションと、I/O ピンでの消費電力の見積りを示します。

図 3-11. PowerPlay Early Power Estimator スプレッドシートの I/O セクション

I/O		Return to Main														
Total Thermal Power (W)		0.804														
I/O Utilization		61.7%														
Power Rails		Voltage (V)		Current (A)												
V _{CCIO}	1.2	0.0012														
V _{CCIO}	1.5	0.0604														
V _{CCIO}	1.8	0.3394														
V _{CCIO}	2.5	0.1894														
V _{CCIO}	3.0	0.0000														
V _{CCIO}	3.3	0.0015														
												Thermal Power (W)			Supply Current (A)	
Module	I/O Standard	Current Strength / Output Termination	# Input Pins	# Output Pins	# Bidir Pins	Data Rate	Clock Freq (MHz)	Toggle %	OE %	Load (pF)	Routing	Block	Total	I _{CCINT}	I _{CCIO}	
1	1.2 V	2mA	20	10	0	SDR	50.0	12.5%	100.0%	10	0.000	0.004	0.004	0.003	0.001	
2	2.5 V	4mA	10	5	0	SDR	50.0	12.5%	100.0%	10	0.000	0.003	0.003	0.001	0.001	
3	LVDS	Default	20	20	0	SDR	200.0	12.5%	100.0%	10	0.001	0.420	0.421	0.255	0.187	
4	3.3-V LVTTTL	4mA	15	10	0	SDR	20.0	12.5%	100.0%	10	0.000	0.006	0.006	0.002	0.001	
5	Differential 1.5-V HSTL Class I	8mA	8	5	0	SDR	300.0	12.5%	100.0%	10	0.000	0.052	0.053	0.018	0.060	
6	Differential 1.8-V SSTL Class II	12mA	4	4	0	SDR	300.0	12.5%	100.0%	10	0.000	0.050	0.050	0.017	0.060	
7	SSTL-18 Class II	12mA	36	36	0	DDR	333.0	12.5%	100.0%	10	0.005	0.255	0.259	0.082	0.279	

PLL

Cyclone III デバイスは高速 PLL (Phase-Locked Loop) を備えています。

PLL セクションの各行には、デバイスの 1 個以上の PLL が示されます。PLL ごとに最大出力周波数と VCO 周波数を入力する必要があります。表 3-7 に、PowerPlay Early Power Estimator スプレッドシートの PLL セクションで入力する必要がある値を示します。

カラム・ヘッダ	説明
Module	このカラムには、PLL 名を入力します。これはオプションです。
# PLL Blocks	同じ特定の出力周波数と VCO 周波数の組み合わせを持つ PLL ブロック数を入力します。
Output Freq (MHz)	PLL の最大出力周波数 (f_{MAX}) を入力します (単位 MHz)。最大出力周波数は、Quartus II Compilation Report の Output Frequency カラムに表示されます。 Compilation Report で、 Fitter を選択し、 Resource Section をクリックします。 PLL Usage を選択し、 Output Frequency をクリックします。 PLL から複数のクロック出力がある場合は、リストされている最大出力周波数を選択します。
VCO Freq (MHz)	電圧制御発振器の周波数を MHz 単位で入力します。VCO 周波数は、Quartus II Compilation Report の Nominal VCO frequency 行に示されます。 Compilation Report で、 Fitter を選択し、 Resource Section をクリックします。 PLL Summary を選択し、 Nominal VCO frequency をクリックします。
Total Power (W)	これは、入力した最大出力周波数と VCO 周波数に基づいて、 V_{CCA} と V_{CCD} を組み合わせた消費電力の見積りを示します (単位 W)。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-12 に、Cyclone III デバイス・ファミリをターゲットにしたデザインの Quartus II ソフトウェアの Compilation Report の PLL Usage セクションを示します。Compilation Report には PLL が出力する最大周波数が示されます。

図 3-12. Compilation Report の PLL Usage

PLL Usage												
	Name	Output Clock	Mult	Div	Output Frequency	Phase Shift	Duty Cycle	Counter	Counter Value	High / Low	Initial	VCO Tap
1	pll1:inst1 altpll_component_clk0	clock0	1	1	100.0 MHz	0 (0 ps)	50/50	C0	6	3/3 Even	1	0
2	pll1:inst1 altpll_component_clk1	clock1	3	2	150.0 MHz	0 (0 ps)	50/50	C1	4	2/2 Even	1	0
3	LPLL:inst5 altpll_component_clk0	clock0	1	1	75.0 MHz	0 (0 ps)	50/50	C0	10	5/5 Even	1	0
4	LPLL:inst5 altpll_component_clk1	clock1	1	1	75.0 MHz	96 (3333 ps)	50/50	C1	10	5/5 Even	3	4
5	pll1:inst2 altpll_component_clk0	clock0	1	1	100.0 MHz	0 (0 ps)	50/50	C0	6	3/3 Even	1	0
6	pll1:inst2 altpll_component_clk1	clock1	3	2	150.0 MHz	0 (0 ps)	50/50	C1	4	2/2 Even	1	0
7	ROMPLL:inst7 altpll_component_clk0	clock0	5	7	125.01 MHz	0 (0 ps)	50/50	C0	7	4/3 Odd	1	0
8	ROMPLL:inst7 altpll_component_clk1	clock1	1	1	175.01 MHz	0 (0 ps)	50/50	C1	5	3/2 Odd	1	0

図 3-13 に、Cyclone III デバイス・ファミリをターゲットにしたデザインの Quartus II ソフトウェアの Compilation Report の PLL Summary を示します。Compilation Report には PLL の VCO 周波数が示されます。

図 3-13. Compilation Report の PLL Summary

PLL Summary						
	Name	pll1:inst1 altpll_component pll	LPLL:inst5 altpll_component pll	pll1:inst2 altpll_component pll	ROMPLL:inst7 altpll_component pll	
1	PLL mode	Normal	Normal	Normal	Normal	
2	Compensate clock	clock0	clock0	clock0	clock0	
3	Gate lock counter	--	--	--	--	
4	Input frequency 0	100.0 MHz	75.0 MHz	100.0 MHz	175.01 MHz	
5	Input frequency 1	--	--	--	--	
6	Nominal PFD frequency	100.0 MHz	75.0 MHz	100.0 MHz	175.0 MHz	
7	Nominal VCO frequency	599.9 MHz	750.2 MHz	599.9 MHz	874.9 MHz	
8	VCO post scale	--	--	--	--	
9	VCO multiply	--	--	--	--	
10	VCO divide	--	--	--	--	
11	Freq min lock	83.33 MHz	50.0 MHz	83.33 MHz	100.0 MHz	
12	Freq max lock	166.67 MHz	100.0 MHz	166.67 MHz	200.0 MHz	
13	M VCO Tap	0	0	0	0	
14	M Initial	1	1	1	1	
15	M value	6	10	6	5	
16	N value	1	1	1	1	
17	Preserve counter order	Off	Off	Off	Off	
18	PLL location	PLL_1	PLL_3	PLL_4	PLL_2	
19	Inclk0 signal	clkab	clk	clkfreq	romck	
20	Inclk1 signal	--	--	--	--	

図 3-14 に、PowerPlay Early Power Estimator スプレッドシートの PLL セクションと、PLL での消費電力の見積りを示します。

図 3-14. PowerPlay Early Power Estimator スプレッドシートの PLL セクション

PLL		Return to Main			
Total Thermal Power (W)		0.295			
PLL Utilization		0.0%			
This section only estimates power from the PLL control blocks and does not include the power from the PLL clock output networks. Please enter additional parameters in the "Clocks" section.					
Module	# PLL Blocks	Output Freq (MHz)	VCO Freq (MHz)	Total Power (W)	User Comments
1	2	150.0	400.0	0.295	
2	1	75.0	750.0	0.000	
3	1	175.0	874.0	0.000	
4	2	100.0	300.0	0.000	

クロック

Cyclone III デバイスは、最大 20 本のグローバル・クロック・ネットワークを備えています。

Clocks セクションの各行には、クロック・ネットワークまたは個別のクロック・ドメインが示されます。使用されるクロック・ネットワークごとに、クロック周波数 (f_{MAX}) (単位 MHz) と合計ファンアウトを入力する必要があります。表 3-8 は、PowerPlay Early Power Estimator スプレッドシートの **Clock** セクションのパラメータについて説明しています。

表 3-8. Ckock セクション情報 (1 / 2)

カラム・ヘッダ	説明
Domain	このカラムにはクロック・ネットワーク名を入力します。これはオプションです。
Clock Freq (MHz)	クロック・ドメインの周波数を入力します。この値はデバイス・ファミリの最大周波数仕様で制限されます。

表 3-8. Cclock セクション情報 (2 / 2)	
カラム・ヘッダ	説明
Total Fanout	このクロックが供給されるフリップ・フロップおよび RAM ブロック、DSP ブロック、および I/O ブロックの総数を入力します。各グローバル・クロック信号によってドライブされるリソースの数は、Quartus II Compilation Report の Fan-out カラムに示されます。 Compilation Report で、 Fitter を選択し、 Resource Section をクリックします。 Global & Other Fast Signals を選択し、 Fan-out をクリックします。
Global Enable %	クロック・ツリー全体がイネーブルされる時間の平均割合 (%) を入力します。各グローバル・クロック・バッファには、クロック・ツリー全体をダイナミックにシャットダウンするのに使用できるイネーブル信号があります。
Local Enable %	クロック・イネーブルがデスティネーション・フリップ・フロップに対して High になる時間の平均割合 (%) を入力します。 LE のフリップ・フロップに対するローカル・クロック・イネーブルは、LAB ワイドの信号になります。いずれかのフリップ・フロップがディセーブルされると、LAB ワイドのクロックもディセーブルされ、ダウンストリーム・ロジックの消費電力だけでなく、クロックの消費電力も削減されます。このシートでは、クロック・ツリーの消費電力に与える影響のみモデル化します。
Total Power	これはクロック分配に起因する全消費電力です (単位 W)。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-15 に、Quartus II ソフトウェアの Compilation Report のデザイン例に関する **Global & Other Fast Signals** レポートを示しています。グローバル・クロックを使用する各信号のファンアウトを示します。Compilation Report の **TimeQuest Timing Analyzer** セクションにはクロック信号の周波数がリストされます。Compilation Report の該当する情報を PowerPlay Early Power Estimator に入力します。

図 3-16 に、PowerPlay Early Power Estimator スプレッドシートの Clocks セクションと、クロックでの消費電力の見積りを示します。

図 3-15. Compilation Report の Global & Other Fast Signals Resource セクション

Global & Other Fast Signals							
	Name	Location	Fan-Out	Global Resource Used	Global Line Name	Enable Signal Source Name	Input Clock ID
1	Clock_Block:inst1Clock_Block_altdclkctrl_lgb:Clock_Block_altdclkctrl_lgb_component1wire_clkctrl1_outclk	CLKCTRL_G1	1	Global Clock	GCLK1	ENA	clk1
2	PLLCCB:inst61altpll_component1altpll_8cg1:auto_generateddclk[0]	PLL_1	1	Global Clock	GCLK3	--	--
3	PLLCCB:inst71altpll_component1altpll_8cg1:auto_generateddclk[1]	PLL_2	1	Global Clock	GCLK9	--	--
4	PLLCCB:inst71altpll_component1altpll_8cg1:auto_generateddclk[2]	PLL_2	1	Global Clock	GCLK7	--	--

図 3-16. PowerPlay Early Power Estimator の Clocks セクション

Clocks		Return to Main				
Total Thermal Power (W)		0.030				
Domain	Clock Freq (MHz)	Total Fanout	Global Enable %	Local Enable %	Total Power (W)	User Comments
1	125.0	10	100%	50%	0.002	
2	75.0	316	100%	50%	0.008	
3	0.0	120	100%	50%	0.000	
4	100.0	10	100%	50%	0.002	
5	100.0	20	100%	50%	0.003	
6	175.0	10	100%	50%	0.003	
7	150.0	84	100%	50%	0.008	
8	150.0	11	100%	50%	0.003	

Power Analysis

PowerPlay Early Power Estimator スプレッドシートの **Main** セクションには、デザインの消費電力と電流の見積りが要約されています。**Main** セクションには、全熱消費電力、熱解析、および電源サイズ情報が表示されます。情報の精度は、入力した情報に依存します。また、消費電力は入力したトグル・レートによって大きく異なる場合もあります。以下の項では、PowerPlay Early Power Estimator の結果について説明します。

図 3-17 に、Main セクションの Thermal Power、Thermal Analysis、および Power Supply Sizing 領域を示します。

図 3-17. Main セクションの消費電力に関する領域

The screenshot shows the PowerPlay Early Power Estimator for Cyclone III V7.0. The interface includes the following sections:

- Input Parameters:** Family (Cyclone III), Device (EP3C40), Package (F780), Temperature Grade (Commercial), Power Characteristics (Typical). Ambient Temp. T_A (°C) is set to 25. Heat Sink is 23 mm - Medium Profile. Airflow is 200 lfm (1.0 m/s). Board Thermal Model is None (Conservative).
- Thermal Power (W):**

Logic	0.499
RAM	0.052
DSP	0.005
I/O	0.804
PLL	0.295
Clocks	0.030
P_{static}	0.013
TOTAL	1.697
- Thermal Analysis:** Junction Temp. T_J (°C) is 25.2. Θ_{JA} Junction-Ambient is 0.10. Maximum Allowed T_J (°C) is 84.8.
- Power Supply Current (A):**

I_{CCINT} (1.2V)	0.867
I_{CCA} (2.5V)	0.367
I_{CCD} (1.2V)	0.148
I_{CCIO}	0.592

Thermal Power

熱消費電力とはデバイス内で放散される電力のことです。全熱消費電力は W 単位で示され、デバイスで使用されるすべてのリソースの熱消費電力を合計したものです。全熱消費電力には、待機時およびダイナミック消費電力の最大消費電力が含まれます。



全熱消費電力には、**I/O** セクションの熱コンポーネントのみが含まれ、外部におけるリファレンス電圧終端抵抗などの熱消費電力は含まれません。

図 3-18 に、全熱消費電力（単位 W）とデバイスのスタティック消費電力 (P_{static}) を示します。各セクションの熱消費電力が表示されます。セクションの熱消費電力の計算方法を確認するには、セクションをクリックし、そのセクションに入力した値を表示します。

図 3-18. PowerPlay Early Power Estimator の Thermal Power

Thermal Power (W)	
Logic	0.499
RAM	0.052
DSP	0.005
I/O	0.804
PLL	0.295
Clocks	0.030
P_{static}	0.013
TOTAL	1.697

表 3-9 に、PowerPlay Early Power Estimator スプレッドシートの熱消費電力パラメータを示します。

表 3-9. Thermal Power セクション情報 (1 / 2)	
カラム・ヘッダ	説明
Logic	これは LUT と関連する配線でのダイナミック消費電力を示します。 Logic をクリックすると詳細が表示されます。
RAM	これは、RAM ブロックと関連する配線でのダイナミック消費電力を示します。 RAM をクリックすると詳細が表示されます。
DSP	これは、DSP ブロックと関連する配線でのダイナミック消費電力を示します。 DSP をクリックすると詳細が表示されます。
I/O	これは、I/O ピンと関連する配線での熱消費電力を示します。この熱消費電力には、チップ上の終端された I/O 規格のスタティック消費電力と I/O バンクでの待機時消費電力が含まれます。 I/O をクリックすると詳細が表示されます。
PLL	これは、PLL でのダイナミック消費電力を示します。 PLL をクリックすると詳細が表示されます。
Clocks	これは、クロック・ネットワークでのダイナミック消費電力を示します。 Clocks をクリックすると詳細が表示されます。

表 3-9. Thermal Power セクション情報 (2 / 2)

カラム・ヘッダ	説明
P_{static}	これは、クロック周波数とは無関係なスタティック消費電力を示します。この消費電力には終端抵抗に起因するスタティック I/O 電流は含まれません。終端抵抗に起因するスタティック I/O 電流は、上記の I/O 消費電力に含まれます。 P_{static} は、ジャンクション温度、選択されたデバイス、および電力特性の影響を受けます。
TOTAL	これは FPGA から熱として放散される全電力を示します。これにはオフチップ終端抵抗での消費電力は含まれません。 FPGA 電源レールから引き出される電流については、3-34 ページの「Power Supply Current (A)」を参照してください。これはオフチップ・コンポーネントに供給される電流のために異なる可能性があり、FPGA で熱として消費されることはありません。

Thermal Analysis

T_j は、直接入力するかまたは提供された情報に基づいて計算するかを選択できます。 T_j を入力する場合は、**Input Parameters** セクションの **User Entered T_j** を選択します。 T_j を自動的に計算する場合は、**Input Parameters** セクションの **Auto Computed T_j** を選択します。

T_j を自動的に計算する場合は、デバイスの周囲温度、空気流量、ヒート・シンク・ソリューション、およびボードの熱モデルを考慮して、ジャンクション温度 (単位°C) を決定します。 T_j は、デバイス条件と熱条件に基づいて見積られる動作時ジャンクション温度です。

デバイスは熱源と見なすことができ、ジャンクション温度はデバイスでの温度です。簡潔にするために、デバイスの温度は計測箇所に関係なく一定であると見なすことができます。実際には、温度はデバイスの各部分で異なります。

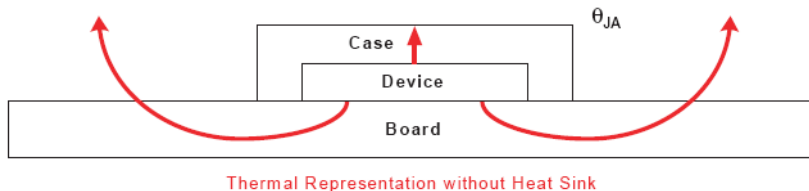
多くの経路を通じてデバイスから電力が放散する可能性があります。システムの熱特性に応じて、さまざまな経路が大量の電力を放散します。特に、デバイスにヒート・シンクを使用しているかどうかによって電力の放散経路の重要性が異なります。

ヒート・シンクを使用していない場合

ヒート・シンクを使用していない場合、電力は主にデバイスから大気中に放散します。これはジャンクションから周囲までの熱抵抗 (θ_{JA}) と呼ぶことができます。この場合、ジャンクションから周囲までの熱抵抗経路には重要なものが 2 つあります。1 つはデバイスからケースを通過し

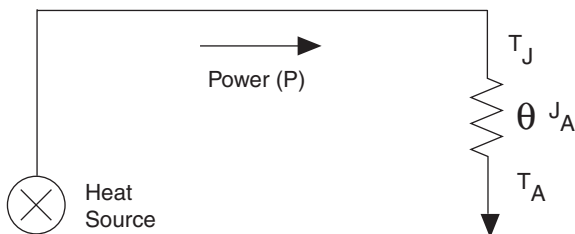
て大気中に放散する経路です。もう 1 つはデバイスからボードを通過して大気中に放散する経路です。図 3-19 に、ヒート・シンクがない場合の熱放散の様子を示します。

図 3-19. 熱の放散図 (ヒート・シンクがない場合)



PowerPlay Early Power Estimator で使用するモデルでは、電力はケースとボードを通して放散されます。 θ_{JA} の値は、ケースを通過する経路とボードを通過する経路を考慮して、異なる空気流量オプションで計算されています。図 3-20 に、ヒート・シンクがない場合の PowerPlay Early Power Estimator の熱モデルを示します。

図 3-20. PowerPlay Early Power Estimator の熱モデル (ヒート・シンクがない場合)



周囲温度は変化しませんが、ジャンクション温度は熱特性によって変化します。ジャンクション温度が変化すると、ジャンクション温度の計算に使用するデバイスの熱特性に影響するため、ジャンクション温度の計算は繰り返し行われます。

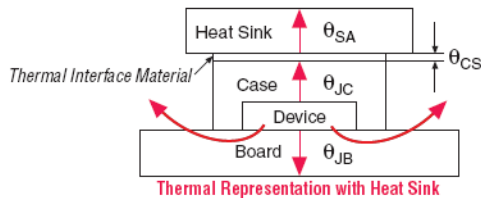
全消費電力は、以下の等式を使用して、 θ_{JA} 、周囲温度、およびジャンクション温度に基づいて計算されます。

$$P = \frac{(T_J - T_A)}{\theta_{JA}}$$

ヒート・シンクの使用

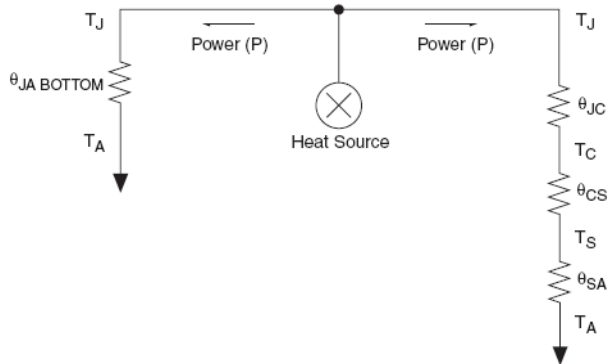
ヒート・シンクを使用する場合、電力は主に、デバイスからケース、サーマル・インタフェース材料、およびヒート・シンクを通して分散されます。また、ボードを通過する経路もあります。ボードを通過する経路は、大気への経路に比べてほとんど影響ありません。図 3-21 に、ヒート・シンクがある場合の熱放散図を示します。

図 3-21. 熱の放散図（ヒート・シンクがある場合）



PowerPlay Early Power Estimator で使用するモデルでは、電力はボードを通して、またはケースとヒート・シンクを通して分散させることができます。ボードを通過する経路の熱抵抗は、ジャンクションから周囲底面までの熱抵抗 ($\theta_{JA \text{ BOTTOM}}$) と定義します。ケース、サーマル・インタフェース材料、およびヒート・シンクを通過する経路の熱抵抗は、ジャンクションから周囲までの熱抵抗 ($\theta_{JA \text{ TOP}}$) と定義します。図 3-22 に、PowerPlay Early Power Estimator の熱モデルを示します。

図 3-22. PowerPlay Early Power Estimator の熱モデル（ヒート・シンクがある場合）



PowerPlay Early Power Estimator スプレッドシートの熱モデルで、ジャンクションから周囲底面までの熱抵抗を考慮する場合は、Board Thermal Model を **Typical Board** または **JEDEC (2s2p)** に設定します。PowerPlay Early Power Estimator スプレッドシートの熱モデルで $\theta_{JA \text{ BOTTOM}}$ 抵抗を考慮しない場合は、Board Thermal Model を **None (conservative)** に設定します。この場合、ボードを通過する経路は消費電力には考慮されず、より慎重な熱消費電力の見積りが得られます。

ジャンクションから周囲までの熱抵抗 ($\theta_{JA \text{ TOP}}$) は、ジャンクションからケースまでの熱抵抗 (θ_{JC})、ケースからヒート・シンクまでの熱抵抗 (θ_{CS})、およびヒート・シンクから周囲までの熱抵抗 (θ_{SA}) を加算して算出されます。

$$\theta_{JA \text{ TOP}} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$

main 入力パラメータで選択したデバイス、パッケージ、空気流量、およびヒート・シンク・ソリューションに基づいて、PowerPlay Early Power Estimator スプレッドシートでジャンクションから周囲までの熱抵抗 ($\theta_{JA \text{ TOP}}$) が算出されます。

低背、中背、または高背タイプのヒート・シンクを使用する場合は、**100 lfm (0.5 m/s)**、**200 lfm (1.0 m/s)**、および **400 lfm (2.0 m/s)** の静止大気および空気流量率オプションから空気流量を選択します。カスタム・ヒート・シンクを使用する場合は、ヒート・シンクから周囲までの熱抵抗 (θ_{SA}) を入力します。空気流量も θ_{SA} で考慮する必要があります。したがって、Airflow パラメータはこのケースでは適用できません。これらの値についてはヒート・シンク・メーカーに問い合わせてください。

周囲温度は変化しませんが、ジャンクション温度は熱特性によって変化します。ジャンクション温度が変化すると、ジャンクション温度の計算に使用するデバイスの熱特性に影響するため、ジャンクション温度の計算は繰り返し行われます。

全消費電力は、以下の等式を使用して、 θ_{JA} 、周囲温度、およびジャンクション温度に基づいて計算されます。

$$P = \frac{(T_J - T_A)}{\theta_{JA}}$$

図 3-23 は、ジャンクション温度 (T_J)、全 θ_{JA} 、および許容最大 T_A 値を含む熱解析を示しています。ここにリストされていない熱パラメータ値の詳細については、**Details** ボタンをクリックしてください。

図 3-23. PowerPlay Early Power Estimator の Thermal Analysis

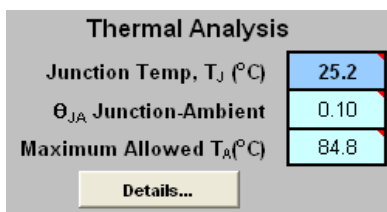


表 3-10 に、PowerPlay Early Power Estimator スプレッドシートの熱解析パラメータを示します。

表 3-10. Thermal Analysis セクション情報	
カラム・ヘッダ	説明
Junction Temp, T_j (°C)	これは、提供された熱パラメータに基づくデバイスのジャンクション温度の見積りを示します。 ジャンクション温度は、チップのトップとボード（選択されている場合）を通して全熱消費電力を放散することによって算出されます。詳細な計算方法については、 Details を参照してください。
θ_{JA} Junction-Ambient	これはジャンクションから周囲までの熱抵抗を示します（単位 °C/W）。 これは、消費電力が 1 ワット増加するごとに周囲とジャンクション間での温度上昇を表します。
Maximum Allowed T_A (°C)	これは、提供された冷却ソリューションとデバイス温度グレードに基づき、最大ジャンクション温度に違反しない範囲でデバイスが対応可能な最大周囲温度（単位 °C）のガイドラインを示します。

Power Supply Current (A)

Power Supply Current セクションには、すべての電源から引き出される電流の見積りが示されます。 I_{CCINT} / I_{CCA} / I_{CCD} 電流は、それぞれ V_{CCINT} / V_{CCA} / V_{CCD} に必要とされる電源電流です。全 I_{CCIO} 電流は、すべての V_{CCIO} 電源に必要とされる電源電流です。電源に基づく I_{CCIO} の見積りについては、PowerPlay Early Power Estimator の I/O セクションを参照してください。

図 3-24 に、電源電流の見積りを示します。I_{CCINT}、I_{CCA}、I_{CCD}、および I_{CCIO} が表示されています。

図 3-24. PowerPlay Early Power Estimator の Power Supply Current

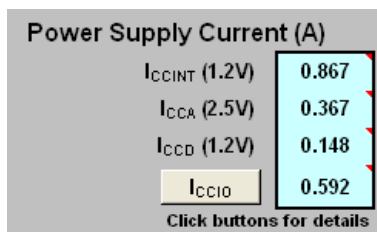


表 3-11 は、PowerPlay Early Power Estimator の Power Supply Current セクションのパラメータについて説明しています。

表 3-11. Power Supply Current 情報	
カラム・ヘッダ	説明
I _{CCINT}	これは、V _{CCINT} 電源から引き出される全電流を示します (単位 A)。
I _{CCA}	これは、V _{CCA} 電源から引き出される全電流を示します (単位 A)。
I _{CCD}	これは、V _{CCD} 電源から引き出される全電流を示します (単位 A)。
I _{CCIO}	これは、V _{CCIO} 電源レールから引き出される全電流を示します。各 I/O レールから引き出される電流の詳細については、I/O シートを参照してください。 I _{CCIO} には、I/O を通してオフチップ終端抵抗に流れ込む電流がすべて含まれています。そのため、I _{CCIO} 値は、レポートされる I/O 熱消費電力より高くなる可能性があります。このオフチップ電流はあらゆる場所で熱として放散され、デバイス温度計算では考慮されないためです。

PowerPlay Early Power Estimator スプレッド シートの 正確さに 影響する要因

PowerPlay Early Power Estimator に表示される見積り値は、多くの要因によって大きな影響を受けます。特に、入力された入力パラメータが正確かどうかを確認し、PowerPlay Early Power Estimator スプレッドシートでシステムが確実に正しくモデル化されることが重要です。その中でも、トグル・レート、空気流量、温度、およびヒート・シンクに関連して入力する情報はきわめて重要です。

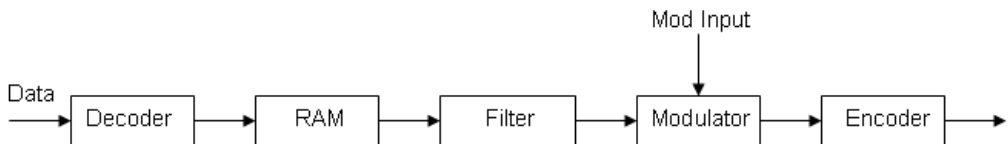
トグル・レート

PowerPlay Early Power Estimator スプレッドシートで指定するトグル・レートは、表示されるダイナミック消費電力に非常に大きく影響する可能性があります。正確な見積りを得るには、現実的なトグル・レートを入力してください。現実的なトグル・レートを特定するのは重要な問題であり、設計者は FPGA が受け取る入力の種類とそれがトグルする頻度を知っている必要があります。

デザインがまだ完成していない場合、正確な見積りを得るのは非常に困難です。この問題に対応する最良の方法は、デザインの個々のモジュールを機能別に分離して、リソースのトグル・レートと併せてリソース使用率を見積りすることです。これを達成する最も簡単な方法は、以前のデザインを利用して、同様の機能を持つモジュールのトグル・レートを見積りすることです。

一例として、ある単純なデザインで、入力データ・バスはデータ送信用にエンコードされ、トグル・レートは約 50% と仮定します。次に、このデザインはデコーダを通過し、RAM に保存されます。次に、データはフィルタされた後、別の入力データ・バスで変調され、結果は送信のためにエンコードされます。単純なブロック図を図 3-25 に示します。

図 3-25. デコーダおよびエンコーダのブロック図



このケースでは、以下の見積りを行う必要があります。

- データ・トグル・レート
- Mod 入力 of トグル・レート
- デコーダ・モジュールのリソースの見積り
- RAM のリソースの見積り
- フィルタのリソースの見積り
- 変調器のリソースの見積り
- エンコーダのリソースの見積り
- デコーダ・モジュールのトグル・レート
- RAM のトグル・レート
- フィルタのトグル・レート
- 変調器のトグル・レート
- エンコーダのトグル・レート

これらの見積りは多くの方法で行うことができます。これまでに同様のモジュールで、ほぼ同じトグル・レート of データ入力を使用したことがある場合は、その情報を利用できます。一部のブロックで MATLAB シミュレーションを使用できる場合は、トグル・レート情報を取得できます。一部のモジュールで HDL を使用できる場合は、それらのモジュールをシミュレートできます。

HDL が完成している場合、トグル・レートを算出する最良の方法はデザインをシミュレートすることです。トグル・レートの見積りの正確さは、入力ベクタの精度によって大きく異なります。したがって、シミュレーション・カバレッジが高いかどうかを判断すれば、トグル・レート情報がどの程度正確であるかを評価できます。

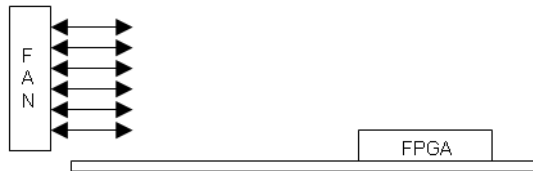
Quartus II ソフトウェアでは、シミュレーション・ツールから情報を提供すると、デザインで使用する各リソースのトグル・レートを算出することができます。デザインは多くのさまざまなツールを使用してシミュレートでき、情報は Signal Activity ファイル (.saf) により Quartus II ソフトウェアに渡すことができます。Quartus II PowerPlay Power Analyzer は、最も正確な消費電力の見積りを提供します。Quartus II ソフトウェアのコンマ区切り値ファイル (.csv) を PowerPlay Early Power Estimator スプレッドシートで使用して、デザイン完成後の消費電力を見積ることができます。

空気流量

PowerPlay Early Power Estimator スプレッドシートでは、デバイスの空気流量を指定することができます。この値は熱解析に影響し、デバイスの消費電力に直接関係します。正確な見積りを得るには、空気流量を供給するファンの出力ではなく、FPGA での空気流量を正しく算出することが不可欠です。

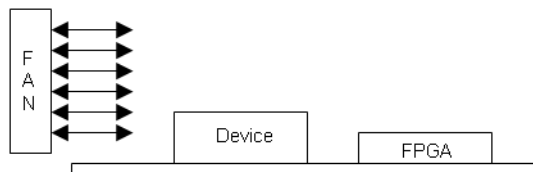
多くの場合、空気流量を供給するファンの近くにはデバイスを配置できません。したがって、空気流量の経路はデバイスに達する前にボードの長さを横断する可能性が高く、デバイスに対する実際の空気流量は減少します。以下の例 (図 3-26) では、ファンはボードの端に配置されています。FPGA での空気流量は、ファンにおける空気流量より弱くなります。

図 3-26. 空気流量および FPGA の位置



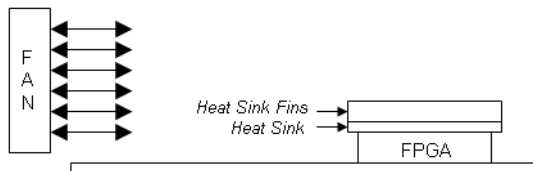
多くの場合、遮断された空気流量も考慮する必要があります。以下の例 (図 3-27) では、FPGA からの空気流量を遮断しているデバイスがあるため、FPGA に対する空気流量は大幅に減少します。また、ファンからの空気流量が FPGA に達するまでに、ボード上のコンポーネントやその他のデバイスを冷却することもよくあります。

図 3-27. 空気流量とコンポーネントおよび FPGA の位置



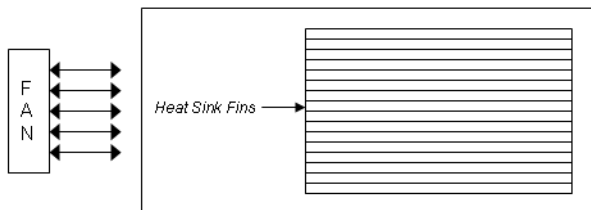
カスタム・ヒート・シンクを使用する場合は、空気流量を PowerPlay Early Power Estimator スプレッドシートに直接入力する必要はありませんが、デバイスでの空気流量を把握したうえで、ヒート・シンクの θ_{SA} を計算する必要があります。ほとんどのヒート・シンクでは、ヒート・シンクの上に空気を流れやすくするフィンが配置されています。図 3-28 に、ヒート・シンク付き FPGA のケースを示します。

図 3-28. 空気流量およびヒート・シンク



FPGA 上にヒート・シンクを配置するときは、フィンの向きを空気流量の向きと一致させる必要があります。図 3-29 の上面図に、フィンの正しい向きを示します。

図 3-29. ヒート・シンク（上面図）



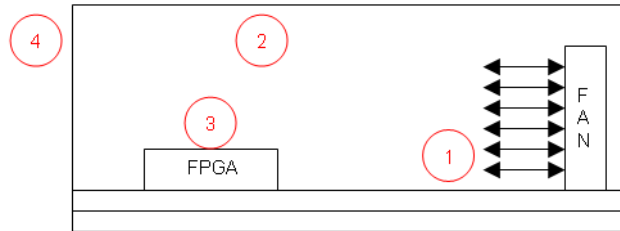
上記の検討事項は、デバイスでの空気流量に大きく影響する可能性があります。PowerPlay Early Power Estimator スプレッドシートに情報を入力する際は、正確な空気流量の値が得られるように、これらの影響を考慮する必要があります。FPGA での実際の空気流量を算出し、この値を PowerPlay Early Power Estimator スプレッドシートに正しく入力してください。

温度

PowerPlay Early Power Estimator スプレッドシートでは、デバイスの周囲温度を入力して、デバイスの熱情報を正しく計算する必要があります。周囲温度とはデバイス周囲の大気の温度です。この周囲温度は常に、システム外部の周囲温度よりはるかに高くなります。デバイスの周囲温度を正確に表すには、できるだけデバイスに近い位置で温度を測定する必要があります。この測定には熱電対を使用できます。

誤った周囲温度を入力すると、PowerPlay Early Power Estimator スプレッドシートの消費電力の見積りは大きく変化します。以下の図 3-30 に、ボックス内に FPGA を取めた単純なシステムを示します。この場合、番号が付いたそれぞれの位置によって温度は大きく異なります。

図 3-30. 温度のバラツキ



例えば、位置 3 の場合、デバイスの周囲温度は、PowerPlay Early Power Estimator スプレッドシートへの入力から取得する必要があります。ポイント 1 および 2 の温度は位置 3 より低く、位置 4 では 25°C 近くになると考えられます。システム内のデバイス付近の温度は、通常は 50 ~ 60°C ほどですが、大きくばらつくこともあります。PowerPlay Early Power Estimator スプレッドシートから正確な消費電力を見積るには、FPGA デバイス付近の周囲温度の現実的な見積りを得ることが非常に重要です。

ヒート・シンク

ヒート・シンクを使用する場合、消費電力は以下の 2 つの等式で算出されます。

$$(T_J - T_A) / \theta_{JA} = P$$

$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$

値 θ_{JC} は FPGA に固有のもので、データ・シートから入手できます。値 θ_{CS} は、ヒート・シンクと FPGA を結合する材料を指し、約 0.1 C/W になります。値 θ_{SA} は、ヒート・シンクのメーカーに問い合わせる入手してください。この値を入手するときは、デバイスに対する適切な空気流量で正しいヒート・シンク情報が解析されていることなど、FPGA の適切な条件に適合していることを確認することが重要です。



ヒートシンク測定方法の情報について詳しくは、「AN 358: Thermal Management for 90 nm FPGAs」およびアルテラ・ウェブサイト (www.altera.co.jp) を参照してください。このアプリケーション・ノートに記載されている情報は、65 nm FPGA にも適用できます。