



PowerPlay Early Power Estimator ユーザガイド

Arria GX FPGA 用



101 Innovation Drive
San Jose, CA 95134
www.altera.com

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

ドキュメント・バージョン：
ドキュメント日付：

1.0
2007年5月

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



UG-01017-1.0

このユーザガイドについて	v
改訂履歴	v
アルテラへのお問い合わせ	v
表記規則	v
第 1 章 . PowerPlay Early Power Estimator について	
リリース情報	1-1
サポートされるデバイス・ファミリ	1-1
概要	1-1
機能	1-2
第 2 章 . PowerPlay Early Power Estimator の設定	
システム条件	2-1
PowerPlay Early Power Estimator のダウンロードおよびインストール	2-1
消費電力の見積り	2-1
PowerPlay Early Power Estimator への情報の入力	2-4
第 3 章 . PowerPlay Early Power Estimator	
はじめに	3-1
PowerPlay Early Power Estimator の入力	3-1
電力解析	3-31
PowerPlay Early Power Estimator スプレッドシートの正確さに影響する要因	3-40



このユーザ ガイドについて

改訂履歴

以下の表に、このユーザガイドの章の改訂履歴を示します。

日付	バージョン	変更内容
2007年5月	1.0	初版。








アルテラへの お問い合わせ

アルテラ製品に関する最新情報は、アルテラのウェブサイト、www.altera.co.jp をご覧ください。テクニカル・サポートについては、www.altera.co.jp/mysupport にアクセスしてください。また、アルテラの販売代理店にもお問い合わせいただけます。

表記規則

本書では、以下の表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、チェックボックス・オプション、およびダイアログ・ボックス・オプションは、太字かつ文頭が大文字で表記されています。例: Save As ダイアログ・ボックス
太字	外部タイミング・パラメータ、ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、およびソフトウェア・ユーティリティ名は、太字で表記されています。 例: f_{MAX} , lqdesigns ディレクトリ、 d: ドライブ、 chiptrip.gdf ファイル
斜体かつ文頭が大文字	資料のタイトルは、斜体かつ文頭が大文字で表記されています。 例: <i>AN 75: High-Speed Board Design</i>
斜体	内部タイミング・パラメータおよび変数は、斜体で表記されています。 例: <i>t_{PIA}</i> , <i>n + 1</i> 変数は、山括弧 (<>) で囲み、斜体で表記されています。 例: < <i>ファイル名</i> >, < <i>プロジェクト名</i> >.pof ファイル
文頭が大文字	キーボード・キーおよびメニュー名は、文頭が大文字で表記されています。 例: Delete キー、Options メニュー
「小見出しタイトル」	資料内の小見出しおよびオンライン・ヘルプ・トピックのタイトルは、鉤括弧で囲んでいます。例: 「表記規則」

書体	意味
Courier フォント	<p>信号およびポート名は、Courier フォントで表記されています。 例：data1、tdi、input。アクティブ Low 信号は、サフィックス n で表示されています (例：resetn)。</p> <p>表示されているとおりに入力する必要があるものは、Courier フォントで表記されています (例：c:\qdesigns\tutorial\chiptrip.gdf)。また、Report ファイルのような実際のファイル、ファイルの構成要素 (例：AHDL キーワードの SUBDESIGN)、ロジック・ファンクション名 (例：TRI) も Courier フォントで表記されています。</p>
1.、2.、3. および a.、b.、c. など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
	チェックマークは、1 ステップしかない手順を表します。
	指差しマークは、要注意箇所を表しています。
	CAUTION マークは、特別な配慮および理解が必要であり、手順またはプロセスを始める前、または続ける際に確認すべき情報を示しています。
	注意マークは、手順またはプロセスを始める前、または続ける際に確認すべき情報を示しています。
	矢印は、Enter キーを押すことを示しています。
	足跡マークは、詳細情報の参照先を示しています。

リリース情報

表 1-1 に、このユーザガイドで説明する PowerPlay Early Power Estimator スプレッドシートのバージョンに関する情報を示します。

表 1-1. PowerPlay Early Power Estimator スプレッドシートのバージョン	
デバイス・ファミリ	PowerPlay Early Power Estimator スプレッドシートのバージョン
Arria™ GX	7.1 以降

サポートされるデバイス・ファミリ

PowerPlay Early Power Estimator スプレッドシートは、表 1-2 に示す Arria GX デバイス・ファミリに対しサポートを提供しています。

表 1-2. サポートされるデバイス・ファミリ	
デバイス・ファミリ	サポートの種類
Arria GX	フル・サポート

概要

プリント基板 (PCB) の設計者は、デバイスの消費電力を正確に見積り、適切な電力供給量を把握して、電源、電圧レギュレータ、ヒート・シンク、および冷却システムを設計する必要があります。アルテラ・ウェブサイト (www.altera.co.jp) から入手可能な Microsoft® Excel® ベースの PowerPlay Early Power Estimator スプレッドシート、または Quartus® II ソフトウェアに含まれる PowerPlay Power Analyzer を使用して、デバイスの消費電力を計算することができます。PowerPlay Early Power Estimator には、デバイス・リソース、動作周波数、トグル・レート、その他のパラメータを入力する必要があります。

本書では、PowerPlay Early Power Estimator スプレッドシートを使用して、デバイスの消費電力を見積る方法について説明します。



この計算結果は消費電力の見積りにのみ使用し、仕様 (規格) としては使用しないでください。消費電力の計算結果は、デバイスの実際のデザインや動作条件、環境などにより大きく影響されますので、デバイス動作中の実際の消費電力を確認する必要があります。



利用可能なデバイス・リソース、サポートされる I/O 規格、その他のデバイス機能について詳しくは、該当するデバイス・ファミリ・ハンドブックを参照してください。

機能

PowerPlay Early Power Estimator スプレッドシートには、以下のような特長があります。

- デザインを作成する前またはデザイン・プロセス中に消費電力の見積りを実行
- Quartus IIソフトウェアが生成する PowerPlay Early Power Estimator ファイルを使用して、デバイス・リソースの情報を Quartus II ソフトウェアから PowerPlay Early Power Estimator スプレッドシートにインポート
- デザインの暫定的な熱解析を実行

システム条件

PowerPlay Early Power Estimator スプレッドシートには以下のものが必要です。

- Windows NT/2000/XP オペレーティング・システムが動作するパーソナル・コンピュータ (PC)
- Microsoft Excel 2002 以上
- Quartus II ソフトウェア・バージョン 7.1 以上 (インポート用ファイルを生成する場合)

PowerPlay Early Power Estimator のダウンロードおよびインストール

PowerPlay Early Power Estimator スプレッドシートは、アルテラのウェブサイト (www.altera.co.jp) で提供されています。契約条件を読んで **I Agree** をクリックすると、Microsoft Excel ファイルがハード・ディスクにダウンロードされます。



デフォルトでは、Microsoft Excel 2002 のマクロ・セキュリティ・レベルは **High** に設定されます。マクロ・セキュリティ・レベルが **High** に設定されると、マクロが自動的に実行不可になります。Microsoft Excel 2002 のマクロ・セキュリティ・レベルを変更するには、Tools メニューの **Options** をクリックします。**Options** ウィンドウの **Security** タブで、**Macro Security** をクリックします。**Security** ダイアログ・ボックスの **Security Level** タブで、**Medium** を選択します。マクロ・セキュリティ・レベルを **Medium** に設定すると、マクロが含まれているスプレッドシートを開くたびに、マクロを実行するかどうかたずねるポップアップ・ウィンドウが表示されます。マクロ・セキュリティ・レベルを変更した後、マクロを使用できるようにするには、スプレッドシートを一度閉じてから再度開く必要があります。

消費電力の見積り

消費電力の見積りはデザイン・サイクルのどの段階でも実行できます。デザインを開始していない場合、またはデザインが完了していない場合に、PowerPlay Early Power Estimator スプレッドシートを使用して消費電力を見積ることができます。完成したデザインの消費電力を見積るために PowerPlay Early Power Estimator スプレッドシートを使用することは可能ですが、この目的には Quartus II ソフトウェアの PowerPlay Power Analyzer を使用することを強く推奨します。一般に、Quartus II ソフトウェアの PowerPlay Power Analyzer は正確な配線やさまざまな動作モードを把握しているため、消費電力の見積りには優先的にこのツールを使用してください。



Quartus II ソフトウェアの消費電力見積り機能について詳しくは、「Quartus II ハンドブック」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator を使用するには、デバイス・リソース、動作周波数、トグル・レート、その他のパラメータを入力します。既存のデザインがない場合、デザインで使用するデバイス・リソース数を見積って、その情報を PowerPlay Early Power Estimator に入力する必要があります。

FPGA デザイン開始前の消費電力の見積り

FPGA には、ASIC や ASSP よりもデザイン・サイクルが短く迅速な製品の市場投入が可能であるという利点があります。これは、FPGA デザイン・サイクルの途中で頻繁にボード・デザインが行われることを意味します。したがって、FPGA デザインが完了する前に、デバイスの電力プランニングを行うことができます。

表 2-1 に、FPGA デザインを開始する前に PowerPlay Early Power Estimator スプレッドシートを使用する場合の利点と欠点を示します。

表 2-1. FPGA 設計前の消費電力見積り	
利点	欠点
FPGA デザインが完了する前に、消費電力の見積りを行うことができる	<ul style="list-style-type: none"> ● 正確さはデバイス・リソースのユーザ入力と見積りに依存する ● 見積り作業に長時間を要することがある

FPGA デザインを開始する前に PowerPlay Early Power Estimator スプレッドシートで消費電力を見積るには、以下のステップを実行します。

1. PowerPlay Early Power Estimator スプレッドシートをアルテラのウェブサイト (www.altera.co.jp) からダウンロードします。
2. PowerPlay early power estimator の **Family**、**Device**、および **Package** セクションから、ターゲットのファミリー、デバイス、およびパッケージを選択します。
3. PowerPlay Early Power Estimator の各セクションに値を入力します。ファイルのワークシートごとに、クロックや PLL (Phase-Locked Loop) などの異なる消費電力セクションが表示されます。消費電力が自動的に計算され、各セクションの小計が表示されます。

4. **Total** セクションに、消費電力の見積りが表示されます。

FPGA デザイン作成中の消費電力の見積り

FPGA のデザインが部分的に完成しているときに、Quartus II ソフトウェアが生成する PowerPlay Early Power Estimator ファイル (<revision name>_early_pwr.csv) を使用して、情報を PowerPlay Early Power Estimator にインポートできます。電力見積りファイルの情報を PowerPlay Early Power Estimator にインポートした後、最終的なデザインのデバイス・リソース見積り数を反映するように PowerPlay Early Power Estimator スプレッドシートを編集できます。



Quartus II ソフトウェアによる消費電力見積りファイルの生成について詳しくは、「Quartus II ハンドブック」の「PowerPlay による電力解析」の章を参照してください。

表 2-2 に、部分的に完成している FPGA デザインに対して、PowerPlay Early Power Estimator スプレッドシートを使用する場合の利点と欠点を示します。

利点	欠点
<ul style="list-style-type: none"> ● FPGA デザイン・サイクルの早期段階で消費電力の見積りを行うことができる ● Quartus II ソフトウェアのコンパイル結果に基づいて、PowerPlay Early Power Estimator スプレッドシートに自動的にデータを入力する柔軟性を提供する 	<p>正確さは、最終デザインのデバイス・リソースのユーザ入力と見積りに依存する</p>

FPGA のデザインが部分的に完成している場合に PowerPlay Early Power Estimator スプレッドシートで消費電力を見積るには、以下のステップを実行します。

1. 部分的に完成した FPGA デザインを Quartus II ソフトウェアでコンパイルします。
2. Project メニューの **Generate PowerPlay Early Power Estimator File** をクリックして、Quartus II ソフトウェアで PowerPlay Early Power Estimator ファイル (<revision name>_early_pwr.csv) を生成します。

3. PowerPlay Early Power Estimator スプレッドシートをアルテラのウェブサイトからダウンロードします。
4. PowerPlay Early Power Estimator ファイルを PowerPlay Early Power Estimator スプレッドシートにインポートして、自動的に値を入力します。
5. ファイルをインポートして PowerPlay Early Power Estimator の値を入力した後、最終的なデザインのデバイス・リソース見積り数を反映するようにセルを手動で編集します。

FPGA デザイン完了後の消費電力の見積り

FPGA のデザインが完了すると、QuartusII ソフトウェアの PowerPlay Power Analyzer で、デバイスの消費電力についての最も正確な見積りが提供されます。PowerPlay Power Analyzer では、配置配線情報の他に、シミュレーション、ユーザ・モード、デフォルトのトグル・レート・アサインメントを使用して消費電力が決定されます。アルテラでは、FPGA のデザインが完了しているときには PowerPlay Power Analyzer を使用することを強く推奨しています。



Quartus II ソフトウェアの PowerPlay 消費電力解析機能の使用方法について詳しくは、「Quartus II ハンドブック」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator へ の情報の入力

消費電力情報を PowerPlay Early Power Estimator スプレッドシートに手動で入力するか、Quartus II ソフトウェア・バージョン 7.1 で生成される PowerPlay Early Power Estimator ファイルを読み込むことができます。PowerPlay Early Power Estimator スプレッドシートの現在の値をすべて消去することもできます。

すべての値の消去

Reset をクリックすると、ユーザが入力した PowerPlay Early Power Estimator スプレッドシートの値をすべてリセットできます。



Reset 機能を使用するには、スプレッドシートのマクロを有効にしなければなりません。スプレッドシートのマクロが有効になっていない場合、ユーザが入力した値をすべて手動でリセットする必要があります。

手動での情報の入力

PowerPlay Early Power Estimator スプレッドシートの適切なセクションに、値を手動で入力できます。白い、影なしのセルは入力セルであり、変更可能です。各セクションには、デザインに基づいてモジュール名を指定できるカラムがあります。

ファイルのインポート

すでに既存のデザインがある場合、またはデザインが部分的に完成している場合は、Quartus II ソフトウェアで生成される Power Estimator ファイルにデバイス・リソース情報を含めることができます。このデバイス・リソース情報を Quartus II ソフトウェアの PowerPlay Early Power Estimator ファイルから PowerPlay Early Power Estimator にインポートすることができます。ファイルをインポートすることにより、情報を手動で入力する場合に費やされる時間と労力が節約されます。インポートした後で値を手動で変更することもできます。

PowerPlay Early Power Estimator ファイルを生成するには、最初に Quartus II ソフトウェアでデザインをコンパイルする必要があります。デザインのコンパイルが完了したら、Project メニューの **Generate PowerPlay Early Power Estimator File** をクリックします。<revision name>_early_pwr.csv という名前の PowerPlay Early Power Estimator ファイルが生成されます。



Quartus II ソフトウェアによる PowerPlay Early Power Estimator ファイルの生成について詳しくは、「Quartus II ハンドブック」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator にデータをインポートするには、以下のステップを実行します。

1. PowerPlay Early Power Estimator の **Import Quartus II File** をクリックします。
2. Quartus II ソフトウェアで生成された消費電力見積りファイルに移動し、**Open** をクリックします。ファイルには <revision name>_early_pwr.csv という名前が付いています。
3. 確認ウィンドウで **OK** をクリックし、処理を続行します。
4. ファイルがインポートされたら、**OK** をクリックします。OK をクリックすると、インポートの完了を確認することになります。インポート中にエラーが発生した場合、.err ファイルに詳細が記録されます。



ファイルをインポートした後で、すべての情報を検証する必要があります。

Quartus II ソフトウェアからファイルをインポートすると、Quartus II ソフトウェアで指定された Main ページのすべてのパラメータが入力されます。これらのパラメータには、以下が含まれます。

- Family (製品ファミリ)
- Device (デバイス)
- Package (パッケージ)
- Temperature grade (温度グレード)
- Power characteristics (電力特性)
- Ambient or junction temperature (周囲またはジャンクション温度)
- Heat sink (ヒート・シンク)
- Airflow (空気流量)
- Custom θ_{SA} or custom θ_{JA} (Custom θ_{SA} または custom θ_{JA})
- Board thermal model (ボードの熱モデル)
- Custom θ_{JB}
- Board temperature (ボードの温度)

Ambient or junction temperature、Airflow、Heat sink、Custom θ_{SA} or Custom θ_{JA} 、Board thermal model、Custom θ_{JB} 、Board temperature はオプションのパラメータです。パラメータの詳細については、[3-1 ページの“Main の入力パラメータ”](#)を参照してください。

PowerPlay Early Power Estimator スプレッドシートにインポートされた f_{MAX} 値は、設計者が指定した Quartus II ソフトウェアの f_{MAX} 値と同じです。それぞれのシステム要件に合わせて、PowerPlay Early Power Estimator スプレッドシートの f_{MAX} とトグル・パーセントを手動で編集できます。

はじめに

PowerPlay Early Power Estimator スプレッドシートでは、アーキテクチャ機能に基づいて各セクションに情報を入力することができます。また、各アーキテクチャ機能の消費電力を小計し、各セクションにワット (W) で表示することもできます。

PowerPlay Early Power Estimator の入力

このユーザガイドの以下の項では、PowerPlay Early Power Estimator の各セクションに入力する必要がある値について説明します。PowerPlay Early Power Estimator スプレッドシートの各 Excel ワークシートは、セクションと呼ばれます。PowerPlay Early Power Estimator スプレッドシートの各セクションでは、クロック、RAM ブロック、DSP ブロックなどのデバイスのアーキテクチャ機能を表す消費電力が計算されます。

Main の入力パラメータ

デザインは同じでも消費電力はデバイスによって異なります。デバイスが大きいほどダイが大きくなり、デバイスのインタコネクとも長くなるため、より多くの電力が消費されます。

Main セクションでは、デバイスとデザインに以下のパラメータを入力できます。

- Family (製品ファミリ)
- Device (デバイス)
- Package (パッケージ)
- Temperature grade (温度グレード)
- Power characteristics (電力特性)
- Ambient or junction temperature (周囲またはジャンクション温度)
- Airflow (空気流量)
- Heat sink used (使用するヒート・シンク)
- Custom heat sink information (カスタム・ヒート・シンク情報)
- Board thermal model (ボードの熱モデル)
- Custom board thermal model information (カスタム・ボードの熱モデル情報)
- Board temperature (ボードの温度)



必要なパラメータは、ジャンクション温度を手動で入力するか自動的に計算するかによって異なります。

表 3-1 に、PowerPlay Early Power Estimator の **Main** セクションに指定する必要がある値を示します。

表 3-1. Main セクション情報 (1 / 3)	
入力パラメータ	説明
Family	デバイス・ファミリを選択します。 サポートされている製品ファミリは Arria GX です。
Device	デバイスを選択します。 デバイスが大きくなると、スタティック消費電力とクロックのダイナミック消費電力が増加します。それ以外のコンポーネントの消費電力はデバイスの影響を受けません。
Package	使用するパッケージを選択します。 パッケージが大きくなると、冷却面が大きくなり、プリント基板との接触点が増加するため、熱抵抗が減少します。パッケージの選択は、ダイナミック消費電力に影響しません。
Temperature Grade	コマーシャル・デバイスの最大動作温度は 85°C です。工業用デバイスは 100 °C で動作します。 このフィールドは最大ジャンクション温度にのみ影響します。
Power Characteristics	標準的または理論上のワースト・ケース・シリコン・プロセスを選択します。 ダイ間でプロセスのバラツキがあります。これは主にスタティック消費電力に影響します。 Maximum は熱デザインに使用され、 Typical を選択すると、デバイスの平均測定値に沿った結果になります。
Junction Temp, T_J (°C)	デバイスのジャンクション温度を入力します。-40 °C ~ 100 °C の値を使用できます。このフィールドは、 User Entered T_J を選択した場合にのみ使用できます。 この場合、ジャンクション温度は提供された熱情報に基づいて計算されません。
Ambient Temp, T_A (°C)	デバイス付近の大気温度を入力します。-40 °C ~ 100 °C の値を使用できます。このフィールドは、 Auto Computed T_J を選択した場合にのみ使用できます。 Estimated θ_{JA} を選択した場合、このフィールドはトップ・サイドの冷却ソリューション（ヒート・シンクありまたはなし）とボード（該当する場合）における熱抵抗と消費電力に基づくジャンクション温度の計算に使用されます。 Custom θ_{JA} を選択した場合、このフィールドは消費電力と入力されたカスタム θ_{JA} に基づくジャンクション温度の計算に使用されます。


表 3-1. Main セクション情報 (2 / 3)

入力パラメータ	説明
Heat Sink	<p>使用するヒート・シンクを選択します。ヒート・シンクなし、またはカスタム・ソリューションを指定できます。あるいは、ヒート・シンクに設定パラメータを指定することもできます。このフィールドは、Auto Computed T_J を選択した場合にのみ使用できます。</p> <p>ヒート・シンクの代表的な例が提供されます。ヒート・シンクが大きいほど熱抵抗が減少するため、ジャンクション温度は低下します。使用するヒート・シンクがわかっている場合は、データシートを参照し、システム内の空気流量に応じて、ヒート・シンクから周囲までのカスタム値を入力します。</p> <p>ヒート・シンクを選択すると θ_{SA} が更新され、更新後の値が、Custom θ_{SA} (°C/W) パラメータの値として表示されます。カスタム・ソリューションを選択すると、Custom θ_{SA} (°C/W) パラメータに入力した値が使用されます。</p>
Airflow	<p>得られる周囲空気流量を lfm (linear-feet per minute または m/s) 秒あたりのメートル) 単位で選択します。オプションは、100 lfm (0.5 m/s)、200 lfm (1.0 m/s)、400 lfm (2.0 m/s)、または still air です。このフィールドは、Auto Computed T_J および Estimated θ_{JA} を選択した場合にのみ使用できます。</p> <p>空気流量が増加すると、ケースから大気までの熱抵抗が減少するため、ジャンクション温度は低下します。</p>
Custom θ_{JA} (°C/W)	<p>デバイスと周囲大気間におけるジャンクションから周囲までの熱抵抗を入力します (単位 °C/W)。このフィールドは、Auto Computed T_J および Custom θ_{JA} を選択した場合にのみ使用できます。</p> <p>このフィールドは、消費電力が 1 ワット増加するごとの周囲温度とジャンクション温度間での増加量を示します。</p>
Custom θ_{SA} (°C/W)	<p>カスタム・ヒート・シンクを選択する場合は、ヒート・シンクのデータ・シートに記載されているヒート・シンクから周囲までの熱抵抗を入力します。データ・シートから引用する値はシステムの空気流量によって異なり、また熱消費電力によっても異なる場合があります。このフィールドは、Auto Computed T_J、Estimated θ_{JA} を選択した場合、および Heat Sink パラメータを Custom Solution に設定した場合にのみ使用できます。</p> <p>Custom θ_{SA} パラメータは、ケースからヒート・シンクまでの代表的な抵抗と、アルテラが提供するジャンクションからケースまでの抵抗との組み合わせであり、デバイスのトップを通過してジャンクションから周囲までの抵抗が計算されます。</p>

表 3-1. Main セクション情報 (3 / 3)	
入力パラメータ	説明
Board Thermal Model	<p>熱解析で使用するボードの種類を選択します。ヒート・シンクを選択していない場合、アルテラが提供する θ_{JA} 値にはボードの熱経路が含まれます。ボードの熱モデルを選択する場合は、Board Temp フィールドにボードの温度を入力する必要があります。このフィールドは、Auto Computed T_J および Estimated θ_{JA} を選択した場合にのみ使用できます。</p> <p>ボードの熱抵抗は、デバイス・パッケージの機能、信号および電力レイヤの数、各レイヤのメタル面積 (%)、レイヤ間の厚さ、その他多くのパラメータで構成されます。標準的なカスタム・ボード・スタックの θ_{JB} 値 (選択したデバイスおよびパッケージに基づく) は、見積りの目的に提供されます。</p> <p>システムの詳細な熱シミュレーションを実行して、最終ジャンクション温度を決定する必要があります。この2つの抵抗熱モデルは初期見積り専用です。</p>
Custom θ_{JB} (°C/W)	<p>Board Thermal Model で Custom を選択する場合は、熱シミュレーションから取得したジャンクションからボードまでの熱抵抗を入力します。このフィールドは、Auto Computed T_J および Estimated θ_{JA} を選択した場合にのみ使用できます。</p>
Board Temp, T _B (°C)	<p>デバイス背面の PCB の温度を入力します。この温度は、ボードの θ_{JB} 値と組み合わせ、FPGA のジャンクション温度が計算されます。このフィールドは、Auto Computed T_J および Estimated θ_{JA} を選択した場合にのみ使用できます。</p> <p>入力したボードの温度が周囲温度より低い場合、ボードの温度を周囲温度より低くすることは不可能なので、ツールは熱解析では周囲温度を想定します。同様に、ボード温度が計算したジャンクション温度を上回る場合は、ジャンクション温度に制限されます。</p>

図 3-1 に、PowerPlay Early Power Estimator の **Main** セクションを示します。

図 3-1. PowerPlay Early Power Estimator スプレッドシートの Main セクション

		Visit the Online Power Management Resource Center	PowerPlay Early Power Estimator Arria® GX V7.1	Release Notes	
Comments:					
Input Parameters		Thermal Power (W)		Thermal Analysis	
Family	Arria GX	Logic	0.000	Junction Temp, T_J (°C)	26.2
Device	EPIAGX20C	RAM	0.000	θ_{JA} Junction-Ambient	2.44
Package	F780	DSP	0.000	θ_{JB} Junction-Board	N/A
Temperature Grade	Commercial	I/O	0.022	Maximum Allowed T_A (°C)	82.5
Power Characteristics	Typical	HSDI	0.000	Details...	
<input type="radio"/> User Entered Tj <input checked="" type="radio"/> Auto Computed Tj		PLL	0.000	Power Supply Current (A)	
Ambient Temp, T_a (°C)	25	Clocks	0.000	I_{CCINT}	0.351
<input type="radio"/> Custom Theta JA <input checked="" type="radio"/> Estimated Theta JA		XCVR	0.056	I_{CCPD}	0.003
Heat Sink	23 mm - Medium Profile	P_{static}	0.422	I_{CCIO}	0.004
Airflow	200 lfm (1.0 m/s)	TOTAL	0.500	I_{CCXCVR}	0.042
Custom θ_{SA} (°C/W)	2.10			Click buttons for details	
Board Thermal Model	None (Conservative)				
Custom θ_{JB} (°C/W)	N/A				
Board Temp, T_B (°C)	N/A				
<input type="button" value="Set Toggle %"/> <input type="button" value="Reset"/> <input type="button" value="Import Quartus II File"/> <input type="button" value="View Report"/>					

ロジック

デザインとは、さまざまな周波数およびトグル・レートで動作する複数のデザイン・モジュールを組み合わせたものです。デザイン・モジュールごとにロジック量が異なる場合があります。消費電力を最も正確に見積るには、デザインをいくつかのデザイン・モジュールに分割します。デザインは、モジュールをクロック周波数、位置、階層、またはエンティティ別にグループ化して分割することができます。

Logic セクションの各行には、それぞれのデザイン・モジュールが示されます。デザイン・モジュールごとに、以下のパラメータを入力する必要があります。

- クロック周波数 (f_{MAX}) (単位 MHz)
- 組み合わせセルック・アップ・テーブル (ALUT) 数
- レジスタの数
- トグル・レート

表 3-2 に、PowerPlay Early Power Estimator の **Logic** セクションで入力する必要がある値を示します。

表 3-2. Logic セクション情報 (1 / 2)	
カラム・ヘッダ	説明
Module	デザインの各モジュール名を入力します。
Clock Frequency (MHz)	<p>クロック周波数を入力します (単位 MHz)。この値はデバイス・ファミリの最大周波数で制限されます。</p> <p>100 MHz でトグルが 12.5% の場合、各 LUT またはフリップ・フロップ出力は 1 秒あたり 1,250 万回 (100M×12.5%) トグルします。</p>
#Combinational ALUTs	<p>組み合わせ ALUT の数を入力します。</p> <p>Arria™ GX では、これは Quartus II Compilation Report の Usage Summary セクションにある組み合わせ ALUT の値です。</p> <p>Arria GX の各アダプティブ・ロジック・モジュール (ALM) には、最大 2 個の組み合わせ ALUT が含まれています。小型 ALUT は大型 ALUT よりも消費電力が少なくなりますが、デバイスの適合性は向上します。デザインでの ALUT の総数が、(ALM の数) × 2 個を超えてはなりません。</p>
# FFs	<p>このモジュールのフリップ・フロップの数を入力します。</p> <p>Arria GX では、これは Quartus II Compilation Report の Usage Summary セクションの専用ロジック・レジスタの値です。</p> <p>クロックのルーティング消費電力は、PowerPlay Early Power Estimator の Clocks セクションで別に計算されます。</p>
Toggle %	<p>各クロック・サイクルでのロジックの平均トグル・レートを入力します。トグル・レートは 0 ~ 100% です。一般に、トグル・レートは 12.5% で、これは 16 ビット・カウンタのトグル・レートです。トグル・レートを低く見積らないよう、これより高いトグル・レートを使用します。大部分のロジックは頻繁にはトグルしないため、50% 未満が現実的なトグル・レートです。</p> <p>例えば、入力が V_{CC} に接続された TFF は、クロック・サイクルごとに出力がロジック状態を変化させるため、トグル・レートは 100% です (図 3-2)。図 3-3 に 4 ビット・カウンタの例を示します。最下位ビット (LSB) 出力 cout0 を持つ最初の TFF は、クロック・サイクルごとに信号がトグルするため、トグル・レートは 100% です。また、出力 cout1 を持つ 2 番目の TFF は、2 クロック・サイクルおきのみ信号がトグルするため、トグル・レートは 50% です。その結果、出力 cout2 を持つ 3 番目の TFF、出力 cout3 を持つ 4 番目の TFF のトグル・レートは、それぞれ 25% と 12.5% です。したがって、この 4 ビット・カウンタの平均トグル・レートは、$(100 + 50 + 25 + 12.5) / 4 = 46.875\%$ です。</p>

表 3-2. Logic セクション情報 (2 / 2)	
カラム・ヘッダ	説明
Routing	<p>これは配線見積りによる消費電力 (単位 W) を示します。</p> <p>ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のデザインでの実験に基づく、代表的なルーティング消費電力を表しています。</p> <p>デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。</p>
Block	<p>これは ALM の内部トグルに起因する消費電力 (単位 W) を示します。</p> <p>ロジック・ブロック消費電力は、実装されている機能と各種入力の相対的なトグル・レートに関係します。PowerPlay Early Power Estimator スプレッドシートでは、100 以上の実際のデザインで観測した動作に基づく見積りを使用します。</p> <p>デザインの正確な合成に基づく正確な解析には、Quartus II PowerPlay Power Analyzer を使用します。</p>
Total	これは全消費電力 (単位 W) を示します。全消費電力はルーティング消費電力とブロック消費電力の合計です。
User Comments	コメントを入力します。これはオプションです。

図 3-2. TFF の例

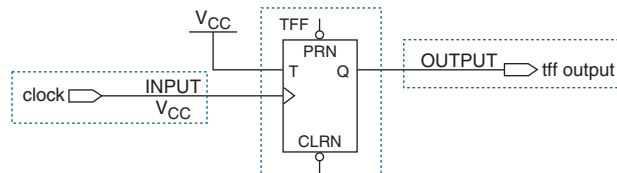


図 3-3. 4 ビット・カウンタの例

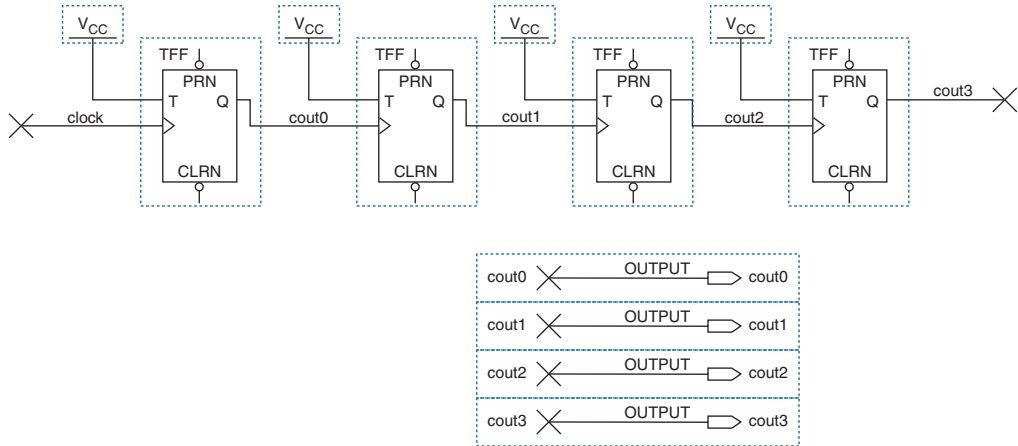


図 3-4 に、このデバイスの PowerPlay Early Power Estimator スプレッドシートと、このデザインのロジックでの消費電力の見積りを示します。

図 3-4. PowerPlay Early Power Estimator の Logic セクション

Logic		Return to Main						
Total Thermal Power (W)		1.060						
Estimated LUT Utilization		20.9%						
FF Utilization		43.8%						
High-Speed Tile Usage		Typical design						
		Thermal Power (W)						
Module	# Combinational ALUTs	# FFs	Clock Freq (MHz)	Toggle %	Routing	Block	Total	
1	23	20	50.0	12.5%	0.000	0.000	0.000	
2	10	100	500.0	12.5%	0.004	0.002	0.006	
3	500	400	123.0	12.5%	0.006	0.006	0.012	
4	10	5620	250.0	12.5%	0.108	0.035	0.143	
5	79	800	334.0	12.5%	0.021	0.009	0.030	
6	95	1000	89.4	12.5%	0.007	0.003	0.010	
7	900	7904	237.8	12.5%	0.152	0.062	0.214	
8	1265	782	79.9	12.5%	0.008	0.009	0.017	
9	7940	4580	372.0	12.5%	0.233	0.265	0.497	
10	457	2430	438.0	12.5%	0.089	0.041	0.130	

RAM ブロック

Arria GX TriMatrix™ メモリは、M512、M4K、および M-RAM の 3 つのタイプの RAM ブロックで構成されています。これらは、ツール・デュアル・ポート・メモリおよび FIFO (First-In First-Out) バッファの実装に

使用できます。消費電力は RAM ブロックのタイプごとに異なり、PowerPlay Early Power Estimator の RAM セクションで指定する必要があります。

RAM セクションの各行は、RAM ブロックのタイプ、データ幅、RAM モード、およびポート・パラメータが同じデザイン・モジュールを表します。デザインの RAM ブロックの一部またはすべてのコンフィギュレーションが異なる場合は、それぞれの行に情報を入力します。各デザイン・モジュールに、実装する RAM のタイプ、RAM ブロック数、および RAM ブロック・モードを入力する必要があります。また、各ポートに以下のパラメータも入力する必要があります。

- クロック周波数（単位 MHz）
- RAM クロックがイネーブルされる時間の割合
- ポートの読み出しに対する書き込み時間の割合



RAM ブロック・モードを選択するには、Quartus II コンパイラで RAM を実装する方法を設計者は知っている必要があります。例えば、ROM が 2 ポートで実装される場合、ツール・デュアル・ポート・メモリと見なされ、ROM とは見なされません。シングル・ポート実装と ROM 実装では、ポート A のみが使用されます。シンプル・デュアル・ポート実装とツール・デュアル・ポート実装では、ポート A とポート B が使用されます。

表 3-3 は、PowerPlay Early Power Estimator の RAM セクションのパラメータについて説明しています。

表 3-3. RAM セクション情報 (1 / 4)	
カラム・ヘッダ	説明
Module	このカラムには RAM モジュール名を入力します。これはオプションです。
RAM Type	RAM を M512、M4K、または M-RAM ブロックのいずれとして実装するか選択します。 RAM タイプは、Quartus II Compilation Report の Type カラムで確認できます。Compilation Report で、Fitter を選択し、Resource Section をクリックします。RAM Summary をクリックします。
# RAM Blocks	同じタイプおよびモードを使用し、各ポートに対して同じパラメータを持つモジュール内の RAM ブロック数を入力します。各ポートのパラメータは、以下のとおりです。クロック周波数（単位 MHz）、RAM がイネーブルされる時間の割合、およびポートの読み出しに対する書き込み時間の割合。レポートされる RAM ブロック数は、Quartus II Compilation Report の Resource Usage Summary の M512、M4K、および M-RAM の各行で確認できます。

表 3-3. RAM セクション情報 (2 / 4)	
コラム・ヘッダ	説明
Data Width	<p>RAM ブロックのデータ幅を入力します。この値には、RAM タイプごとに制限されています。RAM ブロックの幅は、Quartus II Compilation Report の Port A Width または Port B Width コラムで確認できます。Compilation Report で、Fitter を選択し、Resource Section をクリックします。RAM Summary をクリックします。</p> <p>ポート A とポート B でデータ幅が異なる RAM ブロックの場合、大きい方のデータ幅を使用します。</p> <p>入力する値は整数でなければなりません。各 RAM タイプで有効な入力範囲は、以下のとおりです。</p> <ul style="list-style-type: none"> ● M512 : 1 ~ 18 ● M4K : 1 ~ 36 (トゥルー・デュアル・ポートの場合は 1 ~ 18) ● MRAM : 1 ~ 144 (トゥルー・デュアル・ポートの場合は 1 ~ 72)
RAM Mode	<p>以下のモードから選択します。</p> <ul style="list-style-type: none"> ● Single-Port ● Simple Dual-Port ● True Dual-Port ● ROM <p>モードは、Quartus II コンパイラでの RAM の実装方法に基づきます。メモリ・モジュールの実装方法が不明な場合は、アルテラでは Quartus II ソフトウェアにより必要なコンフィギュレーションを使用してテスト・ケースをコンパイルすることを推奨しています。RAM モードは、Quartus II Compilation Report の Mode コラムで確認できます。</p> <p>Compilation Report で、Fitter を選択し、Resource Section をクリックします。RAM Summary をクリックします。</p> <p>シングル・ポート RAM には、R/W コントロール信号を持つポートが 1 つあります。シンプル・デュアル・ポート RAM には、リード・ポートが 1 つとライト・ポートが 1 つあります。トゥルー・デュアル・ポート RAM にはポートが 2 つあり、各ポートに R/W コントロール信号があります。ROM は読み出し専用のシングル・ポート RAM です。</p>
Port A – Clock Freq	RAM ブロックのポート A のクロック周波数を MHz 単位で入力します。この値は RAM のタイプとデバイス・ファミリの最大周波数仕様で制限されます。
Port A – Enable %	<p>RAM データおよびアドレス入力でのアクティビティに関係なく、ポート A の入力クロック・イネーブルがアクティブな時間の平均割合を入力します。イネーブルになる時間の割合は 0 ~ 100% です。デフォルト値は 25% です。</p> <p>RAM の電力は、主にクロック・イベントの発生時に消費されます。リードまたはライト動作が発生しない場合は、クロック・イネーブル信号を使用してポートをディセーブルすると、消費電力を大幅に節約できます。</p>

表 3-3. RAM セクション情報 (3 / 4)

コラム・ヘッダ	説明
Port A – Write %	<p>RAM ブロックのポート A がライト・モードになる時間とリード・モードになる時間の平均割合を入力します。シンプル・デュアル・ポート (1R/1W) RAM の場合、書き込みを実行していないとき、ライト・ポート (A) は非アクティブです。シングル・ポートおよびトゥルー・デュアル・ポート RAM の場合、ポート A は書き込んでいないときには読み出しを実行します。このフィールドは、RAM が ROM モードの場合は無視されます。</p> <p>この値は 0 ~ 100% でなければなりません。デフォルトは 50% です。</p>
Port B – Clock Freq	<p>RAM ブロックのポート B のクロック周波数を MHz 単位で入力します。この値は RAM のタイプとデバイス・ファミリの最大周波数仕様で制限されます。ポート B は、RAM ブロックが ROM モードまたはシングル・ポート・モードの場合は無視されます。</p>
Port B – Enable %	<p>RAM データおよびアドレス入力でのアクティビティに関係なく、ポート B の入力クロック・イネーブルがアクティブな時間の平均割合を入力します。イネーブルになる時間の割合は 0 ~ 100% です。デフォルト値は 25% です。ポート B は、RAM ブロックが ROM モードまたはシングル・ポート・モードの場合は無視されます。</p> <p>RAM の電力は、主にクロック・イベントの発生時に消費されます。リードまたはライト動作が発生しない場合は、クロック・イネーブル信号を使用してポートをディセーブルすると、消費電力を大幅に節約できます。</p>
Port B – R/W %	<p>トゥルー・デュアル・ポート・モードの RAM ブロックの場合、RAM ブロックのポート B がライト・モードになる時間とリード・モードになる時間の平均割合を入力します。シンプル・デュアル・ポート・モードの RAM ブロックの場合、RAM ブロックのポート B の読み出し時間の割合を入力します。シンプル・デュアル・ポート・モードでは、ポート B に書き込むことはできません。ポート B は、RAM ブロックが ROM モードまたはシングル・ポート・モードの場合は無視されます。</p> <p>この値は 0 ~ 100% でなければなりません。デフォルトは 50% です。</p>
Toggle%	<p>各ブロック出力信号が値を変化させるクロック・サイクルの平均割合です。クロック周波数で乗算され、1 秒あたりの遷移数が算出されます。この値はルーティング消費電力にのみ影響します。</p> <p>50% はランダムに変化する信号に相当します。ランダム信号は半分の時間のみ状態を変化させます。</p>
Valid Width/Mode	<p>このチェックは、入力したデータ幅または RAM モードが選択した RAM タイプに対応していない場合は不合格になります。M512 はトゥルー・デュアル・ポート・モードをサポートせず、M-RAM は ROM モードをサポートしません。各 RAM タイプに使用可能なデータ幅の範囲については、データ幅 (Data Width) コラムの説明を参照してください。</p>

表 3-3. RAM セクション情報 (4 / 4)	
カラム・ヘッダ	説明
Routing	これは配線見積りによる消費電力 (単位 W) を示します。 ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のカスタム・デザインでの実験に基づく、代表的なルーティング消費電力を表しています。 デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。
Block	これは RAM の内部トグルに起因する消費電力 (単位 W) を示します。 デザインの正確な RAM モードに基づく正確な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。
Total	これは指定された入力に基づいて、消費電力の見積りを W 単位で示します。これは RAM ブロックの全消費電力で、ルーティング消費電力とブロック消費電力の合計と同じです。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-5 に、このデバイス・ファミリをターゲットにしたデザインの Quartus II ソフトウェアの Compilation Report の RAM Summary を示します。Compilation Report には RAM タイプ、RAM モード、およびデータ幅が示されます。

図 3-5. Compilation Report の RAM Summary

Filter: RAM Summary																
ID	Name	Type	Mode	Port A Depth	Port A Width	Port B Depth	Port B Width	Port A Input Registers	Port A Output Registers	Port B Input Registers	Port B Output Registers	Size	Implementation Bits	M512s	M4Ks	M18Ks
1	Case2.vst@altynocam_altynocam_component@altynocam_chu_auto_generated@LTSYNCRAM	M-RAM	Single Port	512	36	--	--	yes	yes	--	--	49152	49152	0	0	1
2	Case3.vst@altynocam_altynocam_component@altynocam_top1_auto_generated@LTSYNCRAM	M4K	Single Dual Port	256	36	256	36	yes	no	yes	yes	3216	3216	0	2	0
3	Case3.vst@altynocam_altynocam_component@altynocam_top1_auto_generated@LTSYNCRAM	M4K	Single Dual Port	256	36	256	36	yes	no	yes	yes	3216	3216	0	2	0
4	Case4.vst@altynocam_altynocam_component@altynocam_pact_auto_generated@LTSYNCRAM	M4K	True Dual Port	512	36	512	36	yes	yes	yes	yes	18432	18432	0	4	0
5	Case7.vst@altynocam_altynocam_component@altynocam_1bu_auto_generated@LTSYNCRAM	M4K	ROM	512	0	--	--	yes	yes	--	--	4096	4096	0	1	0
6	ryRamMatch.vst@altynocam_altynocam_component@altynocam_3607_auto_generated@LTSYNCRAM	M512	Single Dual Port	128	144	128	144	yes	no	yes	yes	18432	288	0	0	0

図 3-6 に、PowerPlay Early Power Estimator スプレッドシートと、このデザインの RAM ブロックでの消費電力の見積りを示します。

図 3-6. PowerPlay Early Power Estimator の RAM セクション

RAM		Return to Main													
Total Thermal Power (W)		0.120													
M512 Utilization		4.8%													
M4K Utilization		8.5%													
MRAM Utilization		100.0%													
					Port A			Port B			Thermal Power (W)				
Module	RAM Type	# RAM Blocks	Data Width	RAM Mode	Clock Freq (MHz)	Enable %	Write %	Clock Freq (MHz)	Enable %	R/W %	Toggle %	Valid Width/Mode	Routing	Block	Total
1	M512	8	18	Simple Dual-Port	104.9	100%	100%	104.9	100%	100%	100.0%	Yes	0.015	0.014	0.029
2	M4K	4	9	True Dual-Port	100.0	100%	50%	100.0	100%	50%	50.0%	Yes	0.004	0.010	0.014
3	M4K	2	18	Simple Dual-Port	100.0	100%	50%	100.0	100%	100%	100.0%	Yes	0.004	0.005	0.008
4	M4K	1	8	ROM	124.9	100%	50%	124.9	100%	0%	50.0%	Yes	0.001	0.002	0.002
5	M4K	2	18	Simple Dual-Port	150.0	100%	50%	150.0	100%	100%	50.0%	Yes	0.003	0.007	0.010
6	M4K	1	24	Single-Port	75.0	100%	50%	75.0	100%	100%	50.0%	Yes	0.001	0.002	0.003
7	MRAM	1	72	Single-Port	150.0	100%	50%	150.0	100%	100%	50.0%	Yes	0.012	0.042	0.054
	M4K	0	1	Single-Port	0.0	25%	50%	0.0	25%	50%	50.0%	Yes	0.000	0.000	0.000
	M4K	0	1	Simple Dual-Port	0.0	25%	50%	0.0	25%	50%	50.0%	Yes	0.000	0.000	0.000

デジタル信号処理 (DSP)

Arria GX デバイスは、DSP アプリケーション向けに最適化された高速パラレル処理機能を実装可能な専用 DSP ブロックを内蔵しています。高速 DSP ブロックにより、乗算器、multiply_accumulate ファンクション、および有限インパルス応答 (FIR) フィルタを実装した専用ファンクションを提供します。DSP ブロックは、高いデータ・スループットを必要とする DSP アプリケーションの実装に最適です。PowerPlay Early Power Estimator スプレッドシートの **Digital Signal Processing (DSP)** セクションには、Arria GX DSP ブロックの消費電力に関する情報が示されます。

DSP セクションの各行は、DSP デザイン・モジュールを表します。各行のモジュールのすべてのインスタンスで、コンフィギュレーション、クロック周波数、トグル・レート、およびレジスタ使用率は同じにします。一部（または、すべて）の DSP またはマルチプライヤ・インスタンスでコンフィギュレーションが異なる場合は、別の行に情報を入力する必要があります。DSP またはマルチプライヤ・モジュールごとに、以下の情報を入力する必要があります。

- コンフィギュレーション
- クロック周波数 (f_{MAX}) (単位 MHz)
- インスタンスの数
- データ出力のトグル・レート
- 入力と出力がラッチされるかどうか
- モジュールがパイプライン化されるかどうか



Arria GX DSP ブロックの構成について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DSP ブロック」を参照してください。

表 3-4 に、PowerPlay Early Power Estimator の DSP セクションで入力する必要がある値を示します。

表 3-4. DSP & Multiplier セクション情報 (1 / 2)	
カラム・ヘッダ	説明
Module	このカラムには DSP モジュール名を入力します。これはオプションです。
Configuration	DSP ブロック・コンフィギュレーションを選択します。以下のコンフィギュレーションが提供されています。 <ul style="list-style-type: none"> ● 9×9 シンプル・マルチプライヤ ● 18×18 シンプル・マルチプライヤ ● 36×36 シンプル・マルチプライヤ ● 18×18 乗算アキュムレータ ● 9×9 乗算器・加算器 (2 個) ● 18×18 乗算器・加算器 (2 個) ● 9×9 乗算器・加算器 (4 個) ● 18×18 乗算器・加算器 (4 個)
Clock Frequency (MHz)	モジュールのクロック周波数を MHz 単位で入力します。この値はデバイス・ファミリの最大周波数仕様で制限されます。
# of Instances	コンフィギュレーション、クロック周波数、トグル・レート、およびレジスタ使用率が同じインスタンス数を入力します。この値は使用している専用 DSP ブロックの数とは無関係です。例えば、4 つのシンプルな 9×9 マルチプライヤを Arria GX デバイス内の同じ DSP ブロックに実装することができます。この場合、インスタンス数は 4 です。
Toggle %	各クロック・サイクルでの DSP データ出力の平均トグル・レートを入力します。トグル・レートは 0～50% です。一般にトグル・レートは 12.5% です。消費電力をより慎重に見積る場合は、これより高いトグル・レートを使用します。 また、50% はランダムに変化する信号に相当します (信号が半分の時間で 0→0 または 1→1 に変化するため)。これは DSP ブロックで最も重要なトグル・レートと見なされます。
Reg Inputs?	専用入力レジスタを使用して、専用 DSP ブロックまたはマルチプライヤ・ブロックへの入力をラッチするかどうかを選択します。DSP またはマルチプライヤ・ブロックの専用入力レジスタを使用している場合は、 Yes を選択します。入力が ALM のレジスタを使用してラッチされる場合は、 No を選択します。
Reg Outputs?	専用出力レジスタを使用して、専用 DSP ブロックまたはマルチプライヤ・ブロックの出力をラッチするかどうかを選択します。DSP またはマルチプライヤ・ブロックの専用出力レジスタを使用している場合は、 Yes を選択します。出力が ALM のレジスタを使用してラッチされる場合は、 No を選択します。
Pipe-lined?	専用 DSP ブロックをパイプライン化するかどうかを選択します。

カラム・ヘッダ	説明
Routing	これは配線見積りによる消費電力 (単位 W) を示します。 ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上のカスタム・デザインでの実験に基づく、代表的なルーティング消費電力を表しています。 デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。
Block	これは、DSP ブロックによる消費電力 (単位 W) の見積りを示します。この値は自動的に計算されます。
Total	これは指定された入力に基づいて、消費電力の見積りを W 単位で示します。これは DSP ブロックの全消費電力で、ルーティング消費電力およびブロック消費電力の和です。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-7 に、PowerPlay Early Power Estimator スプレッドシートと、このデザインの DSP ブロックでの消費電力の見積りを示します。

図 3-7. PowerPlay Early Power Estimator の DSP セクション

DSP		Return to Main										
Total Thermal Power (W)		0.024										
DSP Utilization		33.8%										
										Thermal Power (W)		
Module	Configuration	Clock Freq (MHz)	# of Instances	Toggle %	Reg Inputs?	Reg Outputs?	Pipe-lined?	Routing	Block	Total		
1	18x18 Mult-Accum	100.0	1	12.5%	Yes	Yes	No	0.001	0.001	0.002		
2	18x18 Two-Mult Adder	100.0	2	26.4%	Yes	Yes	No	0.002	0.009	0.011		
3	9x9 Four-Mult Adder	100.0	1	12.5%	Yes	Yes	No	0.000	0.002	0.002		
4	9x9 Simple Mult	100.0	1	14.0%	Yes	Yes	No	0.000	0.000	0.001		
5	18x18 Simple Mult	100.0	1	21.1%	Yes	Yes	No	0.001	0.001	0.002		
6	18x18 Four-Mult Adder	100.0	1	20.0%	Yes	Yes	No	0.001	0.006	0.007		
	9x9 Simple Mult	0.0	0	12.5%	Yes	Yes	No	0.000	0.000	0.000		
	9x9 Simple Mult	0.0	0	12.5%	Yes	Yes	No	0.000	0.000	0.000		

汎用 I/O ピン

Arria GX デバイスのプログラマブル I/O ピンは、幅広い I/O 規格をサポートしてデザインの柔軟性を向上させます。PowerPlay Early Power Estimator スプレッドシートの I/O セクションでは、ピンの I/O 規格に基づいて、I/O ピンの消費電力を見積ることができます。



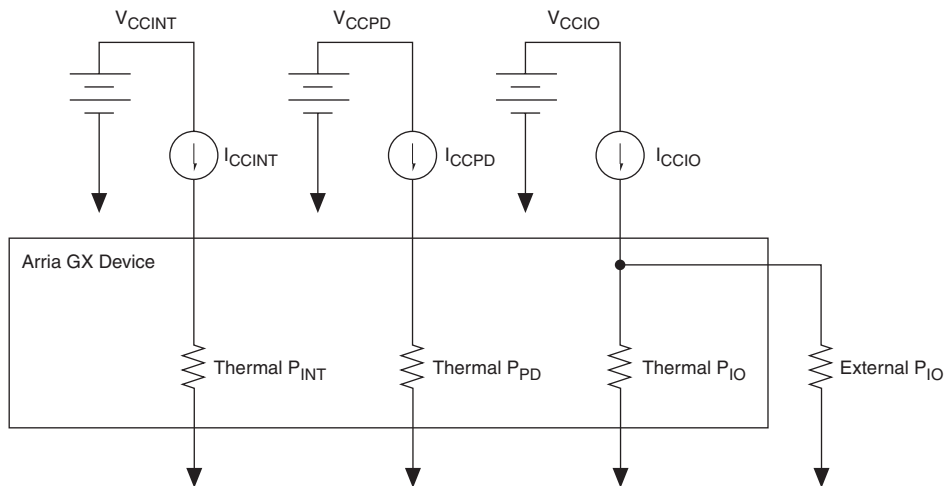
PowerPlay Early Power Estimator スプレッドシートは、終端抵抗を推奨する I/O 規格 (SSTL、HSTL) でデザインを設計する場合に、外部終端抵抗を使用することを想定しています。デザインで外部終端抵抗を使用しない場合は、終端された I/O 規格と同じ V_{CCIO} とドライブ強度を持つ LVTTTL I/O 規格を選択する必要があります。例えば、終端抵抗のない (ポイント・ツー・ポイント接続を使用) SSTL-2 Class II I/O 規格を使用する場合は、PowerPlay Early Power Estimator スプレッドシートで **LVTTTL/LVC MOS 2.5-V** を I/O 規格として、**16mA** をドライブ強度として選択しなければなりません。

I/O 信号の消費電力として示される値には、熱および外部 I/O 消費電力が含まれています。以下に示すように、全熱電力は各電源レールのデバイスでの熱消費電力を合計したものです。

$$\text{熱消費電力} = \text{熱 } P_{\text{INT}} + \text{熱 } P_{\text{PD}} + \text{熱 } P_{\text{IO}}$$

図 3-8 は、I/O 消費電力を図示しています。 I_{CCIO} レールの消費電力には、熱 P_{IO} と外部 P_{IO} の両方が含まれています。

図 3-8. I/O 消費電力の図



V_{REF} ピンはわずかな電流 (10 μA 未満) しか消費しないので、汎用 I/O ピンの消費電力と比較した場合は無視できます。したがって、PowerPlay Early Power Estimator スプレッドシートの計算には、 V_{REF} ピンの電流は含まれていません。

I/O セクションの各行は、I/O ピンが同じ周波数、トグル・レート、平均容量性負荷、I/O 規格、ドライブ強度、On-Chip Termination（チップ内終端）、データ・レート、および I/O バンクを持つデザイン・モジュールを表します。デザイン・モジュールごとに、以下のパラメータを入力する必要があります。

- I/O 規格
- ドライブ強度 /On-Chip Termination
- クロック周波数 (f_{MAX}) (単位 MHz)
- 出力、入力、および双方向ピンの数
- I/O バンク
- ピンのトグル・レート
- 出力イネーブルの割合
- 負荷の平均容量
- I/O データ・レート

表 3-5 に、PowerPlay Early Power Estimator の I/O セクションの I/O バンク・パラメータを示します。

表 3-5. I/O セクションの I/O バンクに関する情報	
カラム・ヘッダ	説明
V _{CCIO}	各バンクの V _{CCIO} 電圧を選択します。注意を促すために、下の表で選択した I/O 規格のクロス・チェックに使用します。
I _{CCIO} (A)	これは、各 I/O バンクの I/O ピンによる全供給電流を示します。これはオフチップ終端抵抗に供給される電流のため、熱消費電力より高くなる場合があります。
Unassigned	これは、I/O バンクに割り当てられていないすべての I/O モジュールの I _{CCIO} を表します。

図 3-9 に、各 I/O バンクに対する V_{CCIO} レベルの記載方法を示します。PowerPlay Early Power Estimator スプレッドシートは、各バンクの I_{CCIO} を示します。V_{CCIO} カラムで、V_{CCIO} 電圧を選択します。

図 3-9. 各 I/O バンクの V_{CCIO}

	V_{CCIO}	I_{CCIO} (A)
I/O Bank 1	2.5	0.0008
I/O Bank 2	3.3	0.0015
I/O Bank 3	3.3	0.0005
I/O Bank 4	3.3	0.1617
N/A	3.3	0.0000
N/A	3.3	0.0000
I/O Bank 7	3.3	0.0028
I/O Bank 8	1.5	0.0490
I/O Bank 9	3.3	0.0005
I/O Bank 10	1.2	0.0005
N/A	3.3	0.0000
N/A	3.3	0.0000
Unassigned		0.0000

表 3-6 に、PowerPlay Early Power Estimator の I/O セクションの I/O モジュール・パラメータを示します。

カラム・ヘッダ	説明
Module	このカラムにモジュール名を入力します。これはオプションです。
I/O Standard	このモジュールの入力ピン、出力ピン、または双方向ピンに使用する I/O 規格をリストから選択します。計算される I/O 消費電力は、I/O 規格によって異なります。
Drive Strength/ On-chip Termination	このモジュールの I/O ピン用として実装するドライブ強度または On-Chip Termination を選択します。ドライブ強度と On-Chip Termination の両方を同時に使用することはできません。
Clock Freq (MHz)	クロック周波数を入力します (単位 MHz)。 100 MHz で、トグル・レートが 12.5% の場合、各 I/O ピンは 1 秒あたり 1,250 万回 (100×12.5%) トグルします。
# Output Pins	このモジュールで使用する出力ピン数を入力します。1つの差動ピン・ペアで1本のピンと見なします。

表 3-6. I/O セクションの I/O モジュールに関する情報 (2 / 3)

コラム・ヘッダ	説明
# Input Pins	このモジュールで使用する入力ピン数を入力します。1つの差動ピン・ペアで1本のピンと見なします。
# Bidir Pins	このモジュールで使用する双方向ピン数を入力します。I/O ピンは、その出力イネーブル信号がアクティブな場合は出力として、出力イネーブル信号がディセーブルされている場合は入力として扱われます。 双方向としてコンフィギュレーションされた I/O を出力にのみ使用する場合は、出力バッファがトグルするたびに入力バッファもトグルするため(両方が同じピンを共有する)、出力専用としてコンフィギュレーションされた I/O よりも消費電力が大きくなります。
I/O Bank	モジュールが配置されている I/O バンクを選択します。ピンが割り当てられる I/O バンクが分からない場合は、値をの“?”のままにしておきます。I/O モジュールをバンクに割り当てると、I/O 電圧アサインメントに互換性があるかどうかチェックされます。これにより、per-bank I _{CCIO} レポートが作成されます。 PowerPlay Early Power Estimator スプレッドシートでは、I/O バンク、I/O 規格、および I/O 電圧の互換性のみを考慮します。I/O の配置の制約は考慮していません。
Toggle %	各クロック・サイクルにおける出力ピンおよび双方向ピンの平均トグル・レートを入力します。トグル・レートは 0 ~ 200% です。ピンでダブル・データ・レート (DDR) を使用する場合、データ・レートをシングル・データ・レート (SDR) に設定して、トグル・レートを 2 倍にすることができます。Quartus II ソフトウェアでは、多くの場合はこの方法を使用して情報を出力します。一般にトグル・レートは 12.5% です。より慎重にする場合は、これより高いトグル・レートを使用します。
OE %	以下の平均時間の割合を入力します。 <ul style="list-style-type: none"> ● 出力 I/O ピンがイネーブルされる時間 ● 双方向 I/O ピンが出力になりイネーブルされる時間 <p>残りの時間では、以下のことが行われます。</p> <ul style="list-style-type: none"> ● 出力 I/O ピンがトライステートになります。 ● 双方向 I/O ピンが入力になります。 <p>この値は 0 ~ 100% でなければなりません。</p>
Load (pF)	チップ外部のピンの負荷を入力します (単位 pF)。これは出力ピンと双方向ピンのみが対象となります。ピンおよびパッケージのキャパシタンスは、すでに I/O モデルに含まれています。したがって、Load パラメータに含める必要があるのはオフチップ・キャパシタンスのみです。
Data Rate	I/O データ・レートとして、SDR または DDR を選択します。これは I/O 値が 1 サイクルごとに 1 回 (SDR) 更新されるか、2 回 (DDR) 更新されるかを示します。ピンのデータ・レートが DDR の場合、データ・レートを SDR に設定して、トグル・レートを 2 倍にすることができます。Quartus II ソフトウェアでは、多くの場合はこの方法を使用して情報を出力します。

表 3-6. I/O セクションの I/O モジュールに関する情報 (3 / 3)	
カラム・ヘッダ	説明
Bank I/O Std Check	これは、選択した I/O 規格が選択した I/O バンクで使用可能かどうかを示します。一部の I/O 規格を実装できない I/O バンクもあります。
Bank I/O Voltage Check	これは、選択した I/O バンクの電圧が選択した I/O 規格に準拠しているかどうかを示します。
Thermal Power (W), Routing	これは配線見積りによる消費電力 (単位 W) を示します。 ルーティング消費電力は配置配線によって大きく異なりますが、配置配線自体はデザインの複雑さに関係します。ここに示す値は、100 以上の実用デザインでの実験に基づく、代表的なルーティング消費電力を表しています。 デザインで使用される配線に基づく詳細な解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。
Thermal Power (W), Block	これは、I/O の内部および負荷トグルに起因する消費電力を示します (単位 W)。 デザインの正確な I/O コンフィギュレーションに基づく精度の高い解析には、Quartus II PowerPlay Power Analyzer を使用します。この値は自動的に計算されます。
Thermal Power (W), Total	これは全消費電力 (単位 W) を示します。全消費電力はルーティング消費電力とブロック消費電力の合計です。この値は自動的に計算されます。
Supply Current (A), I _{CCINT}	これは V _{CCINT} レールから引き出される電流を示します。内部のデジタル回路と配線に電力を供給します。この値は自動的に計算されます。
Supply Current (A), I _{CCPD}	これは V _{CCPD} レールから引き出される電流を示します。このレールはブイドライバ回路に電力を供給し、3.3 V で動作します。この値は自動的に計算されます。
Supply Current (A), I _{CCIO}	これはバンクの V _{CCIO} レールから引き出される電流を示します。この電流の一部は、オフチップ終端抵抗に流れ込む場合があります。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-10 に、PowerPlay Early Power Estimator スプレッドシートの I/O セクションの I/O モジュール・パラメータを示します。

図 3-10. PowerPlay Early Power Estimator スプレッドシートの I/O セクション

Module	I/O Standard	Drive Strength On Chip Termination	Clock Freq (MHz)	# Output Pins	# Input Pins	# Bidir Pins	I/O Bank	Toggle %	OE %	Load (pF)	Data Rate	Bank I/O Std Check	Bank Voltage Check	Thermal Power (W)			Supply Current (A)		
														Routing	Block	Total	I _{CCINT}	I _{CCPD}	I _{CCIO}
1	PCT-3.3-V		100.0	22	0	0	7	12.5%	100.0%	0	50K	PASS	PASS	0.000	0.014	0.014	0.001	0.002	0.002
2	LVDS	Default	622.0	1	0	0	4	12.5%	100.0%	5	50K	PASS	PASS	0.000	0.036	0.036	0.000	0.000	0.015
3	LVDS	Default	640.0	9	0	0	4	12.5%	100.0%	0	50K	PASS	PASS	0.000	0.349	0.349	0.004	0.000	0.145
4	LVTTL 3.3-V	24 mA	75.0	0	20	0	1	12.5%	100.0%	0	50K	PASS	PASS	0.000	0.002	0.002	0.001	0.000	0.000
5	LVTTL 3.3-V	12 mA	75.0	10	0	0	2	12.5%	100.0%	0	50K	PASS	PASS	0.000	0.005	0.005	0.000	0.000	0.001
6	LVDS	Default	400.0	0	10	0	8	12.5%	100.0%	0	50K	PASS	PASS	0.001	0.171	0.172	0.041	0.000	0.049
	LVTTL 3.3-V	24 mA	0.0	0	0	0	1	12.5%	100.0%	0	50K	PASS	PASS	0.000	0.000	0.000	0.000	0.000	0.000
	LVTTL 3.3-V	24 mA	0.0	0	0	0	7	12.5%	100.0%	0	50K	FAIL	FAIL	0.000	0.000	0.000	0.000	0.000	0.000

PowerPlay Early Power Estimator スプレッドシートは、選択した I/O 規格が選択した I/O バンクで使用可能かどうか検証します。一致しない場合、図 3-11 に示すように、**Bank I/O Std Check** カラムに表示されます。また、PowerPlay Early Power Estimator スプレッドシートは、 V_{CCIO} レベルが各 I/O バンクの I/O 規格と一致するかどうか検証します。一致しない場合、図 3-12 に示すように、**Bank Voltage Check** カラムに表示されます。

図 3-11. I/O 規格の検証

Bank I/O Std Check
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS

図 3-12. PowerPlay Early Power Estimator スプレッドシートでの V_{CCIO} の不一致のチェック

Bank Voltage Check
PASS
PASS
FAIL?
PASS
PASS
PASS
PASS
PASS
PASS
PASS
PASS
FAIL?
PASS
PASS



Quartus II 見積りファイルをインポートすると、 V_{CCIO} 電圧が自動的に入力されます。しかし、デザインによっては対応しない場合があります。これは、PowerPlay Early Power Estimator スプレッドシートに異なる電圧として記載されている I/O 規格が、デバイスの同一 I/O バンクに実際に存在する場合に最も頻繁に発生します。



I/O 規格のガイドラインについて詳しくは、「Arria GX デバイス ハンドブック」の「選択可能な I/O 規格」を参照してください。

バンクの V_{CCIO} 電圧が一致しない場合、PowerPlay Early Power Estimator スプレッドシートに以下のメッセージが表示されます。

Bank and I/O voltage selection inconsistent with I/O Bank Voltage. (バンクおよび I/O 電圧の選択が I/O バンク電圧と一致しません。) See the Bank Voltage column. (Bank Voltage カラムを参照してください。)

バンクに正しい V_{CCIO} が選択されているかどうか確認します。

図 3-13 に、PowerPlay Early Power Estimator スプレッドシートと、I/O ピンの消費電力の見積りを示します。

図 3-13. PowerPlay Early Power Estimator の I/O セクション

I/O		Return to Main	
Total Thermal Power (W)		0.248	
I/O Utilization		21.8%	
	V_{CCIO}	I_{CCIO} (A)	
I/O Bank 1	2.5	0.0008	
I/O Bank 2	3.3	0.0005	
I/O Bank 3	3.3	0.0012	
I/O Bank 4	3.3	0.0158	
N/A	3.3	0.0000	
N/A	3.3	0.0000	
I/O Bank 7	3.3	0.0027	
I/O Bank 8	1.5	0.0480	
I/O Bank 9	3.3	0.0005	
I/O Bank 10	1.2	0.0005	
N/A	3.3	0.0000	
N/A	3.3	0.0000	
Unassigned		0.0000	

Module	I/O Standard	Drive Strength On-Chip Termination	Clock Freq (MHz)	# Output Pins	# Input Pins	# Bidir Pins	I/O Bank	Toggle %	OE %	Load (pF)	Data Rate	Bank I/O Sid Check	Bank Voltage Check	Thermal Power (W)			Supply Current (A)			User Comments
														Routing	Block	Total	I_{CCINT}	I_{CCPD}	I_{CCIO}	
1	LVTTL 3.3V	24 mA	100.0	22	0	0	7	12.5%	100.0%	0	80K	PASS	PASS	0.000	0.013	0.013	0.001	0.002	0.002	
2	LVCMOS	Default	822.0	1	0	0	4	12.5%	100.0%	5	80K	PASS	PASS	0.000	0.036	0.036	0.000	0.000	0.015	
3	LVCMOS	Default	840.0	0	0	0	4	12.5%	100.0%	0	80K	PASS	PASS	0.000	0.000	0.000	0.000	0.000	0.000	
4	LVTTL 3.3V	24 mA	75.0	0	20	0	11	12.5%	100.0%	0	80K	PASS	PASS	0.000	0.002	0.002	0.001	0.000	0.000	
5	LVTTL 3.3V	24 mA	75.0	10	0	0	3	12.5%	100.0%	0	80K	PASS	PASS	0.000	0.005	0.005	0.000	0.001	0.001	
6	LVCMOS	Default	400.0	0	10	0	8	12.5%	100.0%	0	80K	PASS	PASS	0.001	0.171	0.172	0.041	0.000	0.049	
	LVTTL 3.3V	24 mA	0.0	0	0	0	7	12.5%	100.0%	0	80K	N/A	N/A	0.000	0.000	0.000	0.000	0.000	0.000	
	LVTTL 3.3V	24 mA	0.0	0	0	0	7	12.5%	100.0%	0	80K	N/A	N/A	0.000	0.000	0.000	0.000	0.000	0.000	

高速差動インタフェース (HSDI)

Arria GX デバイスは、高速動作 I/O 規格とインタフェースする専用回路を内蔵しています。専用のトランスミッタおよびトランシーバは、それぞれシリアライザ・ブロックおよびデシリアライザ・ブロックを備えています。PowerPlay Early Power Estimator スプレッドシートの HSDI セクションは、レシーバ部とトランスミッタ部で構成されています。



HSDI セクションで計算される消費電力は、トランスミッタ・シリアライザ・ブロックまたはレシーバ・デシリアライザ・ブロックのみ対象となります。トランスミッタおよびレシーバは、alt1vdsメガファンクションを使用して実装されます。I/Oバッファの消費電力は、**I/O** セクションで計算され、PLL の消費電力は **PLL** セクションで計算されます。

HSDI セクションの各行には、それぞれのレシーバ・ドメインまたはトランスミッタ・ドメインが示されます。トランスミッタ・ドメインおよびレシーバ・ドメインには、以下のパラメータを入力する必要があります。

- データ・レート (単位 Mbps)
- トランスミッタ・ドメインのチャンネル数
- トグル・レート



レシーバの消費電力は、DPA 回路を使用するか否かに関係なく一定です。

表 3-7 は、PowerPlay Early Power Estimator の **HSDI** セクションのパラメータについて説明しています。

表 3-7. HSDI セクション情報	
カラム・ヘッダ	説明
TX/RX Module	このカラムにモジュール名を入力します。これはオプションです。
Data Rate (Mbps)	レシーバ・モジュールまたはトランスミッタ・モジュールの最大データ・レートを Mbps 単位で入力します。SERDES 回路は、チャンネルあたり最大 840 Mbps でデータの送受信が可能です。したがって、データ・レートは 0 ~ 840 Mbps の 10 進数でなければなりません。
# of Channels	上記のデータ・レートで動作するレシーバ・チャンネル数およびトランスミッタ・チャンネル数を入力します。
Toggle %	各クロック・サイクルでの平均トグル・レートを入力します。トグル・レートは 0 ~ 100% です。デフォルトのトグル・レートは 50% です。
Total Power	これは入力されたデータ・レートおよびチャンネル数に基づいて、消費電力の見積りを W 単位で示します。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-14 に、PowerPlay Early Power Estimator スプレッドシートと、このデザインの HSDI ブロックでの消費電力の見積りを示します。

図 3-14. PowerPlay Early Power Estimator の HSDI セクション

HSDI		Return to Main				
Total Thermal Power (W)		0.013				
This section only estimates power within the SERDES blocks and does not include the I/O power nor PLL power. Please enter the appropriate parameters in the "IO" section for I/O power, and "PLL" section for PLL power.						
Tx Module	Data Rate (Mbps)	# of Channels	Toggle %	Total Power (W)	User Comments	
1	840	10	50.0%	0.010		
	0	0	50.0%	0.000		
	0	0	50.0%	0.000		
	0	0	50.0%	0.000		
Rx Module	Data Rate (Mbps)	# of Channels	Toggle %	Total Power (W)	User Comments	
1	840	4	50.0%	0.004		
	0	0	50.0%	0.000		
	0	0	50.0%	0.000		
	0	0	50.0%	0.000		

PLL (Phase-Locked Loop)

Arria GX デバイスは、汎用の拡張 LVDS および fast PLL を内蔵しています。専用のトランスミッタまたはレシーバを使用している場合、LVDS PLL を使用してシリアルまたはデシリアル変換を実行するには、PLL セクションで LVDS PLL を指定し、消費電力情報を入力します。



fast PLL で LVDS ハードウェアをドライブする場合は、LVDS PLL と呼ばれます。LVDS PLL は、LVDS クロック・ツリーおよび DPA バスを VCO 周波数 (0 ~ 840 MHz) でドライブします。LVDS PLL で LVDS ハードウェアのみをドライブする場合は、適切な VCO 周波数を入力し、出力周波数を 0 MHz で指定します。また、LVDS PLL でピンまたはコアにクロックをドライブする場合、出力周波数 (0 ~ 550 MHz) としてそのクロック周波数を指定します。

PLL セクションの各行には、デバイスの 1 個以上の PLL が示されます。PLL ごとに最大出力周波数と VCO 周波数を入力する必要があります。また、各 PLL が LVDS、fast PLL または enhanced PLL のいずれであるかも指定する必要があります。表 3-8 に、PowerPlay Early Power Estimator の PLL セクションで入力する必要がある値を示します。

表 3-8. PLL セクション情報	
カラム・ヘッダ	説明
Module	このカラムには、PLL 名を入力します。これはオプションです。
PLL Type	PLL が LVDS、fast PLL または enhanced PLL のいずれであるか選択します。
# PLL Blocks	同じ特定の出力周波数と VCO 周波数の組み合わせを持つ PLL ブロック数を入力します。
# DPA Buses	使用しているダイナミック・フェーズ・アラインメント (DPA) の数を入力します。DPA は、LVDS PLL にのみ使用できます。
Output Frequency (MHz)	PLL の最大出力周波数 (f_{MAX}) を入力します (単位 MHz)。最大出力周波数は、QuartusII Compilation Report の PLL Usage カラムにレポートされます。 Compilation Report で、 Fitter を選択し、 Resource Section をクリックします。 PLL Usage を選択し、 Output Frequency をクリックします。 PLL から複数のクロック出力がある場合は、リストされている最大出力周波数を選択します。出力周波数は、SERDES の一部として使用される LVDS PLL の VCO 周波数と同じです。
VCO Frequency (MHz)	電圧制御発振器 (VCO) の周波数を MHz 単位で入力します。VCO 周波数は、Quartus II Compilation Report の Nominal VCO frequency 行に示されます。 Compilation Report で、 Fitter を選択し、 Resource Section をクリックします。 PLL Summary を選択し、 Nominal VCO frequency をクリックします。
Total Power (W)	これは入力した最大出力周波数および VCO 周波数に基づいて、消費電力の見積りを W 単位で示します。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-15 に、デザインに対する Quartus II ソフトウェアの Compilation Report の PLL Usage セクションを示します。Compilation Report には PLL が出力する最大周波数が示されます。

図 3-15. Compilation Report の PLL Usage

PLL Usage				
Name	Output Clock	Mult	Div	Output Frequency
1. pll1:inst1(altpil_altpil_component_clk0	clock0	1	1	100.0 MHz
2. pll1:inst1(altpil_altpil_component_clk1	clock1	3	2	150.0 MHz
3. LPLL:inst5(altpil_altpil_component_clk0	clock0	1	1	75.0 MHz
4. LPLL:inst5(altpil_altpil_component_clk1	clock1	1	1	75.0 MHz
5. pll1:inst2(altpil_altpil_component_clk0	clock0	1	1	100.0 MHz
6. pll1:inst2(altpil_altpil_component_clk1	clock1	3	2	150.0 MHz
7. ROMPLL:inst7(altpil_altpil_component_clk0	clock0	5	7	125.01 MHz
8. ROMPLL:inst7(altpil_altpil_component_clk1	clock1	1	1	175.01 MHz
9. myLVDS1X:inst6(alhvsds_bx:alhvsds_bx_component vds_bx_7s01:auto_generated)pll	clock0	1	1	105.01 MHz
10. myLVDS1X:inst6(alhvsds_bx:alhvsds_bx_component vds_bx_7s01:auto_generated)pll#ENAOOUT0	enable0	1	1	105.01 MHz
11. myLVDS1X:inst6(alhvsds_bx:alhvsds_bx_component vds_bx_7s01:auto_generated)pll#SCLKOUT0	sclkout0	8	1	840.08 MHz
12. myLVDS1X:inst9(alhvsds_rx:alhvsds_rx_component vds_rx_bk:v:auto_generated)pll	clock0	1	1	105.01 MHz
13. myLVDS1X:inst9(alhvsds_rx:alhvsds_rx_component vds_rx_bk:v:auto_generated)pll#ENAOOUT0	enable0	1	1	105.01 MHz
14. myLVDS1X:inst9(alhvsds_rx:alhvsds_rx_component vds_rx_bk:v:auto_generated)pll#SCLKOUT0	sclkout0	8	1	840.08 MHz

図 3-16 に、Arria GX デバイスをターゲットにしたデザインの Quartus II ソフトウェアの Compilation Report の PLL Summary を示します。Compilation Report には PLL の VCO 周波数が示されます。

図 3-16. Compilation Report の PLL Summary

PLL Summary						
Name	pll1:inst1(altpil_altpil_component)pll	LPLL:inst5(altpil_altpil_component)pll	pll1:inst2(altpil_altpil_component)pll	ROMPLL:inst7(altpil_altpil_component)pll	myLVDS1X:inst6(alhvsds_bx:alhvsds_bx_7s01:auto_generated)pll	myLVDS1X:inst9(alhvsds_rx:alhvsds_rx_bk:v:auto_generated)pll
1 PLL type	Enhanced	Fast	Enhanced	Fast	Fast	Fast
2 PLL mode	Normal	Normal	Normal	Normal	Normal	Normal
3 Feedback source	--	--	--	--	--	--
4 Compensate clock	clock0	clock0	clock0	clock0	DIFFCLK	DIFFCLK
5 Switchover type	--	--	--	--	--	--
6 Switchover on loss of clock	--	--	--	--	--	--
7 Switchover counter	--	--	--	--	--	--
8 Gate lock counter	--	--	--	--	--	--
9 Input frequency 0	100.0 MHz	75.0 MHz	100.0 MHz	175.01 MHz	105.01 MHz	105.01 MHz
10 Input frequency 1	--	--	--	--	--	--
11 Nominal PFD frequency	100.0 MHz	75.0 MHz	100.0 MHz	175.0 MHz	105.0 MHz	105.0 MHz
12 Nominal VCO frequency	589.9 MHz	750.2 MHz	589.9 MHz	874.9 MHz	840.3 MHz	840.3 MHz
13 VCO post scale	--	--	--	--	8	8
14 VCO multiply	--	--	--	--	8	8
15 VCO divide	--	--	--	--	1	1
16 Freq min lock	95.32 MHz	71.52 MHz	95.32 MHz	95.60 MHz	87.52 MHz	87.52 MHz
17 Freq max lock	173.43 MHz	104.26 MHz	173.43 MHz	208.95 MHz	130.34 MHz	130.34 MHz
18 N VCO Tap	0	0	0	0	4	4
19 N total	1	1	1	1	1	1
20 M value	6	10	6	5	8	8
21 N value	1	1	1	1	1	1
22 M2 value	--	--	--	--	--	--
23 N2 value	--	--	--	--	--	--
24 SS counter	--	--	--	--	--	--
25 Downspread	--	--	--	--	--	--
26 Spread frequency	--	--	--	--	--	--
27 Charge pump current	114 uA	148 uA	114 uA	92 uA	131 uA	131 uA
28 Loop filter resistance	1.00000 KOhms	1.00000 KOhms	1.00000 KOhms	1.00000 KOhms	1.00000 KOhms	1.00000 KOhms
29 Loop filter capacitance	5 pF	8 pF	5 pF	2 pF	2 pF	2 pF
30 Handshy	6.93 MHz (5.51 MHz to 11.93 MHz)	5.22 MHz (3.95 MHz to 6.99 MHz)	6.93 MHz (5.51 MHz to 11.93 MHz)	6.74 MHz (5.41 MHz to 11.96 MHz)	6.00 MHz (4.75 MHz to 10.34 MHz)	6.00 MHz (4.75 MHz to 10.34 MHz)
31 Real time reconfigurable	Off	Off	Off	Off	Off	Off
32 Scan chain MIF file	--	--	--	--	--	--
33 Preserve counter order	Off	Off	Off	Off	Off	Off
34 PLL location	PLL_6	PLL_9	PLL_5	PLL_4	PLL_2	PLL_1
35 lock0 signal	clk0	clk	clk0	lock0	rx_wclk	rx_wclk
36 lock1 signal	--	--	--	--	--	--

図 3-17 に、PowerPlay Early Power Estimator スプレッドシートと、このデザインの PLL での消費電力の見積りを示します。

図 3-17. PowerPlay Early Power Estimator の PLL セクション

PLL		Return to Main					
Total Thermal Power (W)		0.015					
Enhanced PLL Utilization		100.0%					
Fast/LVDS PLL Utilization		50.0%					
This section only estimates power from the PLL control blocks and does not include the power from the PLL clock output networks. Please enter additional parameters in the "Clocks" section.							
Module	PLL Type	# PLL Blocks	# DPA Buses	Output Freq (MHz)	VCO Freq (MHz)	Total Power (W)	User Comments
1	Fast	1	0	500.0	840.0	0.015	
2	LVDS		2	0.0	840.0	0.000	
3	Enhanced	2	0	0.0	0.0	0.000	
	Fast	0	0	0.0	0.0	0.000	

クロック

Arria GX デバイスには、グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワークで使用可能な合計 48 のクロック・ドメインがあります。16 のグローバル・クロックと 1 つのエリアに 8 つのリージョナル・クロックの合計 32 のリージョナル・クロックがあります。

Clocks セクションの各行には、クロック・ネットワークまたは個別のクロック・ドメインが示されます。クロック周波数 (f_{MAX}) (単位 MHz)、使用されるクロック・ネットワークごとの合計ファンアウト、グローバル・クロック・イネーブルの割合、およびローカル・クロック・イネーブルの割合を入力する必要があります。表 3-9 は、PowerPlay Early Power Estimator の **Clocks** セクションのパラメータについて説明しています。

表 3-9. Clock セクション情報 (1 / 2)

カラム・ヘッダ	説明
Domain	このカラムにはクロック・ネットワーク名を入力します。これはオプションです。
Clock Freq (MHz)	クロック・ドメインの周波数を入力します。

表 3-9. Cclock セクション情報 (2 / 2)	
カラム・ヘッダ	説明
Total Fanout	このクロックが供給されるフリップ・フロップおよび RAM ブロック、DSP ブロック、および I/O ブロックの総数を入力します。各グローバル・クロック信号およびリージョナル・クロックによってドライブされるリソースの数は、Quartus II Compilation Report の Fan-out カラムに示されます。 Compilation Report で、 Fitter を選択し、 Resource Section をクリックします。 Global & Other Fast Signals を選択し、 Fan-out をクリックします。
Global Enable %	クロック・ツリー全体がイネーブルされる時間の平均割合を入力します。各グローバル・クロック・バッファには、クロック・ツリー全体をダイナミックにシャットダウンするのに使用できるイネーブル信号があります。
Local Enable %	クロック・イネーブルがデステイネーション・フリップ・フロップに対して High になる時間の平均割合を入力します。ALM のフリップ・フロップに対するローカル・クロック・イネーブルは、LAB ワイドの信号になります。いずれかのフリップ・フロップがディセーブルされると、LAB ワイドのクロックもディセーブルされ、ダウストリーム・ロジックの消費電力だけでなく、クロックの消費電力も削減されます。このシートでは、クロック・ツリーの消費電力に与える影響のみモデル化します。
Total Power (W)	これはクロック分配に起因する全消費電力です (単位 W)。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-18 に、Quartus II ソフトウェアの Compilation Report のデザイン例に関する **Global & Other Fast Signals** レポートを示しています。グローバル・クロックを使用する各信号のファンアウトを示します。Compilation Report の **Timing Analysis** セクションにはクロック信号の周波数がリストされます。Compilation Report の該当する情報を PowerPlay Early Power Estimator に入力します。図 3-19 に、PowerPlay Early Power Estimator スプレッドシートと、このデザインのクロックでの消費電力の見積りを示します。

図 3-18. Compilation Report の Global & Other Fast Signals Resource セクション

Global & Other Fast Signals					
Name	Location	Fan-Out	Global Resource Used	Global Line Name	Enable Signal Source Name
1 LPLL_inst5 altpll_component_clk0	PLL_3	1005	Global clock	GCLK9	--
2 LPLL_inst5 altpll_component_clk1	PLL_3	2	Global clock	GCLK8	--
3 ROMPLL_inst7 altpll_component_clk0	PLL_4	10	Global clock	GCLK11	--
4 ROMPLL_inst7 altpll_component_clk1	PLL_4	1	Global clock	GCLK10	--
5 myLVDSRX_inst9 altvds_rx_componentlvds_rx_bkv.auto_generatedpll	PLL_1	152	Global clock	GCLK1	VCC
6 myLVDSRX_inst9 altvds_rx_componentlvds_rx_bkv.auto_generatedpll~ENADOUT0	PLL_1	18	DIFFIOCLK	--	--
7 myLVDSRX_inst9 altvds_rx_componentlvds_rx_bkv.auto_generatedpll~SCLKOUT0	PLL_1	18	DIFFIOCLK	--	--
8 myLVDSRX_inst9 altvds_rx_componentlvds_rx_7s01.auto_generatedpll	PLL_2	152	Global clock	GCLK0	VCC
9 myLVDSRX_inst9 altvds_rx_componentlvds_rx_7s01.auto_generatedpll~ENADOUT0	PLL_2	18	DIFFIOCLK	--	--
10 myLVDSRX_inst9 altvds_rx_componentlvds_rx_7s01.auto_generatedpll~SCLKOUT0	PLL_2	18	DIFFIOCLK	--	--
11 pll1_inst1 altpll_component_clk0	PLL_5	123	Global clock	GCLK5	--
12 pll1_inst1 altpll_component_clk1	PLL_6	87	Global clock	GCLK4	--
13 pll1_inst2 altpll_component_clk0	PLL_5	32	Global clock	GCLK13	--
14 pll1_inst2 altpll_component_clk1	PLL_5	10	Global clock	GCLK12	--

図 3-19. PowerPlay Early Power Estimator の Clocks セクション

Clocks		Return to Main				
Total Thermal Power (W)		0.032				
Domain	Clock Freq (MHz)	Total Fanout	Global Enable %	Local Enable %	Total Power (W)	User Comments
1	124.0	10	100%	50%	0.005	
2	74.4	2	100%	50%	0.003	
3	150.0	87	100%	50%	0.010	
4	100.0	100	100%	50%	0.007	
5	175.0	4	100%	50%	0.007	
	0.0	0	100%	50%	0.000	
	0.0	0	100%	50%	0.000	
	0.0	0	100%	50%	0.000	

トランシーバ (XCVR)

Arria GX デバイスは、デバイスの右側に最大 12 本の高速 2.5 Gbps および 1.25 Gbps シリアル・トランシーバ・チャンネルを持つ専用のエンベデッド回路を搭載しています。Arria GX デバイスには、シリアライザおよびデシリアライザ・ブロックを内蔵する専用のトランスミッタおよびレシーバがあり、PCI Express (PIPE) および Serial RapidIO™ プロトコルをサポートします。

このセクションで計算される消費電力は、使用されるチャンネルおよびクロック・コントロール・ユニット (CCU) で使用されるすべての回路を含むトランシーバ・ブロックを対象にしています。トランシーバは、ALT2GXB メガファンクションを使用して実装されます。トランシーバの I/O バッファと PLL の消費電力はこのセクションに含まれます。トランスミッタとレシーバは、100 Ω 終端を想定しています。

トランシーバ電源レールには、 V_{CCT} 、 V_{CCH} 、 V_{CCR} 、 V_{CCA} 、 V_{CCP} 、および V_{CCL} の6つがあります。表 3-10 に、各レールに関する情報を示します。

カラム・ヘッダ	説明
Power Rails	トランシーバ・ブロック用電源レールです。
Voltage (V)	指定された電源レールに印加される電圧 (V)。PCI Express (PIPE) モードでは $V_{CCH} = 1.2$ V を、Serial RapidIO モードでは $V_{CCH} = 1.5$ V を選択します。
Current (A)	指定された電源レールから引き出される電流 (A)。これには、ユーザ・モードのときにトランシーバから引き出される電力およびパワー・ダウン・モードのときの未使用のトランシーバが含まれます。

XCVR セクションの各行には、それぞれのトランシーバ・ドメインが示されます。使用する各トランシーバ・ドメインに、チャネル数およびトランシーバのモードを入力する必要があります。表 3-11 に、PowerPlay Early Power Estimator の XCVR セクションで入力する必要がある値を示します。

カラム・ヘッダ	説明
Module	このカラムにモジュール名を入力します。これはオプションです。
# of Channels Used	このトランシーバ・ドメインで使用するチャネル数を入力します。
Mode	トランシーバが実装する通信プロトコルまたは規格を入力します。オプションには、PCI Express (PIPE) および Serial RapidIO が含まれます。
Channel Power (W)	これはすべてのチャネルの Rx および Tx ハードウェアの全消費電力 (単位 W) を示します。この値は自動的に計算されます。
CCU Power (W)	これはすべてのチャネルで使用する PLL および制御回路の全消費電力 (単位 W) を示します。この値は自動的に計算されます。
Total Power (W)	これは全消費電力 (単位 W) を示します。チャネル + CCU 消費電力の和です。この値は自動的に計算されます。
User Comments	コメントを入力します。これはオプションです。

図 3-20 に、Arria GX デバイス PowerPlay Early Power Estimator スプレッドシートと、デザイン例の XCVR ブロックでの消費電力の見積りを示します。

図 3-20. PowerPlay Early Power Estimator の XCVR セクション

Microsoft Excel - arriagx_epe_71 (2).xls [Read-Only]

File Edit View Insert Format Tools Data Window Help

Type a question for help

80%

Arial

14

C:\Documents and Settings\sandan\Local Settings\Temporary Inte

XCVR		Return to Main													
1	Total Thermal Power (W)	1.597													
2	Average Power per Used Channel	0.133													
3	XCVR Channel Utilization	100.0%													
4	Each entry in the XCVR page represents a unique transceiver domain with one PLL and a number of transceiver channels.														
5	Each channel implements a full duplex transceiver - receiver-only and transmitter-only modes are not yet supported.														
6	The model assumes that all transceivers use a termination resistance of 100Ω.														
7	Power of transceiver IO pins and PLLs is included in this estimate - do not add extra entries to the IO or PLL pages for transceiver hardware.														
8	Power Rails	Voltage (V)	Current (A)												
9	V _{CC1}	1.2	0.228												
10	V _{CC2}	1.2	0.146												
11	V _{CC3}	1.2	0.365												
12	V _{CC4}	3.3	0.070												
13	V _{CC5}	1.2	0.369												
14	V _{CC6}	1.2	0.030												
15															
16	Pre-Emphasis Setting														
Module	# of Channels	Mode	Data Rate (Mbps)	Parallel Data Width	Byte Serializer Used	Rate Match FIFO Used	8B10B Encoder Used	Pre-Tap	First Post-Tap	Second Post-Tap	V _{IO} Setting	Channel Power (W)	CCU Power (W)	Total Power (W)	User Comments
17	4	PCI Express (PIPE)	2500	16	NA	NA	NA	NA	NA	NA	800	0.491	0.038	0.529	
18	4	PCI Express (PIPE)	2500	16	NA	NA	NA	NA	NA	NA	800	0.491	0.038	0.529	
19	4	Serial RapidIO	1250	16	NA	NA	NA	NA	NA	NA	800	0.340	0.023	0.363	
20	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
21	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
22	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
23	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
24	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
25	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
26	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
27	0	Serial RapidIO	2500	16	NA	NA	NA	NA	NA	NA	800	0.000	0.000	0.000	
28	Main / Logic / RAM / DSP / IO / HSDI / PLL / Clocks / XCVR / Report / Version /														

電力解析

PowerPlay Early Power Estimator スプレッドシートの **Main** セクションには、デザインの消費電力と電流の見積りが要約されています。**Main** セクションには、全熱消費電力、熱解析、および電源サイズ情報が表示されます。情報の精度は、入力した情報に依存します。また、消費電力は入力したトグル・レートによって大きく異なる場合もあります。以下の項では、PowerPlay Early Power Estimator の結果について説明します。

図 3-5 に、**Main** セクションの Thermal Power、Thermal Analysis、および Power Supply Sizing 領域を示します。

図 3-21. Main セクションの消費電力に関する領域

Visit the Online Power Management Resource Center | PowerPlay Early Power Estimator Arria® GX V7.1 | Release Notes

Comments:

Input Parameters		Thermal Power (W)		Thermal Analysis	
Family	Arria GX	Logic	0.720	Junction Temp, T_J (°C)	29.0
Device	EP1AGX20C	RAM	0.039	θ_{JA} Junction-Ambient	2.44
Package	F780	DSP	0.035	θ_{JB} Junction-Board	1.9
Temperature Grade	Commercial	I/O	0.248	Maximum Allowed T_A (°C)	82.1
Power Characteristics	Typical	HSDI	0.013	Details...	
<input type="radio"/> User Entered T_J <input checked="" type="radio"/> Auto Computed T_J Ambient Temp, T_A (°C) <input type="text" value="25"/>		PLL	0.055	Power Supply Current (A)	
<input type="radio"/> Custom Theta JA <input checked="" type="radio"/> Estimated Theta JA Heat Sink: 23 nm - Medium Profile Airflow: 200 lfm (1.0 m/s)		Clocks	0.054	I_{CCINT}	1.171
Custom θ_{SA} (°C/W)	2.13	XCVR	0.544	I_{CCPD}	0.005
Board Thermal Model	Typical Board	P_{static}	0.437	I_{CCIO}	0.071
Custom θ_{JB} (°C/W)	1.33	TOTAL	2.145	I_{CCXCVR}	0.401
Board Temp, T_B (°C)	28	Click buttons for details			

Buttons: Set Toggle % | Reset | Import Quartus II File | View Report

Thermal Power

熱消費電力とはデバイス内で放散される電力のことです。全熱消費電力は W 単位で示され、デバイスで使用されるすべてのリソースの熱消費電力を合計したものです。全熱消費電力には、待機時およびダイナミック消費電力の最大消費電力が含まれます。



全熱消費電力には、**I/O** セクションの熱コンポーネントのみが含まれ、外部におけるリファレンス電圧終端抵抗などの熱消費電力は含まれません。

図 3-22 に、全熱消費電力（単位 W）とデバイスのスタティック消費電力 (P_{static}) を示します。各セクションの熱消費電力も表示されます。セクションの熱消費電力の計算方法を確認するには、セクションをクリックし、そのセクションに入力した値を表示します。

図 3-22. PowerPlay Early Power Estimator の Thermal Power

Thermal Power (W)	
Logic	0.063
RAM	0.026
DSP	0.053
I/O	0.314
HSDI	0.056
PLL	0.071
Clocks	0.031
XCVR	0.056
P_{static}	0.424
TOTAL	1.095

表 3-12 に、PowerPlay Early Power Estimator の熱消費電力パラメータを示します。

表 3-12. Thermal Power セクション情報	
カラム・ヘッダ	説明
Logic	これは ALM と関連する配線でのダイナミック消費電力を示します。 Logic をクリックすると詳細が表示されます。
RAM	これは、RAM ブロックと関連する配線でのダイナミック消費電力を示します。 RAM をクリックすると詳細が表示されます。
DSP	これは、DSP ブロックと関連する配線でのダイナミック消費電力を示します。 DSP をクリックすると詳細が表示されます。
I/O	これは、I/O ピンと関連する配線での熱消費電力を示します。この熱消費電力には、チップ上の終端された I/O 規格のスタティック消費電力と I/O バンクでの待機時消費電力が含まれます。 I/O をクリックすると詳細が表示されます。
HSDI	これは、高速差動 I/O に対応する SERDES ハードウェアでのダイナミック消費電力を示します。 HSDI をクリックすると詳細が表示されます。
PLL	これは、PLL でのダイナミック消費電力を示します。 PLL をクリックすると詳細が表示されます。
Clocks	これは、クロック・ネットワークでのダイナミック消費電力を示します。 Clocks をクリックすると詳細が表示されます。
XCVR	これは、トランシーバ・ハードウェアでの熱消費電力を示します。この熱消費電力には、未使用トランシーバでの待機時消費電力が含まれます。 XCVR をクリックすると詳細が表示されます。

表 3-12. Thermal Power セクション情報	
カラム・ヘッダ	説明
P_{static}	これは、クロック周波数とは無関係なスタティック消費電力を示します。この消費電力には終端抵抗に起因するスタティック I/O 電流は含まれません。終端抵抗に起因するスタティック I/O 電流は、前述の I/O 消費電力に含まれます。 P_{static} は、ジャンクション温度、選択されたデバイス、および電力特性の影響を受けます。
TOTAL	これは FPGA から熱として放散される全電力を示します。これにはオフチップ終端抵抗での消費電力は含まれません。 FPGA 電源レールから引き出される電流については、Power Supply Current を参照してください。これはオフチップ・コンポーネントに供給される電流のために異なる可能性があり、その部分は FPGA で熱として消費されることはありません。

Thermal Analysis

T_j は、直接入力するかまたは提供された情報に基づいて計算するかを選択できます。 T_j を入力する場合は、Input Parameters セクションの **User Entered T_j** を選択します。 T_j を自動的に計算する場合は、Input Parameters セクションの **Auto Computed T_j** を選択します。

T_j を自動的に計算する場合は、デバイスの周囲温度、空気流量、ヒート・シンク・ソリューション、およびボードの熱モデルを考慮して、ジャンクション温度 (T_j) (単位°C) を決定します。 T_j は、デバイス条件と熱条件に基づいて見積られる動作時ジャンクション温度です。

デバイスは熱源と見なすことができ、ジャンクション温度はデバイスでの温度です。デバイスの温度は計測箇所に関係なく一定であると見なします。実際には、温度はデバイスの各部で異なります。

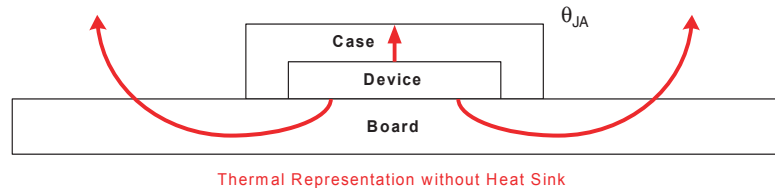
多くの経路を通じてデバイスから電力が放散する可能性があります。システムの熱特性に応じて、さまざまな経路が大量の電力を放散します。特に、デバイスにヒート・シンクを使用しているかどうかによって電力の放散経路の重要性が異なります。

ヒート・シンクを使用していない場合

ヒート・シンクを使用していない場合、電力は主にデバイスから大気中に放散します。これはジャンクションから周囲までの熱抵抗 (θ_{JA}) と呼ぶことができます。この場合、ジャンクションから周囲までの熱抵抗経路には重要なものが 2 つあります。1 つはデバイスからケースを通過し

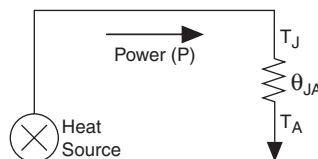
て大気中に放散する経路、もう 1 つはデバイスからボードを通過して大気中に放散する経路です。図 3-23 に、ヒート・シンクがない場合の熱放散の様子を示します。

図 3-23. 熱の放散図 (ヒート・シンクがない場合)



PowerPlay Early Power Estimator で使用するモデルでは、電力はケースとボードを通して放散されます。 θ_{JA} の値は、ケースを通過する経路とボードを通過する経路を考慮して、異なる空気流量オプションで計算されています。図 3-24 に、ヒート・シンクがない場合の PowerPlay Early Power Estimator の熱モデルを示します。

図 3-24. PowerPlay Early Power Estimator の熱モデル (ヒート・シンクがない場合)



周囲温度は変化しませんが、ジャンクション温度は熱特性によって変化します。ジャンクション温度が変化すると、ジャンクション温度の計算に使用するデバイスの熱特性に影響するため、ジャンクション温度の計算は繰り返し行われます。

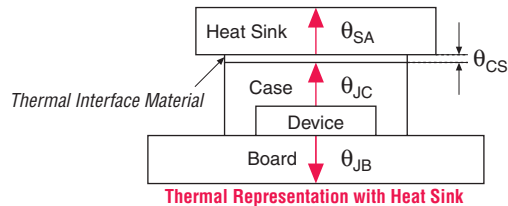
全消費電力は、以下の等式を使用して、 θ_{JA} 、周囲温度、ボード温度およびジャンクション温度を提供するデバイス・リソースの使用量に基づいて計算されます。

$$P = (T_J - T_A) / \theta_{JA}$$

ヒート・シンクの使用

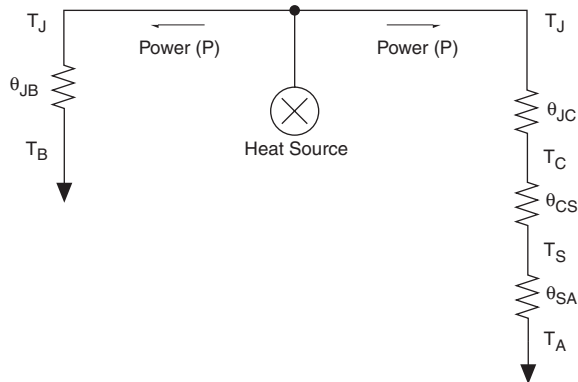
ヒート・シンクを使用する場合、電力は主に、デバイスからケース、サーマル・インタフェース材料、およびヒート・シンクを通して放散されます。また、ボードを通過する経路もあります。ボードを通過する経路は、大気への経路に比べてほとんど影響ありません。図 3-25 に、ヒート・シンクがある場合の熱放散図を示します。

図 3-25. 熱の放散図（ヒート・シンクがある場合）



PowerPlay Early Power Estimator で使用するモデルでは、電力はボードを通して、またはケースとヒート・シンクを通して放散させることができます。ボードを通過する経路の熱抵抗は、ジャンクションからボードまでの熱抵抗 (θ_{JA}) と定義します。ケース、サーマル・インタフェース材料、およびヒート・シンクを通過する経路の熱抵抗は、ジャンクションから周囲までの熱抵抗 (θ_{JA}) と定義します。図 3-26 に、PowerPlay Early Power Estimator の熱モデルを示します。

図 3-26. PowerPlay Early Power Estimator の熱モデル
(ヒート・シンクがある場合)



PowerPlay Early Power Estimator スプレッドシートの熱モデルで、ジャンクションからボードまでの熱抵抗 (θ_{JB}) を考慮する場合は、Board Thermal Model を “Typical” または “Custom.” に設定します。標準的なボード熱モデルでは、 θ_{JB} を選択したパッケージとデバイスに基づく値に設定します。カスタム・ボードの熱モデルを選択する場合、 θ_{JB} の値を指定する必要があります。PowerPlay Early Power Estimator スプレッドシートの熱モデルで θ_{JB} 抵抗を考慮しない場合は、Board Thermal Model を “None (conservative)” に設定します。この場合、ボードを通過する経路は消費電力には考慮されず、より慎重な熱消費電力の見積りが得られます。

ジャンクションから周囲までの熱抵抗 (θ_{JA}) は、ジャンクションからケースまでの熱抵抗 (θ_{JC})、ケースからヒート・シンクまでの熱抵抗 (θ_{CS})、およびヒート・シンクから周囲までの熱抵抗 (θ_{SA}) を加算して算出されます。

$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$

main 入力パラメータで選択したデバイス、パッケージ、空気流量、およびヒート・シンク・ソリューションに基づいて、PowerPlay Early Power Estimator スプレッドシートでジャンクションから周囲までの熱抵抗 (θ_{JA}) が算出されます。

低背、中背、または高背タイプのヒート・シンクを使用する場合は、100 lfm (0.5 m/s)、200 lfm (1.0 m/s)、および 400 lfm (2.0 m/s) の無風および空気流量率オプションから空気流量を選択します。カスタム・ヒート・シンクを使用する場合は、ヒート・シンクから周囲までの熱抵抗 (θ_{SA}) を入力します。空気流量も θ_{SA} で考慮する必要があります。したがって、Airflow パラメータはこのケースでは適用できません。これらの値についてはヒート・シンク・メーカーに問い合わせてください。

周囲温度は変化しませんが、ジャンクション温度は熱特性によって変化します。ジャンクション温度が変化すると、ジャンクション温度の計算に使用するデバイスの熱特性に影響するため、ジャンクション温度の計算は繰り返し行われます。

全消費電力は、以下の等式を使用して、 θ_{JA} 、 θ_{JB} 、周囲温度、ボード温度およびジャンクション温度を提供するデバイス・リソースの使用量に基づいて計算されます。

$$P = \frac{(T_J - T_A)}{\theta_{JA}} + \frac{(T_J - T_B)}{\theta_{JB}}$$

図 3-27 は、ジャンクション温度 (T_J)、全 θ_{JA} 、 θ_{JB} 、および許容最大 T_A 値を含む熱解析を示しています。ここにリストされていない熱パラメータ値の詳細については、**Details...** ボタンをクリックしてください。

図 3-27. PowerPlay Early Power Estimator の Thermal Analysis

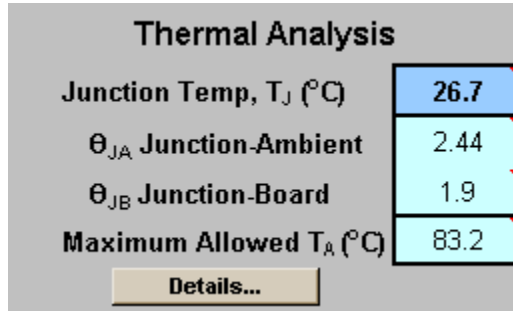


表 3-13 に、PowerPlay Early Power Estimator の熱解析パラメータを示します。

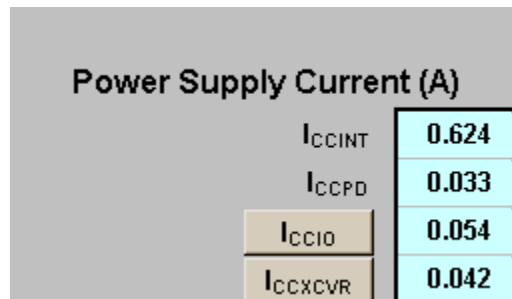
表 3-13. Thermal Analysis セクション情報	
カラム・ヘッダ	説明
Junction Temp, T_J (°C)	これは、提供された熱パラメータに基づくデバイスのジャンクション温度の見積りを示します。 ジャンクション温度は、チップのトップとボード（選択されている場合）を通して全熱消費電力を放散することによって算出されます。詳細な計算方法については、 Details... を参照してください。
θ_{JA} Junction-Ambient	これはジャンクションから周囲までの熱抵抗を示します（単位 °C/W）。 これは、消費電力が 1 ワット増加するごとに周囲とジャンクション間での温度上昇を表します。
θ_{JB} Junction-Board	これはジャンクションからボードまでの熱抵抗を示します（単位 °C/W）。これはボード温度、チップ表面 θ_{JA} 、および周囲温度と共に、ジャンクション温度を算出するのに使用します。
Maximum Allowed T_A (°C)	これは、提供された冷却ソリューションとデバイス温度グレードに基づき、最大ジャンクション温度に違反しない範囲でデバイスが対応可能な最大周囲温度（単位 °C）のガイドラインを示します。

Power Supply Current (A)

Power Supply Current セクションには、電源の消費電流の見積りが示されます。 I_{CCINT} 電流は、 V_{CCINT} に必要とされる電源電流です。 I_{CCPD} 電流は、 V_{CCPD} に必要とされる電源電流です。全 I_{CCIO} 電流は、すべての I/O バンクの V_{CCIO} に必要とされる電源電流です。I/O バンクに基づく I_{CCIO} の見積りについては、PowerPlay Early Power Estimator の I/O セクションを参照してください。全 I_{CCXCVR} 電流は、 V_{CCT} 、 V_{CCG} 、 V_{CCR} 、 V_{CCA} 、および V_{CCP} のすべてのトランシーバ固有の電源レールに必要とされる電源電流です。電源レールに基づく I_{CCXCVR} の見積りについては、[3-29 ページの “トランシーバ \(XCVR\) ”](#) を参照してください。

[図 3-28](#) に、電源電流の見積りを示します。 I_{CCINT} 、 I_{CCPD} 、 I_{CCIO} 、および I_{CCXCVR} が表示されています。

図 3-28. PowerPlay Early Power Estimator の Power Supply Current



[表 3-14](#) は、PowerPlay Early Power Estimator の Power Supply Current パラメータのパラメータについて説明しています。

コラム・ヘッダ	説明
I_{CCINT}	これは、 I_{CCINT} 電源から引き出される全電流を示します (単位 A)。
I_{CCPD}	これは、ブイドライブ (I_{CCPD}) 電源から引き出される全電流を示します (単位 A)。

表 3-14. Power Supply Current 情報 (2 / 2)	
カラム・ヘッダ	説明
I_{CCIO}	これは、 I_{CCIO} 電源レールから引き出される全電流を示します。各 I/O レールから引き出される電流の詳細については、I/O シートを参照してください。 I_{CCIO} には、I/O を通してオフチップ終端抵抗に流れ込む電流がすべて含まれています。そのため、 I_{CCIO} 値は、レポートされる I/O 熱消費電力より高くなる可能性があります。このオフチップ電流はあらゆる場所で熱として放散され、デバイス温度計算では考慮されないためです。
I_{CCXCVR}	これは、 I_{CCXCVR} 電源レールから引き出される全電流を示します。各 XCVR レールから引き出される電流の詳細については、XCVR シートを参照してください。

PowerPlay Early Power Estimator スプレッド シートの正確 さに影響する 要因

PowerPlay Early Power Estimator に表示される見積り値は、多くの要因によって大きな影響を受けます。特に、入力された入力パラメータが正確かどうかを確認し、PowerPlay Early Power Estimator スプレッドシートでシステムが確実に正しくモデル化されることが重要です。その中でも、トグル・レート、空気流量、温度、およびヒート・シンクに関連して入力する情報はきわめて重要です。

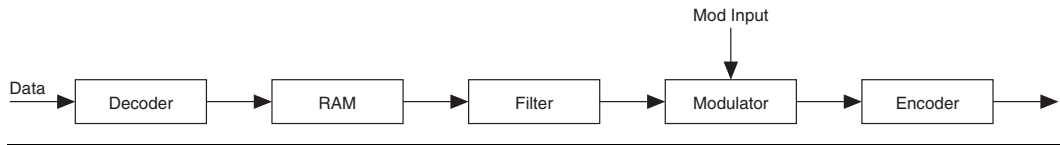
トグル・レート

PowerPlay Early Power Estimator スプレッドシートで指定するトグル・レートは、表示されるダイナミック消費電力に非常に大きく影響する可能性があります。正確な見積りを得るには、現実的なトグル・レートを入力してください。現実的なトグル・レートを特定するのは重要な問題であり、設計者は FPGA が受け取る入力の種類とそれがトグルする頻度を知っている必要があります。

デザインがまだ完成していない場合、正確な見積りを得るのは非常に困難です。この問題に対応する最良の方法は、デザインの個々のモジュールを機能別に分離して、リソースのトグル・レートと併せてリソース使用率を見積りすることです。これを達成する最も簡単な方法は、以前のデザインを利用して、同様の機能を持つモジュールのトグル・レートを見積りすることです。

一例として、ある単純なデザインで、入力データ・バスはデータ送信用にエンコードされ、トグル・レートは約 50% と仮定します。次に、このデザインはデコーダを通過し、RAM に保存されます。次に、データはフィルタされた後、別の入力データ・バスで変調され、結果は送信のためにエンコードされます。単純なブロック図を [図 3-29](#) に示します。

図 3-29. デコーダおよびエンコーダのブロック図



このケースでは、以下の見積りを行う必要があります。

- データ・トグル・レート
- Mod 入力のトグル・レート
- デコーダ・モジュールのリソースの見積り
- RAMのリソースの見積り
- フィルタのリソースの見積り
- 変調器のリソースの見積り
- エンコーダのリソースの見積り
- デコーダ・モジュールのトグル・レート
- RAMのトグル・レート
- フィルタのトグル・レート
- 変調器のトグル・レート
- エンコーダのトグル・レート

これらの見積りは多くの方法で行うことができます。これまでに同様のモジュールで、ほぼ同じトグル・レートのデータ入力を使用したことがある場合は、その情報を利用できます。一部のブロックで MATLAB シミュレーションを使用できる場合は、トグル・レート情報を取得できます。一部のモジュールで HDL を使用できる場合は、それらのモジュールをシミュレートできます。

HDL が完成している場合、トグル・レートを算出する最良の方法はデザインをシミュレートすることです。トグル・レートの見積りの正確さは、入力ベクタの精度によって大きく異なります。したがって、シミュレーション・カバレッジが高いかどうかを判断すれば、トグル・レート情報がどの程度正確であるかを評価できます。

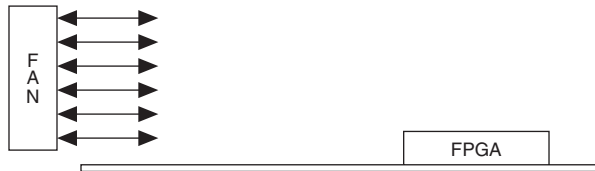
Quartus II ソフトウェアでは、シミュレーション・ツールから情報を提供すると、デザインで使用する各リソースのトグル・レートを算出することができます。デザインは多くのさまざまなツールを使用してシミュレートでき、情報は Signal Activity ファイル (SAF) により Quartus II ソフトウェアに渡すことができます。QuartusII PowerPlay Power Analyzer は、最も正確な消費電力の見積りを提供します。Quartus II ソフトウェアの CSV 出力ファイルを PowerPlay Early Power Estimator スプレッドシートで使用して、デザイン完成後の消費電力を見積ることができます。

空気流量

PowerPlay Early Power Estimator スプレッドシートでは、デバイスの空気流量を指定することができます。この値は熱解析に影響し、デバイスの消費電力に直接関係します。正確な見積りを得るには、空気流量を供給するファンの出力ではなく、FPGA での空気流量を正しく算出することが不可欠です。

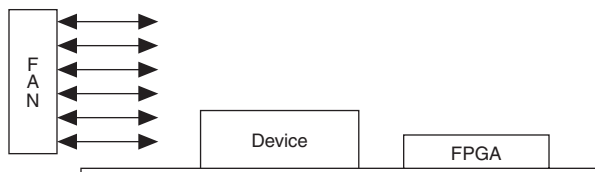
多くの場合、空気流量を供給するファンの近くにはデバイスを配置できません。したがって、空気流量の経路はデバイスに達する前にボードの長さを横断する可能性が高く、デバイスに対する実際の空気流量は減少します。図 3-30 では、ファンはボードの端に配置されています。FPGA での空気流量は、ファンにおける空気流量より弱くなります。

図 3-30. 空気流量および FPGA の位置



多くの場合、遮断された空気流量も考慮する必要があります。以下の例では、FPGA からの空気流量を遮断しているデバイスがあるため、FPGA に対する空気流量は大幅に減少します。また、ファンからの空気流量が FPGA に達するまでに、ボード上のコンポーネントやその他のデバイスで冷却することもよくあります (図 3-31)。

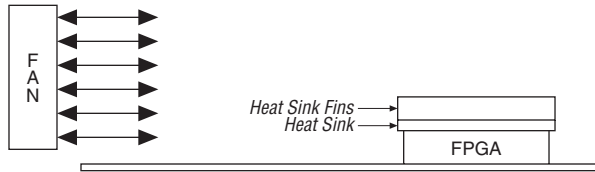
図 3-31. 空気流量とコンポーネントおよび FPGA の位置



カスタム・ヒート・シンクを使用する場合は、空気流量を PowerPlay Early Power Estimator スプレッドシートに直接入力する必要はありませんが、デバイスでの空気流量を把握したうえで、ヒート・シンクの θ_{SA}

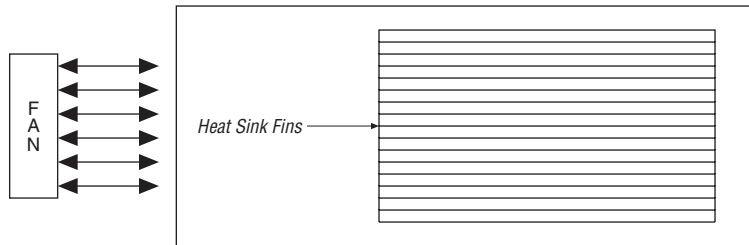
を計算する必要があります。ほとんどのヒート・シンクでは、ヒート・シンクの上に空気を流れやすくするフィンが配置されています。図 3-32 に、ヒート・シンク付き FPGA のケースを示します。

図 3-32. 空気流量およびヒート・シンク



FPGA 上にヒート・シンクを配置するときは、フィンの向きを空気流量の向きと一致させる必要があります。図 3-33 の上面図に、フィンの正しい向きを示します。

図 3-33. ヒート・シンク（上面図）



上記の検討事項は、デバイスでの空気流量に大きく影響する可能性があります。PowerPlay Early Power Estimator スプレッドシートに情報を入力する際は、正確な空気流量の値が得られるように、これらの影響を考慮する必要があります。FPGA での実際の空気流量を算出し、この値を PowerPlay Early Power Estimator スプレッドシートに正しく入力してください。

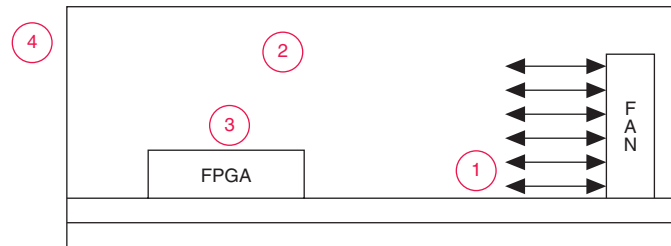
温度

PowerPlay Early Power Estimator スプレッドシートでは、デバイスの周囲温度を入力して、デバイスの熱情報を正しく計算する必要があります。周囲温度とはデバイス周囲の大気温度です。この周囲温度は常に、システム外部の周囲温度よりはるかに高くなります。デバイスの周囲温度を正確に表すには、できるだけデバイスに近い位置で温度を測定する必要があります。この測定には熱電対を使用できます。

誤った周囲温度を入力すると、PowerPlay Early Power Estimator スプレッドシートの消費電力の見積りは大きく変化します。以下の図 3-34 に、ボックス内に FPGA を収めた単純なシステムを示します。

この場合、図 3-34 に示すように、番号が付いたそれぞれの位置によって温度は大きく異なります。

図 3-34. 温度のバラツキ



例えば、位置 3 の場合、デバイスの周囲温度は、PowerPlay Early Power Estimator スプレッドシートへの入力から取得する必要があります。ポイント 1 および 2 の温度は位置 3 より低く、位置 4 では 25°C 近くになると考えられます。システム内のデバイス付近の温度は、通常は 50 ~ 60°C ほどですが、大きくばらつくこともあります。PowerPlay Early Power Estimator スプレッドシートから正確な消費電力を見積るには、FPGA デバイス付近の周囲温度の現実的な見積りを得ることが非常に重要です。

ヒート・シンク

ヒート・シンクを使用する場合、消費電力は以下の等式で算出されます。

$$(T_J - T_A) / \theta_{JA} = P$$

$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$

値 θ_{JC} は FPGA に固有のもので、データ・シートから入手できます。値 θ_{CS} は、ヒート・シンクと FPGA を結合する材料を指し、約 0.1 C/W になります。値 θ_{SA} は、ヒート・シンクのメーカーに問い合わせることで入手してください。この値を入手するときは、デバイスに対する適切な空気流量で正しいヒート・シンク情報が解析されていることなど、FPGA の適切な条件に適合していることを確認することが重要です。



ヒート・シンク測定方法の情報については、「AN 358: Thermal Management for 90-nm FPGAs」およびアルテラ・ウェブサイト (www.altera.com) を参照してください。