

アルテラ第3世代ストラクチャードASICファミリ

ASICのリスクを排除し利点を容易に享受



HardCopy® II は、更なる低コスト、業界最小のリスクと最短のTime-to-Marketソリューションを実現するアルテラ第3世代ストラクチャードASICファミリです。Stratix® II FPGAでプロトタイプを作成、テスト後、低コストでピン互換性のあるHardCopy II デバイスにシームレスに移行することで、ボリュームの大きい製品の成功が約束されます。90nmプロセスの採用と、新たにデザインされた微細アーキテクチャにより、100万ASICゲート・デバイスでUS\$15のコストを実現します。



特徴

- Stratix II FPGAをプロトタイプとする第3世代90 nm ストラクチャードASICファミリ
- 最大220万ASICゲート、8.8Mビット・メモリをサポート
- 350 MHz を超えるシステム性能
- Stratix II FPGAプロトタイプと比較し、コア消費電力を50%~70%低減
- 微細ストラクチャード・セル (HCell) によるFPGAからのシームレスな移行をサポート
- Stratix II FPGAを使用し、テープアウトの前にインシステム・テスト、検証が可能
- アルテラQuartus® II と業界標準EDAツールの併用が可能
- ASICにおけるリスピン・リスクの排除

ASICならびにFPGAユーザーへ、低コスト、高性能、高集積ストラクチャードASICパスを提供します

HardCopy II ストラクチャードASICファミリの概要

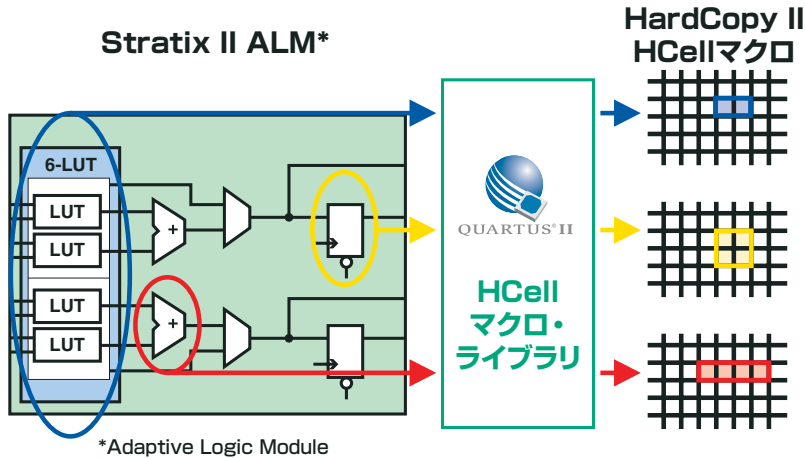
特長	HC210W ¹	HC210	HC220	HC230	HC240
ユーザブルASICゲート ²	1M	1M	1.6M	2.2M	2.2M
デジタル信号処理 (DSP) ブロックの追加ゲート数 ³	0	0	0.3M	0.7M	1.4M
トータルRAMビット数	875,520	875,520	3,059,712	6,345,216	8,847,360
PLL (Phase-Locked Loop) 数	4	4	4	8	12
パッケージ (最大ユーザI/Oピン数) ⁴	484ピン・ワイヤ・ボンド FBGA ⁵ (308)	484ピン FBGA (334)	672ピン FBGA (492) 780ピン FBGA (494)	1,020ピン FBGA (698)	1,020ピン FBGA (742) 1,508ピン FBGA (951)
FPGAプロトタイプ / 作成オプション	EP2S30 EP2S60 EP2S90	EP2S30 EP2S60 EP2S90	EP2S60 EP2S90 EP2S130	EP2S90 EP2S130 EP2S180	EP2S180

注記:

1. HC210Wはワイヤ・ボンド・パッケージ、他の製品はすべてフリップ・チップ・パッケージで提供。パッケージの種類により、動作速度と電力特性が異なる。
2. FPGAでプロトタイプを作成できるHardCopy II ベース・アレイ上のASICゲート数。
3. DSPファンクションに使用可能な追加ASICゲート数。
4. 暫定仕様。I/O数にはユーザI/OピンとクロックI/Oピンを含む。
5. FBGA: FineLine BGA® パッケージ。

HardCopy II アーキテクチャ

HardCopy II デバイスは、低コストを実現するために新たにデザインされた微細アーキテクチャをベースとし、HCell と呼ばれるストラクチャード・セル・アレイで構成されています。



HCell の特徴

- HardCopy II デバイスを構成する最小単位
- 組み合わせ回路や順序回路のいかなる構成も対応可能
- FPGAからのシームレスな移行をサポート
- Quartus II ソフトウェアでは、あらかじめ定義され、検証されたHCell マクロ・ライブラリとして扱われる

HCell マクロ・ライブラリの特徴

- 個々のマクロは複数のHCell で構成
- Quartus II ソフトウェアは、ALM内部の実使用している論理機能をHardCopy II のHCellをベースとしたアーキテクチャへマッピング
- FPGAで使用されないALMはマッピングされない

HardCopy II デザイン・フロー

アルテラのHardCopy II ストラクチャードASICは、プロトタイプから製品へ至る設計プロセスを提供します。既存の設計環境で、アルテラFPGAを設計のフロント・エンドとして利用することができ、Time-to-Marketの大幅な短縮、開発リスクの最小化を実現します。

- Stratix II FPGA設計終了後、HardCopy II ストラクチャードASICへシームレスに移行
- Quartus II ソフトウェアにより、フロアプラン、タイミング解析、消費電力解析をサポート
- Quartus II ソフトウェアが移行プロセスに必要なファイルを自動生成
- 特別な開発ソフトウェア・ツールの追加不要
- 移行プロセスはアルテラHardCopyデザイン・センタが担当
- ユーザ・テスト・ベクタ不要、テスト設計は完全自動化
- ASICでシリコン化を検討する前に完全にテスト、検証することが可能
- 製品の試験販売や複数の設計からの選択など、柔軟性に富んだ設計が可能

	HardCopy II ストラクチャードASIC	一般の ストラクチャードASIC
✓	低開発費と製品コスト	✓
✓	ASICレベルの性能と消費電力	✓
✓	短期開発サイクル	✓
✓	FPGAプロトタイプ	
✓	シームレスな移行	
✓	ファースト・シリコンでの動作保証	
✓	既存の設計フローを利用	

