

アルテラの Cyclone III FPGA - ワイヤレス・アプリケーション

ワイヤレス



低消費電力、多機能性、および
低コストにより、pico/femto ベース・
ステーションに対応

帯域幅の改善、消費電力の維持、新しい市場の要求への即時の対応が求められています。アルテラの Cyclone[®] III FPGA の特徴である、低消費電力、多機能性、低コストのこれまでにない組み合わせにより、ユーザは小型ベース・ステーション、WiMAX 加入者宅端末 (CPE)、ソフトウェア無線 (SDR)、その他多数のワイヤレス・アプリケーション向けのシステム仕様を管理することができます。

設計者が直面する課題

ワイヤレス・テクノロジーは発展しており、また規格は急速に変化しています。このため、設計者の次期デザインでは、装置のコストおよび消費電力を可能な限り低く抑えつつ、帯域幅の大幅な増加と新しい規格への対応が必要になる可能性があります。ASIC の使用は、規格および市場の要求が変化しているときには高いリスクを伴います。デジタル信号処理 (DSP) デバイスは、しばしば大きな熱負荷を有することがあり、またはサポート可能なチャンネル数が制限されます。設計者は、低いリスクで高い柔軟性を提供する、低消費電力、低コストのソリューションが必要です。

低消費電力、低コストの柔軟性の高いソリューション

再プログラム可能、低消費電力、多機能性、および低コストの特長を備えた Cyclone III FPGA は、ワイヤレス・デザインの新しい分野を切り開きます。豊富な 18 × 18 マルチプライヤおよびオンチップ・メモリにより、従来よりも小さい実装面積で低消費電力の信号処理ファンクションを実装することができます。Cyclone III FPGA は、特に micro、pico、および femto ベース・ステーションの RF およびチャンネル・カード、リモート無線ヘッド、WiMAX CPE、および SDR アプリケーションのコスト、消費電力、およびリスクを低減します。アルテラおよびアルテラのワイヤレス・テクノロジー・パートナーが提供する IP (Intellectual Property) およびツールにより、最適化されたソフトウェアを使用して設計の時間およびリソースを低減することができます。

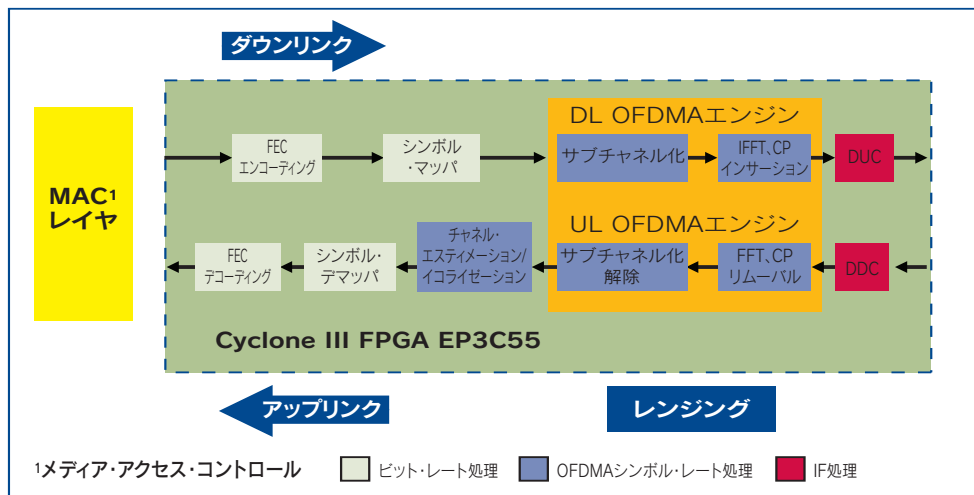
ソフトウェア無線に対応する Cyclone III FPGA

- 完全な無線仕様のインテグレーションを 1W 以内に実現
- バッテリ寿命を延長する低いスタティック消費電力
- 0.8 mm BGA パッケージ (19 × 19 mm²) により、ボード・スペースを最小化
- 最適化されたコストで高価値を提供

Cyclone III FPGA の特長と利点

特長	利点
エンベデッド・メモリ	順方向誤り訂正 (FEC) など、メモリ消費量の多いアルゴリズム向けに設計された最大 4 M ビットのオンチップ・メモリ
DSP マルチプライヤ	有限インパルス応答 (FIR) または高速フーリエ変換 (FFT) など、高い DSP 性能が必要なファンクションを実装する 260 MHz 性能の最大 288 個のエンベデッド・マルチプライヤ
低消費電力	TSMC の 65 nm ロー・パワー (LP) プロセス・テクノロジー Quartus [®] II デザイン・ソフトウェアの消費電力最適化機能 Cyclone II FPGA よりも 50% 低い消費電力でシステムの温度要件に対応
外部メモリ・インタフェースのオートキャリブレーション機能	DDR および DDR2 のためのタイミング・クロージャを容易に実現する、最大 400 Mbps の高速外部メモリ・インタフェースをサポート

- Cyclone III FPGA—ワイヤレス・アプリケーションに最適化
- アプリケーションに特化したリファレンス・デザイン
- FEC、FFT/IFFT、FIR、数値制御オシレータ (NCO)、および CIC フィルタなど、アルテラおよびアルテラのパートナーが提供する IP (Intellectual Property) コア
- 「急成長するワイヤレス・アプリケーションに対応する Cyclone III FPGA」などのホワイトペーパー
- DSP Builder—Quartus II ソフトウェアと The MathWorks 社の MATLAB/Simulink ツールを自動的に統合
- Nios® II ソフトコア・エンベデッド・プロセッサ
- 無償の Quartus II Web Edition ソフトウェア
- 低コストな開発キット



WiMAX pico ベース・ステーション・デザインでは、デジタル・アップコンバータ (DUC) およびデジタル・ダウンコンバータ (DDC) は、FIR およびカスケード・インテグレート・コム (CIC) フィルタなど、複素数フィルタ・アーキテクチャを使用します。ダウンリンク (DL) 直交周波数分割多重アクセス (OFDMA) シンボル・レート処理には、サブチャネル化解除、逆高速フーリエ変換 (IFFT)、およびサイクリック・プリフィックス (CP) インサージョン機能が含まれます。アップリンク (UL) OFDMA シンボル・レート処理には、CP リムーバル、FFT、サブチャネル化解除、およびチャンネル・エスティメーション/イコライゼーション機能が含まれます。以下の表は、ミッド・レンジの Cyclone III デバイスで実現した WiMAX pico ベース・ステーション・デザインの利用率を説明しています。

完全 IF、OFDMA シンボル・レート、およびビット・レート処理は、ミッド・レンジの Cyclone III EP3C55 FPGA で 2.5 W 以下の消費電力で実現できます。Cyclone III FPGA の豊富なオンチップ・メモリおよび高速マルチプライヤは、3G および WiMAX ベース・ステーション機能を実装するための低消費電力、低コスト・プラットフォームを提供します。

Picocell ベース・ステーション処理ブロック

		ロジック・エレメント (LE) 数	M9K ブロック数	18 x 18 マルチプライヤ	消費電力 (W)
IF 処理	DUC	2,704	50	30	0.4
	DDC	4,786	46	25	0.4
OFDMA シンボル・レート処理	DL OFDMA エンジン	4,176	33	4	0.25
	UL OFDMA エンジン	3,834	57	4	0.25
	チャンネル・エスティメーション/イコライゼーション	7,400	1	4	0.33
ビット・レート処理	シンボル・マップおよびデマップ	1,404	3	0	0.1
	FEC (エンコーディングおよびデコーディング)	18,511	26	0	0.6
合計		42,815	216	67	2.33
EP3C55 リソース使用		77%	83%	43%	2.33

低消費電力、低コストの次期ワイヤレス製品は、Cyclone III で実現しましょう。

Unlimited possibilities — 無限の可能性

www.altera.co.jp/cyclone3-markets

日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1
 新宿アイランドタワー32F 私書箱1594号
 TEL. 03-3340-9480 FAX. 03-3340-9487
 www.altera.co.jp
 E-mail: japan@altera.com

