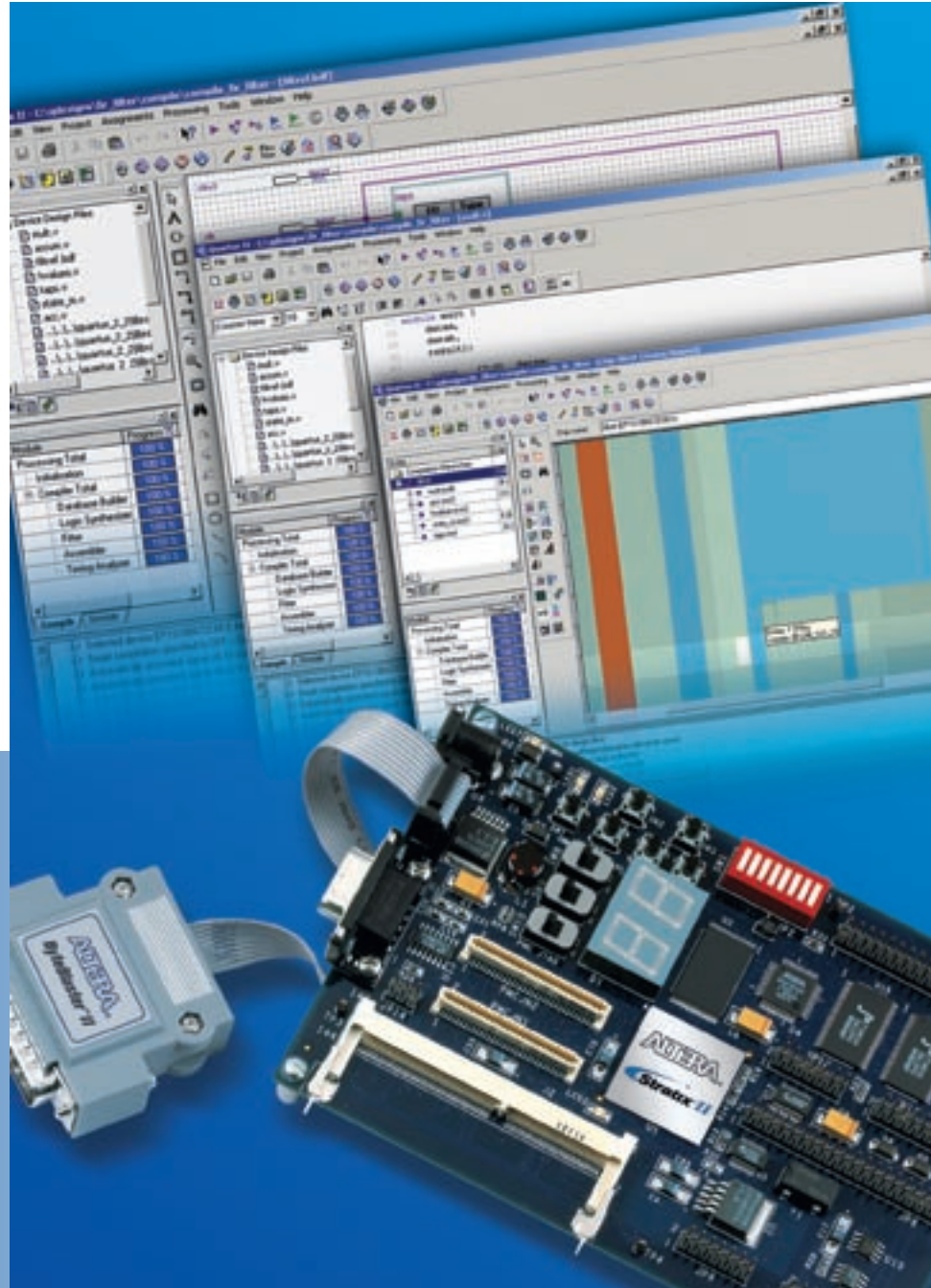




デザイン・ソフトウェア & 開発キット セレクタ・ガイド



April 2004

目次

- Quartus II デザイン・ソフトウェアによるリーダーシップ 2 ページ
- デザイン・ソフトウェア製品 5 ページ
- システム・コンフィギュレーション 8 ページ
- アルテラのプログラミング・ハードウェア 8 ページ
- アルテラの開発キット 10 ページ
- サードパーティ・ソリューション 10 ページ

業界をリードするQuartus II デザイン・ソフトウェア



QUARTUS® II

アルテラの Quartus® II ソフトウェアは、FPGA、CPLD およびストラクチャード ASIC デザインに対して比類のない性能、開発効率、および使いやすさを提供し、業界をリードする最も包括的な設計環境です。Quartus II ソフトウェアは、デザイン・フローと手法、システム・デザイン、タイミング・クロージャ、イン・システム検証技術、およびサードパーティ EDA サポートなど様々な優位性を備えています。

デザイン・フロー手法

Quartus II ソフトウェアは、強力に使いやすいデザイン・フローを提供します。

I/O ピンの事前配置および検証：事前に I/O ピンの割り当てと検証を (デザイン・モジュールが完成する前でも) 簡単に行うことができ、プリント基板 (PCB) レイアウトをデザイン・プロセスの初期段階から開始することができます。また、デザインの生産性、「Time-to-Market」の向上を実現します。

LogicLock ブロック・ベース・デザイン：簡単かつ非常に柔軟にシステムの構築および統合をブロック単位で行うことのできる LogicLock™ ブロック・ベース・デザイン・フローにより、設計と検証サイクルの短縮および簡素化が可能です。また、LogicLock 手法は、チーム・ベース・デザインを強力に支援します。

メモリ・コンパイラ：メモリ IP のパラメータを変更したときのメモリの動作内容を波形表示します。ダイナミックに波形表示を生成できるため、変更内容による影響をすぐに解析できます。

スクリプティング機能のサポート：グラフィカル・ユーザ・インタフェース (GUI) とスクリプト・ベースのデザイン手法の両方を提供します。Quartus II ソフトウェアは、業界標準のツール・コマンド言語 (Tcl) スクリプティング・インタフェースをサポートしているプログラマブル・ロジック・デバイス (PLD) ベンダが提供する唯一の FPGA およびストラクチャード ASIC デバイス開発ソフトウェアです。

システム・デザイン手法

アルテラの Quartus II ソフトウェアは、完全に自動化されたシステム定義および実装を含む IP (Intellectual Property) ベースのシステム・デザイン手法を強力に支援します。IP ベースのシステム・デザインではハードウェア記述言語 (HDL) や回路図の必要はなく、Quartus II を使用することで、設計者はデザインのコンセプトを数分で動作するシステムに変えることができます。Quartus II ソフトウェアは、以下のシステム・デザイン・ツールを備えています。

SOPC Builder：エンベデッド・プロセッサ、コプロセッサ、ペリフェラル、メモリ、およびユーザ定義ロジックなどの IP コアの追加、パラメータ化、および接続ロジックを自動的に生成するシステム開発ツールです (図 1 参照)。

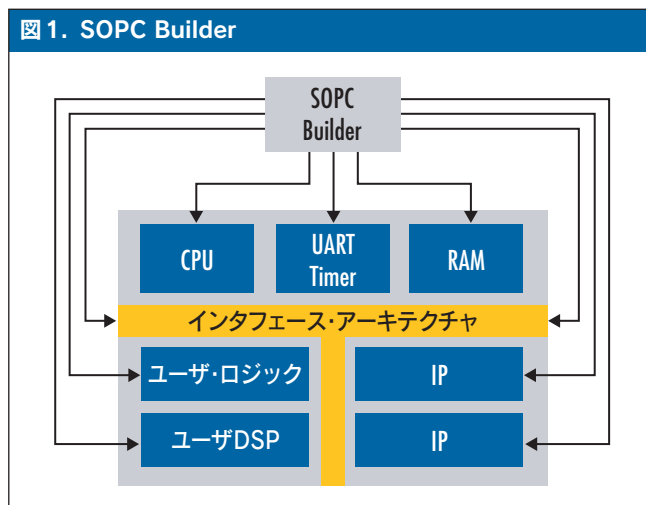
DSP Builder：アルゴリズム開発向けの環境で設計されたデジタル信号処理 (DSP) デザインをシームレスにハードウェアで実現することができ、DSP 設計の開発時間を短縮します。DSP Builder についての詳細は 4 ページを参照してください。

標準 IP コア：多くのユーザの支持を得ている Nios® エンベデッド・プロセッサとアルテラおよび AMPP™ (Altera Megafunction Partners Program) から提供されているパラメータ化された IP ブロックは、アルテラのデバイスで最高の性能を実現するように、厳密なテストが実施され、最適化されています。

タイミング・クロージャ手法

Quartus II ソフトウェアは、業界をリードするタイミング・クロージャ手法により迅速にデザインのタイミング条件を満たすことができ、比類のない性能を設計者に提供します。アルテラは、包括的なタイミング・クロージャ手法を開発し、追加費用なしで既存のツール群への組み込みを可能にした最初のプログラマブル・ロジック・サプライヤです。

図 1. SOPC Builder



フロアプラン・エディタ：フロアプランにおけるタイミング・データを効果的に解析できます。

チップ・エディタ：配置配線後の部分的なデザイン変更を即座に実装することができるため、(タイミング・クロージャを維持しながら)検証時間を短縮することができます。

RTL (Registered Transfer Level) Viewer：デザインの回路図表示を使って、動作シミュレーション、論理合成、配置配線ステップを実行する前に、デザインの構造を解析することができます。

デザイン・スペース・エクスプローラ (DSE) スクリプト：最適な性能を得る Quartus II ソフトウェアの設定の組み合わせを自動検出することで、性能を向上しエンジニアリング時間を短縮します。また、複数のコンピュータが異なる最適化設定を使用して同時にコンパイルを実行できる分散環境をサポートします。

インクリメンタル・フィッティング手法：わずかなHDLの変更と合成を実行後、新しいロジックまたは変更したロジックに対してインクリメンタル・フィッティングを行うことで、(タイミング・クロージャを維持しながら)コンパイル時間を短縮します。

さらに、Quartus II ソフトウェア・バージョン4.0の配置配線テクノロジーの向上により、Stratix™ II FPGAをターゲットにした場合、50%の f_{MAX} の向上および20%のコンパイル時間の高速化を実現し、新しい自動フィッティング機能を使用した場合、すべてのPLDファミリのコンパイル時間を最大で50%速くします。

サードパーティ EDA サポートによるリーダーシップ

アルテラとEDAパートナーは連携して、合成、機能およびタイミング・シミュレーション、スタティック・タイミング解析、ボードレベル・シミュレーション、シグナル・インテグリティの解析、およびフォーマル検証において、Quartus II ソフトウェアとサードパーティ EDA ソフトウェアの間にシームレスな統合環境を提供します。

検証ソリューション

最先端のサードパーティ EDA 検証ツールおよびその手法との統合に加えて、Quartus II ソフトウェアは以下の機能も提供します。

- 高度なマルチ・クロック・タイミング解析機能
- 統合された消費電力解析機能
- システムのデザイン変更を直ちに反映するチップ・エディタ

アルテラのデザイン・ソフトウェア・サブスクリプション・プログラム

アルテラのデザイン・ソフトウェア・サブスクリプション・プログラムに加入すると、アルテラのデザイン・ソフトウェアへ完全にアクセスでき、以下のソフトウェア製品および1年間のアップデートが提供されます。

- アルテラの Quartus II デザイン・ソフトウェア
- SOPC Builder 自動システム生成ツール
- Model Technology™ の ModelSim®-Altera シミュレーション・ソフトウェア

このセレクト・ガイドには、アルテラのソフトウェア・サブスクリプションに含まれている各ソフトウェア製品の機能が解説されています。サブスクリプションの加入者は、以下の機能を実行できます。

- FPGA、CPLD、およびストラクチャードASICを活用したシステム・レベルのデザイン
- エンベデッド・ソフトウェアの開発
- 論理合成
- 配置配線
- 検証
- デバイスのプログラミング

サブスクリプションの有効期限が切れた場合でも、使用中のソフトウェアを継続して動作させることはできますが、それ以降にリリースされたソフトウェアのアップデートや新機能を入手することはできません。アルテラの開発キット (10 ページ) の購入、アルテラの DSP Builder システム・レベル・デザイン・ソフトウェアの追加、またはアルテラもしくは AMPP パートナから供給されている IP コアの購入により、ソフトウェア・サブスクリプションの価値をさらに高めることが可能です。

■ SignalProbe™は、内部のノードを未使用のピンや予約されたピンに配線し、外部のスコープ・アナライザやロジック・アナライザで解析することができる機能です。

■ SignalTap® IIエンベデッド・ロジック・アナライザは、多くのチャネル、最速のクロック速度、および最大のサンプル容量をサポートします。また、FPGAエンベデッド・ロジック・アナライザで最も優れたトリガ機能を備えています。

エンベデッド・プロセッサ・デザインのサポート

Nios® アルテラのエンベデッド・プロセッサ・ソリューションでは、ハードおよびソフトのエンベデッド・プロセッサやオン・チップまたはオフ・チップのメモリ、ペリフェラル、およびプログラマブル・ロジックを1つのデバイスへ実装することができます。アルテラの使い勝手に優れたNiosプロセッサは、ソフト・エンベデッド・プロセッサの標準となり、世界の数千ユーザに使用されています。アルテラは、業界で初めてエンベデッド・プロセッサ開発およびデバッグ・ツールとプログラマブル・ロジック開発ツールをひとつに統合した環境を提供しています。

注：2004年6月以降はNios IIエンベデッド・プロセッサに変更およびアップグレードされます。

DSP Builder

DSP Builderは、アルゴリズム開発を容易にする環境においてDSPデザインのハードウェア部の作成をサポートし、その開発期間を短縮します。ユーザは、既存のMATLAB ファンクションやSimulinkのブロックをアルテラのDSP Builder ブロックやIP MegaCore® ファンクションに接続することによって、DSPアルゴリズムの開発にシステム・レベルのデザインと実装をリンクさせることができます。DSP Builder

により、システム、アルゴリズム、およびハードウェアの各設計者が共通の開発プラットフォームを使用することが可能になります。

アルテラのFPGA上でDSPシステムを設計するには、ハイレベルなアルゴリズム開発ツールとハードウェア記述言語 (HDL) 開発ツールが必要です。アルテラのDSP Builder (図2参照) は、MathWorks社のMATLABおよびSimulinkシステム・レベル・デザイン・ツールによるアルゴリズム開発、シミュレーション、および検証機能とアルテラの開発ソフトウェアの合成、シミュレーションと組み合わせることによって、これらのツールを統合した設計環境の実現を可能にしています。

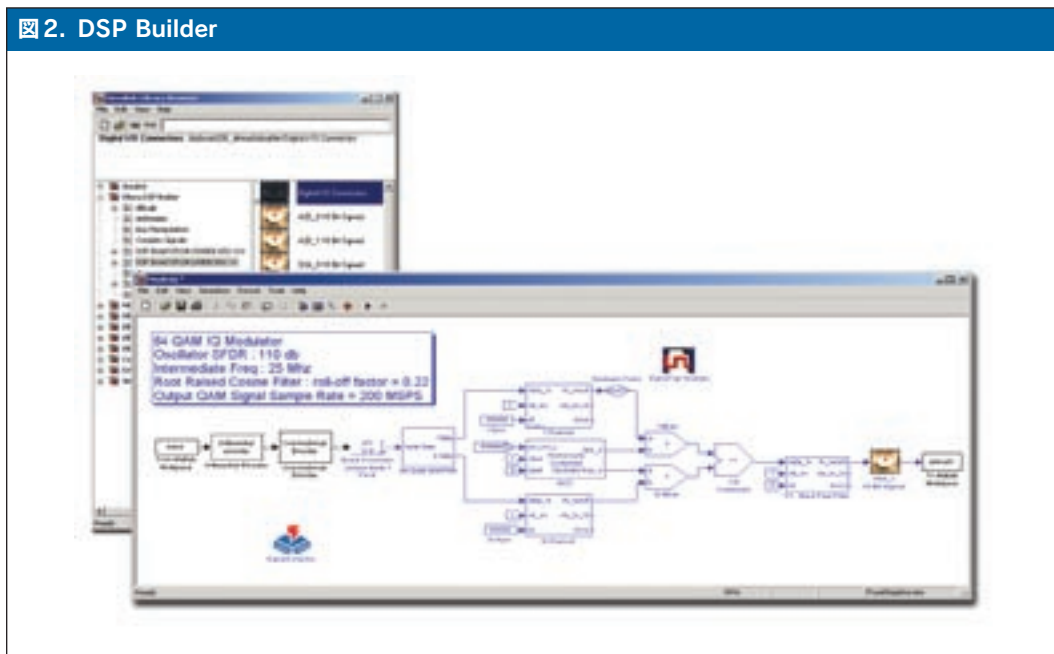
無償のWeb 提供版デザイン・ソフトウェア

Quartus II Web Editionソフトウェアは、日本アルテラのWebサイト (www.altera.co.jp) から無償でダウンロードおよびライセンスを入手することができます。Quartus II Web EditionソフトウェアではQuartus IIソフトウェアの基本的な機能をすべて使うことができ、MAX® II、Cyclone™、Stratix II、Stratix、Excalibur™、APEX™ II、APEX 20KE、FLEX 10K®、FLEX® 10KE、FLEX 10KA、ACEX®、FLEX 6000、MAX 7000S、MAX 7000B、MAX 7000AE、およびMAX 3000A等、様々なCPLDおよびFPGAデバイス・ファミリをサポートしています。

MAX+PLUS IIデザイン・ソフトウェア

アルテラは、新規の設計に対してQuartus IIソフトウェアまたはQuartus II Web Editionソフトウェアの使用を推奨しています。以前に設計された古いデザインについては、アルテラのサブスクリプションに加入しているユーザからの要求に対してのみMAX+PLUS® IIソフトウェアが提供されます。MAX+PLUS IIソフトウェアの機能限定バージョンであるMAX+PLUS II BASELINEソフトウェアは、日本アルテラのWebサイトから無償でダウンロードできます。

図 2. DSP Builder



デザイン・ソフトウェア製品の選択方法

アルテラのサブスクリプション製品は、オペレーティング・システム (OS)、ネットワーク環境、および使用可能ユーザ数を基準に設定しています。表1を参照して、それぞれのニーズに最適なサブスクリプション製品を選択してください。

アルテラ・デバイスのサポート

Quartus IIデザイン・ソフトウェアは、アルテラの最新のFPGA、CPLD、およびストラクチャードASICデバイス・ファミリをすべてサポートしています。Quartus II Web Editionソフトウェアは、低集積度から中集積度のデバイスをサポートしています。詳しくは表2を参照してください。

プラットフォーム・サポート	ライセンス・タイプ	注文コード
PC	スタンドアロン、シングル・ユーザ	FIXEDPC
PC	マルチ・ユーザ・ネットワーク・ライセンス (同時使用1ユーザ)	FLOATPC
PC, Solaris, HP-UX	マルチ・ユーザ・ネットワーク・ライセンス (同時使用1ユーザ)	FLOATNET
PC, Red Hat Linux	マルチ・ユーザ・ネットワーク・ライセンス (同時使用1ユーザ)	FLOATLNX
PC	PC用同時使用ユーザの追加	ADD-FLOATPC
PC, Solaris, HP-UX	PC, Solaris、またはHP-UX同時使用ユーザの追加	ADD-FLOATNET
PC, Red Hat Linux	PCまたはRed Hat Linux同時使用ユーザの追加	ADD-FLOATLNX
以前入手したサブスクリプションの更新	FIXEDPC、FLOATPC、FLOATNET、FLOATLNX、ADD-FLOATPC、ADD-FLOATNETライセンスの1年間の延長	RENEWAL

注:¹ 同一ネットワーク上で複数のユーザが同時に使用する場合は、FLOATPC、FLOATNET、FLOATLNX、またはADD-FLOATPC製品を1個購入し、ADD-FLOATPC、ADD-FLOATNET、またはADD-FLOATLNXを追加購入してください。

デバイス	Quartus II	Quartus II Web Edition
Stratix II (全デバイス)	✓	
Stratix II EP2S15	✓	✓
Stratix (全デバイス)	✓	
Stratix EP1S10	✓	✓
Stratix GX (全デバイス) ¹	✓	
Cyclone (全デバイス)	✓	✓
HardCopy™ (全デバイス)	✓	
APEX II (全デバイス)	✓	
APEX II EP2A15	✓	✓
APEX 20K (全デバイス)	✓	
APEX EP20K30E, EP20K60E, EP20K160E, EP20K200C	✓	✓
Mercury™ (全デバイス)	✓	
FLEX 10K (全デバイス), FLEX 10KA (全デバイス)	✓	✓
FLEX EPF10K30E, EPF10K50S, EPK10K100E, EPF10K130E, EPF10K200S	✓	✓
Excalibur (全デバイス)	✓	
Excalibur EPXA1	✓	✓
ACEX (全デバイス)	✓	✓
FLEX 6000 (全デバイス)	✓	✓
MAX II (全デバイス)	✓	✓
MAX 3000A (全デバイス)	✓	✓
MAX 7000S, MAX 7000B, MAX 7000AE	✓	✓

注:¹ Stratix GXのサポートについては、日本アルテラまたは販売代理店にお問い合わせください。

アルテラのデザイン・ソフトウェアの機能

表3は、デザイン・ソフトウェアの各機能とどのデザイン・ツールがこの機能をサポートしているかを示しています。

表3. アルテラのデザイン・ソフトウェアの機能とツール・サポート状況 (1/2)				
	機能	説明	Quartus II	Quartus II Web Edition
システム・レベル・デザイン	SOPC Builder	GUIを使ってシステムの定義と開発を自動的に行うことのできるツールです。SOPC BuilderはQuartus IIソフトウェアにデフォルトでインストールされています。	✓	✓
	DSP Builder	DSP設計者にアルテラのデザイン・ソフトウェアとMathworks社のMATLABおよびSimulinkツールとのインタフェースを提供します。DSP Builderはアルテラから供給しています。	✓	✓
エンベデッド・ソフトウェア	エンベデッド・ソフトウェアとの統合	アルテラのエンベデッド・プロセッサ・ソリューションに対しC/C++エンベデッド・ソフトウェア開発ツールとデバッグとの統合を提供します。	✓	✓
FPGA デザイン	LogicLockブロック・ベース・デザイン手法	デザイン・モジュールを個別に設計および実装し、性能を維持しながらモジュールをトップ・レベルのプロジェクトへ統合が可能です。LogicLockフローにより、各モジュールの最適化が一回で完了するため、設計と検証のサイクルを短縮することができます。	✓	
	HardCopyへの移行	HardCopyデバイスを直接ターゲットにした設計が可能です。HardCopy向けのデバイス性能および消費電力の見積り機能をサポートしています。	✓	
	RTL Viewer	RTLデザインの回路図を表示し、動作シミュレーション、論理合成、および配置配線のステップを実行する前にデザインのロジック構造を解析することができます。	✓	
	コマンド・ライン実行機能	論理合成、配置配線、タイミング解析、プログラミング、およびその他の機能モジュールは、コマンド・ラインから独立して実行可能であり、デザイン・フローのカスタマイズを容易にするコマンド・ファイルを作成できます。	✓	✓
	TclスクリプティングおよびSynopsys Design Constraint (SDC) のサポート	業界標準のTclスクリプトおよびSDCを使用したデザイン・フローを自動化やデバイス・アサインメントの作成が可能です。	✓	✓
	NativeLink® インテグレーション	Quartus IIソフトウェアとサードパーティ EDAソフトウェアとの間で、情報の受け渡しとデザイン処理を行うシームレスなインタフェースを提供します。	✓	✓
	テキスト・ベースのデザイン入力	VHDL、Verilog HDL、Altera Hardware Description Language (AHDL) を使用したデザインにおいて、文法上のエラーをカラー表示するエディタを提供します。	✓	✓
	回路図入力	デザインの作成にグラフィック表示の基本的なビルディング・ブロックが使用可能です。	✓	✓
	ブロック・デザイン入力	グラフィカル・フォーマットのデザイン情報の変更と、業界標準ツールを使用した論理合成やシミュレーションを行うためのVHDLまたはVerilog HDLファイルへの自動変換が可能です。	✓	✓
	Library of Parameterized Modules (LPM)	パラメータ設定されたファンクションをビルディング・ブロックとして使用することにより、デザイン入力を簡略化し、性能の向上が可能です。	✓	✓
	MegaWizard® Plug-In Manager	LPM、MegaCore、またはAMPP (Altera Megafunction Partners Program) メガファンクションのパラメータ設定とインスタンス化が可能なグラフィック・インタフェースを持つツールであり、スタンドアロンまたはデザイン・ソフトウェアの内部で使用することができます。	✓	✓
	MegaCore ファンクションのサポート	アルテラのデバイス・アーキテクチャに最適化された複雑なシステム・レベルのファンクションを検証済みのHDLデザイン・ファイルで提供します。	✓	✓
論理合成	VHDL および Verilog HDL 論理合成	VHDL および Verilog HDL の論理合成機能を内蔵しています。	✓	✓
	サードパーティ合成ツールのサポート	合成には、Mentor Graphics® 社、Synopsys 社、およびSynplicity 社から供給されているサードパーティ合成ソフトウェアも使用することができます。	✓	✓

表3. アルテラのデザイン・ソフトウェアの機能とツール・サポート状況 (2/2)

	機能	説明	Quartus II	Quartus II Web Edition
配置配線	PowerFit™ 配置配線機能	ユーザ指定のタイミング制約を使用して、すべてのタイミング要求が満たされるようにデザインに最適な配置配線を実行します。	✓	✓
	Fast FitおよびAuto Fit	コンパイル時間を最大50%短縮します。	✓	✓
	タイミング・クロージャ・フロアプラン・エディタ	各ノードとLogicLock領域との接続の物理的なタイミング予測値をリアルタイムで表示、配線の輻輳を表示、ロジック・セルやピンの位置をグラフィック画面から指定が可能です。	✓	✓
	フィジカル・シンセシス	再合成による最適化、ゲート・レベルでのレジスタ・タイミングの再調整、レジスタの複製化などを実行し、ブッシュ・ボタン操作によって得られた性能を改善します。	✓	✓
	デザイン・スペース・エクスプローラ	ネットリストの最適化と最新のQuartus IIソフトウェア・コンパイラ設定の組み合わせを自動的に適用することにより、デザイン性能を平均的に向上させることができます。また、複数コンピュータによる同時コンパイルもサポートしています。	✓	✓
	チップ・エディタ	配置配線を実行した後で、アルテラ・デバイスの内部構造を参照して、ロジック・エレメント (LE) およびI/Oセルのコンフィギュレーションをインクリメンタルに編集することができます。	✓	✓
	インクリメンタル・フィッティング	配置配線プロセス中に、VHDLまたはVerilog HDLソース・ファイルへ新しいロジック、または変更したロジックに対するロジック配置を制限できます。タイミング・クロージャを改善しながら、コンパイル実行時間を平均40%高速化することが可能です。	✓	✓
検証	OpenCore® 評価機能	パラメータ設定されたMegaCoreファンクションやAMPPファンクションを購入する前にコンパイルおよびシミュレーションすることが可能です。	✓	✓
	スタティック・タイミング解析	デザイン内でスピードがクリティカルになっているパスや性能を制限しているパスを特定し、クリティカル・タイミング・パスを最適化することができます。	✓	✓
	機能シミュレーション	デザインの論理機能を伝播遅延なしの条件でシミュレーションすることが可能です。	✓	✓
	タイミング・シミュレーション	完全に合成、最適化されたデザインの論理機能とワースト・ケースのタイミングをシミュレーションすることが可能です。	✓	✓
	ModelSim-Altera	VHDLまたはVerilog HDLのテストベンチ・ステイミュラスを使用したHDLコードのシミュレーションを実行できます。	✓	✓
	テストベンチ生成	波形シミュレーション・ファイル进行测试ベンチ・ファイルに変換。コンパイル後にテストベンチのテンプレートを自動生成し、テストベンチ開発の迅速なスタートをサポートします。	✓	✓
	SignalTap IIロジック解析	実際のシステム・スピードで動作しているシステム内のデバイスの内部ノードやI/O信号の状態をイン・システムでキャプチャし、解析する機能です。追加ノードのインクリメンタルな接続もサポートしています。	✓	✓
	SignalProbeイン・システム・デバッグ機能	内部ノードを未使用ピンまたは予約されたピンに順次に接続し、外部接続のスコープまたはロジック・アナライザで解析することが可能です。	✓	✓
	IBISモデル生成	シグナル・インテグリティ解析やEMC解析を行うサードパーティのソフトウェアに対してデザイン固有のIBIS (Input/output buffer information specification) モデルを出力します。	✓	✓
	サードパーティ検証ツールのサポート	検証には、Mentor Graphics社、Synopsys社、Cadence社、およびSynplicity社から供給されているサードパーティ検証用ソフトウェアも使用することができます。	✓	✓
	ハードウェア/ソフトウェアの協調シミュレーションのサポート	プログラマブル・ロジック、エンベデッド・プロセッサ、エンベデッド・プロセッサ用ソフトウェア、メモリを含む完全なシステムをシミュレーションするために必要なシミュレーション・モデルを出力します。	✓	✓
	フォーマル検証	テスト・ベクタを作成することなく、ソースのRTLネットリストと配置配線後のネットリストの間で生じた機能の違いを特定することができるサードパーティのフォーマル検証ソフトウェアをサポートしています。	✓	✓
PowerGuage™ 電力解析	ユーザ定義のデザイン・ファイルと動作パラメータをリンクさせ、消費電力を推定することができます。	✓	✓	
標準規格のデバイス・プログラミング・サポート	STAPL (Standard Test and Programming Language) IEEE 1149 JTAG (Joint Test Action Group) インタフェースを通じてデバイスをイン・システムでプログラミングするためのIEEE 1532標準およびJEDEC認定Jam™ STAPL標準をサポートしています。	✓	✓	

推奨システム構成

アルテラのデザイン・ソフトウェアをWindowsまたはLinuxベースのPC、Sunワークステーション、またはHPワークステーションで動作させるためには、下記のシステム構成が必要です。表4は、アルテラ・デバイスにおいて必要となるメモリ容量を示しています。

WindowsまたはLinuxベースのPC

Windowsオペレーティング・システムには、512Mバイトのシステム・メモリ（より高速なシステムによりソフトウェア性能はさらに向上します）が実装されたPentium II 400が必要です。Pentium IIIプロセッサは、Red Hat Linuxオペレーティング・システムに必要です。

- オペレーティング・システム・ソフトウェア
 - Microsoft Windows XP
 - Microsoft Windows 2000
 - Microsoft Windows NT バージョン4.0以降
 - Red Hat Linux バージョン7.3または8.0
- SVGAモニタ
- CD-ROMドライブ
- MasterBlaster™ダウンロード・ケーブル用シリアル・ポート（Windows XPまたはWindows 2000を使用する場合はUSBポート）
- USB-Blaster™ダウンロード・ケーブル用USBポート（Windows XPまたはWindows 2000）
- ByteBlaster™ IIまたはByteBlasterMV™ダウンロード・ケーブル用パラレル・ポート
- Internet Explorer 5.0以降

Sunワークステーション

- Solarisバージョン7または8で動作するカラー・モニタ付きSun Ultraワークステーション
- ISO 9990互換CD-ROMドライブ
- X-Windows対応ディスプレイ
- Netscape Navigator 5.0以降またはInternet Explorer 5.0以降
- MasterBlasterダウンロード・ケーブル用シリアル・ポート

HPワークステーション

- 1999年11月以降のAdditional Core Enhancement (ACE) が実施されたHP-UXバージョン11.0で動作するカラー・モニタ付きHP 9000 700/800ワークステーション
- ISO 9990互換CD-ROMドライブ
- X-Windows対応ディスプレイ
- Netscape Navigator 5.0以降またはInternet Explorer 5.0以降
- MasterBlasterダウンロード・ケーブル用シリアル・ポート

アルテラのプログラミング・ハードウェア

アルテラのUSB-Blaster、Byte-Blaster II、およびMasterBlasterダウンロード・ケーブル（9ページの表5を参照）は、Stratix II、Cyclone、Stratix、Stratix GX、APEX II、APEX 20K、Excalibur、FLEX 10、ACEX、FLEX 6000、およびMercuryデバイスのイン・サーキット・リコンフィギュレーション、MAX II、MAX 7000、MAX 3000、およびMAX 9000デバイスのイン・システム・プログラミングを実行することができます。これらのダウンロード・ケーブルを使って、アルテラのデザイン・ソフトウェアのユーザ・インタフェースまたはシステム・プロンプトからデバイス・データを直接ダウンロードすることができます。

Quartus IIソフトウェアと共に使用したときには、USB-Blaster、ByteBlaster II、およびMasterBlasterコンフィギュレーション・ケーブルがQuartus IIソフトウェアに内蔵されたSignalTap IIエンベデッド・ロジック・アナライザのための通信機能を提供します。SignalTap IIエンベデッド・ロジック・アナライザについては、7ページの表3を参照してください。

アルテラ・プログラミング・ユニット（APU）とデバイスに対応したプログラミング・アダプタを使用することにより、アルテラのすべてのデバイスをプログラミングするために必要なハードウェアとソフトウェアが提供されます。表5を使用して、システムに最適なプログラミング・ハードウェアを選択してください。

表 4. 必要システム・メモリ容量

製品ファミリ	デバイス	最小物理メモリ(RAM)容量	最小スワップ・スペース ¹
Stratix II	EP2S15	512 Mbytes	512 MB
	EP2S30, EP2S60	1 Gbyte	1 Gbyte
	EP2S90	1.5 Gbytes	1.5 Gbytes
	EP2S130	2 Gbytes	2 Gbytes
	EP2S180	3 Gbytes	3 Gbytes
Stratix	EP1S210, EP1S20, EP1S25	512 Mbytes	512 Mbytes
	EP1S230, EP1S40, EP1S60	1 Gbyte	1 Gbyte
	EP1S280	1.5 Gbytes	1.5 Gbytes
Stratix GX	EP1SGX10C, EP1SGX10D, EP1SGX25C, EP1SGX25D, EP1SGX25F	512 Mbytes	512 Mbytes
	EP1SGX40D, EP1SGX40F	1 Gbyte	1 Gbyte
Cyclone	EP1C3, EP1C6	256 Mbytes	256 Mbytes
	EP1C12, EP1C20	512 Mbytes	512 Mbytes
MAX II	EPM240, EPM570	256 Mbytes	256 Mbytes
	EPM1270, EPM2210	512 Mbytes	512 Mbytes
APEX 20K APEX 20KE APEX 20KC	EP20K100, EP20K100E, EP20K160E, EP20K200, EP20K200C, EP20K200E, EP20K30E, EP20K60E	256 Mbytes	256 Mbytes
	EP20K300E, EP20K400, EP20K400C, EP20K400E, EP20K600C, EP20K600E	512 Mbytes	512 Mbytes
	EP20K1000C, EP20K1000E, EP20K1500C, EP20K1500E	1 Gbyte	1 Gbyte
APEX II	EP2A15, EP2A25, EP2A40	512 Mbytes	512 Mbytes
	EP2A70	1.5 Gbytes	1.5 Gbytes
Excalibur	EPXA1	256 Mbytes	256 Mbytes
	EPXA4	512 Mbytes	512 Mbytes
	EPXA10	1 Gbyte	1 Gbyte
FLEX 10K, FLEX 10KA, FLEX 10KE, FLEX 6000, MAX 7000, MAX 3000, ACEX	全デバイス	256 Mbytes	256 Mbytes
Mercury	EP1M120	256 Mbytes	256 Mbytes
	EP1M350	512 Mbytes	512 Mbytes

表 5. アルテラのプログラミング・ハードウェア

注文コード	ハードウェア名	ハードウェア・インタフェース	追加機能
PL-USB-BLASTER	USB Blaster ダウンロード・ケーブル	USB	SignalTap II エンベデッド・ロジック・アナライザおよび 1.8V、2.5V、3.3V、5.0V の動作をサポート。Cyclone FPGA に使用されるアルテラの新しい低コストのシリアル・コンフィギュレーション・デバイスもサポート。
PL-BYTEBLASTER2	ByteBlaster II パラレル・ダウンロード・ケーブル	PC パラレル・ポート	SignalTap II エンベデッド・ロジック・アナライザおよび 1.8V、2.5V、3.3V、5.0V の動作をサポート。Cyclone FPGA に使用されるアルテラの新しい低コストのシリアル・コンフィギュレーション・デバイスもサポート。
PL-MASTERBLASTER	MasterBlaster ダウンロード・ケーブル	USB/RS-232	SignalTap II エンベデッド・ロジック・アナライザおよび 1.8V、2.5V、3.3V、5.0V の動作をサポート。
PL-APU	アルテラ・プログラミング・ユニット (APU)	USB	従来からのシステム外でのプログラミングをサポート。

アルテラの開発キット

アルテラの開発キットは、デザインのコセプトを迅速に動作するものに移行するためのプラットフォームを提供します。アルテラの開発キットは、デザイン・フローの初期段階からアプリケーション・ソフトウェアの開発を可能にするため、システム・デザインの期間も短縮します。アルテラの最先端FPGAを中心に設計された高品質の開発用ボードに加えて、多くのアルテラの開発キットには以下のものも含まれています。

- オン・ボード・メモリ
- 業界標準のI/Oポート
- 電源
- 1年間のPC用のQuartus IIソフトウェア評価ライセンス
- SOPC Builderシステム開発ツール
- エンベデッド・プロセッサC/C++開発ツール
- ByteBlasterMVまたはByteBlaster IIダウンロード・ケーブル
- テクニカル・ドキュメンテーション
- リファレンス・デザイン

アルテラは、各分野の厳しい要求に対応した幅広い開発キットを提供しています。例えば、アルテラのDSP開発キットStratixプロフェッショナル・エディションは、ワイヤレス・システムの設計者に試作開発用のプラットフォームと信号処理デザインに対するソリューションを提供しており、Nios開発キットは、広範囲のエンベデッド・アプリケーションをカバーしています。表6に、デザインの開発時間の短縮に役立つ開発キットの例を示します。

Quartus II開発キットの評価ライセンス

アルテラおよびサードパーティから供給されている開発キットには、PC用のQuartus IIソフトウェアの1年間の評価ライセンスが含まれています。評価ライセンスは、1年間の完全なQuartus IIソフトウェアの機能の使用とサポートを含みます。

開発キットを購入されたユーザは、標準価格の最大50%の割引価格でQuartus IIのサブスクリプションへアップグレードすることができます。サブスクリプションには以下が含まれています。

- 無期限のQuartus IIソフトウェア・ライセンス・ファイル
- 1年間のソフトウェア・アップデート
- ModelSim-Alteraシミュレーション・ソフトウェア (15ヶ月間のライセンスを含む)
- オペレーティング・システム・サポートの選択

アルテラのデザイン・ソフトウェアのサブスクリプション・プログラムについて詳しくは、3ページを参照してください。

サードパーティ・ソリューション

アルテラのデザイン・ソフトウェアおよび開発ツールは、サードパーティが提供するソリューションで補完されています。サードパーティ・ベンダのサポートには、合成および検証ツール、プログラミング・ハードウェア、およびExcaliburデバイス設計用開発ツールなどが含まれています。

ACCESS Programおよびパートナー企業

Altera's Commitment to Cooperative Engineering Solutions (ACCESS) Program®に参加しているパートナー企業には、アルテラのFPGAおよびCPLDをサポートしたデザイン入力、HDL合成およびシミュレーション、デザイン・ルール・チェック、フォーマル検証、スタティック・タイミング解析、シグナル・インテグリティの解析、およびその他の補完製品を扱うEDAベンダが含まれています。アルテラのデザイン・ソフトウェアのユーザは、ACCESS Programのパートナー企業から提供される最新のEDAツールや設計手法を活用することができます。12ページの表7は、Quartus IIデザイン・ソフトウェアをサポートするベンダおよびツールの一例を示しています。

サードパーティのプログラミング・ハードウェア

アルテラのPLDをプログラムまたはコンフィギュレーションするためのハードウェアが多くのサードパーティ企業から供給されています。サードパーティのプログラミング・ハードウェアのサプライヤには、以下の企業が含まれています。

- Data I/O
- BP Micosystem
- System General Company

エンベデッド・プロセッサ・デザインをサポートするサードパーティのツール

アルテラのソフトウェア・サブスクリプションには、Niosエンベデッド・プロセッサをサポートするサードパーティ開発ツールが含まれています (12ページの表8を参照)。

詳細はアルテラのWebサイトを ご覧ください

ソフトウェア、開発キット、デザイン・パートナー、およびサードパーティのサポートを含むアルテラの包括的なデザイン・ソリューションについて詳しくは、日本アルテラのWebサイト、www.altera.co.jpを参照してください。

表 6. 開発キット			
開発キット名	ボード上に実装されているアルテラ・デバイス	アプリケーション	注文コードまたはパートナー企業の URL
Nios 開発キット Cyclone エディション	Cyclone EP1C20	Nios と Cyclone を使用したシステムの開発に必要なすべてを完全な 1 パッケージで提供。	NIOS-DEVKIT-1C20
Nios 開発キット Stratix エディション	Stratix EP1S10	Nios と Stratix を使用したシステムの開発に必要なすべてを完全な 1 パッケージで提供。	NIOS-DEVKIT-1S10
Nios 開発キット Stratix プロフェッショナル・エディション	Stratix EP1S40	Nios 開発キット Stratix エディションと同一機能で、さらに高集積の FPGA を搭載。	NIOS-PROKIT-1S40
DSP 開発キット Stratix エディション	Stratix EP1S25	完全な DSP 開発プラットフォームを提供。	DSP-BOARD/S25
DSP 開発キット Stratix プロフェッショナル・エディション	Stratix EP1S80	DSP 開発キット Stratix エディションと同一機能で、アルテラの最高集積 FPGA デバイスを搭載。	DSP-BOARD/S80
PCI 開発キット Stratix エディション	Stratix EP1S25	低コストで柔軟性の高い PCI ショート・カード・フォーム・ファクタの FPGA 開発ボード。	PCI-BOARD/S25
PCI 高速開発キット Stratix プロフェッショナル・エディション	Stratix EP1S60	PCI 開発キット Stratix エディションと同一機能で、Stratix EP1S60 デバイスを搭載。	PCI-BOARD/S60
Parallax Cyclone SmartPack	Cyclone EP1C3	Cyclone Smart Pack は、Cyclone デバイス・ファミリの機能を活用できるように設計されています。	www.parallax.com
Parallax Stratix SmartPack	Stratix EP1S10 または EP1S25	Stratix Smart Pack は、Stratix デバイス・ファミリの機能を活用できるように設計されています。	www.parallax.com
MJL Stratix Development Kit	Stratix EP1S25	Stratix デバイスを使用したエンベデッド・システム開発用の汎用プラットフォーム。	www.mjl.com
Microtronix Stratix Development Kit	Stratix EP1S25	Microtronix 社の試作キットは、ほとんどのアプリケーションの開発を可能にする、高い柔軟性を備えたソフトウェアと広範囲の機能を提供。	www.microtronix.com
Rapid Technology Stratix High-Speed Development Kit	Stratix EP1S10	柔軟性に富み、パワフルな Stratix 開発プラットフォームは、高速 LVDS I/O の解析や DSP アルゴリズム開発に最適。	www.rapid-technology.com
El Camino DIGILAB SX High-End Prototyping System	Stratix EP1S30 ~ EP1S80	試作や検証に理想的な低コストで高性能のプログラマブル・プラットフォーム。	www.elca.de
El Camino DIGILAB XA Development Board	Excalibur EPXA4 または EPXA10	ユーザ定義が可能な多くのネットワーク・インタフェースを処理するネットワーク機器設計者向けのキット。評価ボード、試作ツール、標準製品としても使用可能。	www.elca.de
Rowe Engineering Q5 Series	最大 4 個の Stratix EP1S25F780 デバイス	この Q5 ボードは、多数の入力で 840Mbps の転送レートを可能にする Stratix の高速 LVDS チャネルを使用した通信システムおよびオプティカル・システムの設計者向けに設計された製品。	www.roweengineering.net
Colorado Electronic Product Design (CEPD) CAS10 Stratix Development Board	Stratix EP1S10	最先端 DSP システムの設計およびテストを大幅に改善する機能を備えている試作用ボード。	www.cepdinc.com
Avvida Tsunami PCI-Based Image Processing Solution	Stratix EP1S25 およびさらに高集積のデバイス	画像処理および高帯域のアプリケーション用 PCI プラグイン・カード。	www.avvidasystems.com
Gidel Stratix PROCStar Kit	最大 3 個の Stratix EP1S25 デバイス	DSP、画像処理、ビデオ処理、航空宇宙、軍事システムなどの高帯域、高集積のアプリケーションの試作およびリアルタイムでの評価に最適。	www.gidel.com
Arrow Maximum Overdrive Kit	MAX EPM7128A	業界をリードするアルテラの MAX 7000 CPLD を採用するときに使いやすい、低コストのキット。	www.arrow.com/alteramax
Future Electronics Cyclone-Nios-Kit	Cyclone EP1C12	アルテラの低コスト Cyclone FPGA ファミリの評価に最適な使いやすく安価なキット。	www.futureelectronics.com

表 7. 開発ツール		
デザイン・フロー	ベンダ名	ツール名
デザイン・エントリまたは論理合成ツール	Mentor Graphics	Precision, LeonardoSpectrum™
	Synopsys	Design Compiler, FPGA Compiler II
	Synplicity	Synplify, Synplify Pro, Amplify
検証ツール	Aldec	Active HDL, Riviera
	Altium	nVisage, Protel
	Celoxica	Nexas PDK
	Cadence	Conformal LEC, Incisive, Verilog-XL, NC Verilog, NC VHDL
	Mentor Graphics	Tau, XTK
	Model Technology	ModelSim, ModelSim-ALtera
	Summit	Visual Elite, Riviera Elite
	SynaptiCAD	VeriLogger Pro
	Synopsys	LEDA, PrimeTime, Scirocco, VSS, VCS
Synplicity	Identify	

表 8. Nios プロセッサのデザインをサポートしているベンダおよびツール		
デザイン・フロー	ベンダ名	ツール名
開発およびデバッグ・ツール	Red Hat	Excalibur デバイスおよび Nios プロセッサ用 GNUPro 開発ツール
	Mentor Graphics	Excalibur デバイス用 XRAY デバッグ、Nios プロセッサ用 code lab EDE および code lab Debug
	Sophia Systems	Nios プロセッサ用 WatchPoint デバッグ・ツール
	Viosoft Corp.	Nios プロセッサ用 Arribal IDE
システム・インテグレーション・ツール	Beach Solutions	Excalibur デバイス用 EASI-Integrator
オペレーティング・システム	Accelerated Technology	Nios プロセッサおよび Excalibur デバイス用 Nucleus PLUS RTOS
	Shugyo Design Technologies	Nios プロセッサ用 KROS オペレーティング・システム
	Micrium	Nios プロセッサ用 mC-OS-II RTOS
	MiSPO Co. Ltd.	Nios プロセッサ用 NORTi RTOS
	Microtronix Datacom Ltd.	Nios プロセッサ用 mClinux オペレーティング・システム
	OSE Systems	Excalibur デバイス用 OSE RTOS
リアルタイム・トレース・ツール	Microtronix Datacom Ltd.	Nios OCD ソリューションズ・キット



日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1
 新宿アイランドタワー32F 私書箱1594号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.co.jp>
 E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
 USA
 TEL : (408)544-7000
<http://www.altera.com>