



## Stratix IIに関する製品背景情報

### ● はじめに

今日のエレクトロニクス・システムにおける継続的な技術革新には、進化するシステム要件を満たす先進的でより柔軟なシリコン・ソリューションがますます必要とされています。半導体チップ開発費用の上昇と相まって、FPGA製品は今日、急速にデータ通信、テレコミュニケーション、移動体通信、コンシューマ、医療、産業、および軍事市場におけるシステム・デザインのデファクト・プラットフォームになりつつあります。ASICやASSPとは異なり、FPGA業界で最大の容量と最高の性能を備えるアルテラの新しいStratix™ II デバイス・ファミリは、複雑なデザインをも市場に投入できる、低リスクかつコスト効率に優れた手段を提供します。

### ● 高集積・高性能FPGA製品：Stratix II

アルテラの新しい高集積・高性能Stratix II FPGA製品は、業界で最も新しい最先端のFPGA製品です。Stratix IIファミリの革新的な新アーキテクチャは、アダプティブ・ロジック・モジュール( ALM )で構成された独自のロジック構造を採用しており、性能と効率を飛躍的に向上させます。TSMCの90nm全層銅配線プロセスで製造され、300mmウェハで低誘電率材(Low-K)を使用しているStratix II FPGA製品により、デザインは狭小なスペースにより多くの機能を搭載することで、デバイス・リソースを節減することができます。その結果、Stratix IIデバイスは、第1世代製品のStratixデバイスと比べて、2倍以上のロジック集積度ならびに50%の性能向上を、40%低いコストで実現しています。

この新しいロジック構造により、隣接したロジック・ファンクション間でロジックを共有することが可能になり、効率的なロジック利用と高性能を実現できます。組み合わせロジック・ブロックへの8つの入力端子を持つALMは、最大6つの入力端子を持つあらゆるファンクションと7つの入力端子を持ついくつかのファンクションを含め、各々の幅が異なる最大2つの独立したファンクションを実行することができます。組み合わせロジック、算術ロジック、およびレジスタ・ロジックが独自に組み合わせられたALMの性能は、第1世代製品のStratixロジック・エレメントより2.5倍向上しています。

Stratix II FPGA製品は、大きな成功を収め、数々の賞を受賞したStratix FPGAファミリに搭載されているハード・デジタル信号処理(DSP)ブロックおよびTriMatrix™メモリなど、普及している強力なシステム・レベル機能をすべて備えています。最大500MHzの内部クロック周波数をサポートし、250MHzのデザイン性能(通常値)を持つStratix IIデバイスは、デザイナーにASICに類似した性能をもたらすと共に、早期市場投入を可能にするプログラマブル・ロジックの利点を提供します。また、Stratix IIデバイスには、高度暗号化標準(Advanced Encryption Standard、略称：AES)に準拠したデザイン・セキュリティ技術、ダイナミック・フェーズ・アラインメント(Dynamic Phase Alignment、略称：DPA)回路、および新しい外部メモリ・インタフェースのサポートなどの新しい特長を備えています。

Stratix IIデバイスは、量産デザイン向けにはアルテラのHardCopy™ストラクチャードASICバージョンで提供されます。HardCopyデバイスは、リスクとコストを著しく低減させながら、性能向上と低消費電力を実現しています。HardCopyデザイン技法は、量産製品を開発する顧客に他のどの半導体企業からも提供されていない、独自の試作から生産までの一貫したソリューションを提供します。

## ● 主な特長

Stratix II FPGA製品は、市場のニーズに対応するいくつものシステム・レベルの機能を備えています。

### ● メモリ帯域：

FPGAデザインの75%が、外部メモリ・デバイスとのインタフェースに使われています。データ速度への要求が高まるにつれ、時間および予算に対する厳しい条件が求められるDDR2 SDRAM、QDR II SRAM、およびRLDRAM IIデバイスなどの先進高性能メモリがそのようなシステムに一層組み込まれるようになっていきます。アルテラは、FPGA製品とこれらの先進メモリとのインタフェースに対するニーズを認識し、533Mbps DDR2 SDRAM、800Mbps QDR II SRAM、600Mbps RLDRAM IIデバイス、400Mbps DDR SDRAM、668Mbps QDR SRAM、および166Mbps SDR SDRAMと互換性を持つ、実現が容易なインタフェースをデザイナーに提供する目的でStratix IIファミリを設計しました。この外部メモリ・インタフェースのサポートは、Stratix IIデバイスで提供される大容量オンチップTriMatrixメモリを補完します。

### ● オンチップ・メモリ：

通常のシステムは、システム・キャッシュ、データ・バッファリング、クロック・ドメイン変換、およびFIFOアプリケーション向けのオンチップ・メモリ機能を必要とします。Stratix IIデバイスは、各々が広範な機能に対応できるようコンフィギュレーション可能な512ビットのM512、4KビットのM4K、および512KビットのM-RAMブロックをサポートするTriMatrixメモリを通じて、最大9Mビットのオンチップ・メモリを提供します。最大370MHzの性能を持つTriMatrixメモリは高速アクセスが求められるアプリケーションの保存データへのより効率的なアクセスを可能にします。

### ● 高速データ転送：

SPI-4.2、10ギガEthernet、RapidIO™、HyperTransport™、SFI-4、およびNPSIなどの高速伝送技術の発展により、FPGA製品は現在、1Gbpsのデータ速度をサポートすることが求められています。これらの高速データ速度では、I/Oチャンネルが性能上の障壁になる場合があります。以前はバックプレーン・データ転送に使用されていたディファレンシャルI/O標準は、現在、チップ間データ転送にも利用されています。これらのI/Oによる障壁を解消するために、Stratix IIデバイスはLVDSあるいはHyperTransport I/Oを使って、最大152個の受信側および156個の送信側ソース・シンクロナス・シグナリング・チャンネルをサポートし、各チャンネルで1Gbpsのデータ転送速度をサポートします。また、これらのプロトコルはStratix II FPGA製品と高速システム内の他のコンポーネントとを容易に接続させるためにも使用することができます。

### ● ダイナミック・フェーズ・アラインメント (DPA)：

1Gbps水準のデータ転送速度を持つシステムをデザインするエンジニアにとって、クロック・チャンネル間およびチャンネル間遅延の非常に小さな許容範囲は困難な問題となっています。このような許容範囲内にデザインを抑えることは、誤ったデータ転送を引き起こすトレース幅のわずかな不整合を防止する正確なプリント基板(PCB)デザイン技術を利用する必要があります。アルテラでは、このデザイン上の問題を簡素化するために、Stratix IIデバイスにダイナミック・フェーズ・アラインメント(DPA)回路を組み込み、複雑なPCBデザインを著しく簡素化し、遅延を引き起こす原因によってもたらされるシグナル・アラインメント上の問題を削減します。

### ● 卓越したDSP帯域：

DSPアプリケーションにおけるデータ、音声、および動画の融合によって、JPEG 2000、MPEG-4、802.11x、CDMA2000、1x EV DV、HSDPA、およびW-CDMAなどの新しいプロトコルに対応できる一層高い性能が求められています。Stratix IIデバイスは、フィル

タリング、圧縮、チップ・レート・プロセッシング、イコライゼーション、デジタルIF、変換、およびモジュレーションなど、DSPを多用する一般的に使用されているファンクションに最適化された専用DSPブロックを備えています。370MHzで動作可能なStratix II DSPブロックは、今日入手可能な最先端デジタル信号処理プロセッサよりも桁外れに高速な最大288 GMACのDSPスループットを実現します。Stratix II FPGA製品は、多くの演算を要するDSPファンクションがシステム性能を遅らせないよう、デジタル信号処理プロセッサのコ・プロセッサとして使用することもできます。また、DSPブロックのラウンディングおよびサチュレーションがサポートされていることで、音声処理やVoIP (Voice over IP) などのアプリケーションに向けたFPGAデザインにDSPファームウェア・コードを容易に移植することが可能になります。

● **デザイン・セキュリティ :**

Stratix IIデバイスは、IP保護が重要課題とされる新しい市場に対応します。当デバイスは、どのようなオンボードIPも保護する128ビットAESに準拠した先進・不揮発性暗号化技術を搭載しています。機密情報保護のために米国標準技術局( National Institute of Standards and Technology、略称 : NIST ) に選定され、米国政府に採用されたAESは今日入手可能な最も先進的な暗号化アルゴリズムです。アルテラは、AES準拠の暗号化技術を提供する唯一のプログラマブル・ロジック・ベンダです。

これらの新しい拡張されたStratix IIの機能群により、FPGAはデータ・ストレージ、テスト機器、および通信キャリアのインフラ機器などの高性能アプリケーションに一層最適となります。Stratix II デバイスの完全な情報は、アルテラの Web サイト ( [www.altera.com/stratix2](http://www.altera.com/stratix2) ) に掲載されています。

特長	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALM	6,240	13,552	24,176	36,384	53,016	71,760
相当ロジック・エレメント数	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAMブロック (512ビット+ パリティ)	104	202	329	488	699	930
M4K RAM ブロック (4 Kビット + パリティ)	78	144	255	408	609	768
M-RAMブロック (512 Kビット + パリティ)	0	1	2	4	6	9
Total RAMビット	419,328	1,369,728	2,544,192	4,520,448	6,747,840	9,383,040
DSPブロック	12	16	36	48	63	96
エンベデッド18ビット x 18ビット 乗算器	48	64	144	192	252	384
PLL	6	6	12	12	12	12
最大ユーザ I/O ピン	358	542	702	886	1,110	1,158
パッケージ	484-Pin FBGA	484-Pin FBGA	484-Pin FBGA 672-Pin FBGA	1,020-Pin FBGA	1,020-Pin FBGA	1,020-Pin FBGA
	672-Pin FBGA	672-Pin FBGA	672-Pin FBGA 1,020-Pin FBGA	1,508-Pin FBGA	1,508-Pin FBGA	1,508-Pin FBGA

## ● Quartus IIデザイン・ソフトウェアについて

Stratix IIデバイスは、FPGA、CPLD、およびストラクチャードASICデザイン向けの業界で最も先進的な開発ソフトウェアであるQuartus® II Version 4.0デザイン・ソフトウェアによってサポートされています。ASICに類似した多数の新しいデザイン機能を備えるこのデザイン・ソフトウェアは、顧客に対して包括的な合成、最適化、および検証ツールを単一の統合デザイン環境で提供します。タイミング・クロージャおよびブロック・ベースのデザイン技法、さらにはSOPC BuilderおよびSignalTap® IIエンベデッド・ロジック・アナライザにより、デザイナーはわずか数時間で製品企画から生産に移行することが可能になります。また、Quartus IIソフトウェアはすべての主力サードパーティ論理合成およびシミュレーション・ツールとシームレスに統合されています。当ソフトウェアの無償版であるQuartus II Web Editionは、アルテラのWebサイト( <http://www.altera.com/q2webedition> ) からダウンロードすることができます。

以上