



MAX II 製品概要

アルテラは、15年近くに及ぶCPLDにおけるリーダーシップと革新を踏まえ、業界最小コストのCPLD製品であるMAX[®] II ファミリを発表しました。競合CPLD製品の半分のコストで提供されるMAX II デバイスは、新たにルック・アップ・テーブル (LUT) アーキテクチャを採用し、市場でI/Oピンあたり最小のコストを提供する画期的なCPLDアーキテクチャです。不揮発性でインスタント・オンのMAX II デバイス・ファミリは、汎用低集積ロジック・アプリケーションをターゲットにしており、デザイナーはよりコストが高く柔軟性に乏しい小規模ASICやASSPの代わりに業界最先端CPLDデバイスの利点を生かすことができます。

MAX II デバイスは、コストに最適化された6層メタル配線の0.18 μ mフラッシュ・プロセスで製造され、前世代のMAXデバイスの約1/10の消費電力で動作します。集積度は240から2,210のロジック・エレメント数 (LE) (192 ~ 1,700マクロセル数に相当) 、ユーザI/Oピン数は最大272本です。MAX II の主な特長は表1、提供されるパッケージは表2に示します。

MAX II の主要な特長

MAX II デバイスは、アルテラの伝統である技術革新を活かした多くの新しい特長を備えています。このデバイス・ファミリは特に、新しいまたは従来のCPLDアプリケーションにおけるコスト削減を目的としています。

重要なMAX II の特長は、以下の通りです。

- **従来のCPLDファミリに比べ、10分の1の消費電力** —MAX II デバイスは、業界最小のダイナミック消費電力により、動作時の消費電力が極めて低くなっています。重要な役割を担うデザインにおいて、MAX II デバイスは、競合他社が提供する低消費電力製品と比べ、バッテリー寿命で上回ります。さらに、MAX II ファミリは低コストMAX 3000Aファミリの1/10の電力しか消費しません。
- **4倍の集積度** : マクロセル相当数で示した集積度範囲は、約192 ~ 1,700マクロセルです。これは、既存ファミリ製品の4倍に相当し、今日、主要競合他社から提供されているいかなる製品を上回ります。

- **2倍の性能** : MAX IIデバイス・ファミリの性能は、配線構造、ソフトウェア・アルゴリズム、プロセス技術の改善により、平均してMAX 7000AEファミリの2倍に向上しています。
- **ユーザ・フラッシュ・メモリ**:アルテラは、プログラマブル・ロジック・デバイス(PLD)にユーザ用エンベデッド・フラッシュ・メモリを提供する初のプログラマブル・ロジック・メーカーです。このためMAX II デバイス・ファミリは、量産価格で50セントから2ドル程度の一般的に使用されているシリアルあるいはパラレルEEPROMをデバイス内部に集積し、さらにエンド・システムのコストを削減することができます。デバイス当りのメモリ容量は、全ファミリ製品共通で8Kビットです。
- **リアルタイム・インシステム・プログラマビリティ (ISP)** :ユーザは、動作機能を中断することなく、MAX IIデバイスをリアル・タイムでリコンフィギュレーション (再プログラミング) 出来ます。これにより、フィールドに出荷済みの顧客システムに柔軟に機能を追加することが可能となります。

MAX IIデバイスの機能セットの完全な情報は、アルテラのWebサイト (www.altera.com/max2、日本語 : www.altera.co.jp/max2)に掲載されています。

表1 : 製品ファミリ表

| 特長 | EPM240 | EPM570 | EPM1270 | EPM2210 |
|--|---------------------------|--|--|--|
| ロジック・エレメント数 | 240 | 570 | 1,270 | 2,210 |
| 標準換算マクロセル数 | 192 | 440 | 980 | 1,700 |
| 最大ユーザI/Oピン数 | 80 | 160 | 212 | 272 |
| ユーザ・フラッシュ・メモリ・ビット数 | 8,192 | 8,192 | 8,192 | 8,192 |
| スピード・グレード | 3, 4, 5 | 3, 4, 5 | 3, 4, 5 | 3, 4, 5 |
| t _{pd1} コーナ・ツー・コーナ・性能 ⁽¹⁾ (ns) | 4.5 | 5.5 | 6.0 | 6.5 |
| t _{pd2} 最高性能(ns) | 3.6 | 3.6 | 3.6 | 3.6 |
| パッケージ ⁽²⁾ | 100ピン TQFP ⁽³⁾ | 100ピン TQFP 144ピン TQFP 256ピン BGA ⁽⁴⁾ | 144ピン TQFP 256ピン BGA ⁽⁴⁾ | 256ピン BGA ⁽⁴⁾ 324ピン BGA ⁽⁴⁾ |

注 :

- (1) デバイスにおけるコーナ・ツー・コーナの遅延パスである最速の商業用スピード・グレードに相関
- (2) 全パッケージが全集積度を通じてパーティカルマイグレーション (同一パッケージの場合集積度が上下してもピン互換)に対応
- (3) TQFP: 薄型ワッド・フラット・バック・パッケージ
- (4) FineLine BGA[®] パッケージ (1.0 mmボール・ピッチ)

Quartus II デザイン・ソフトウェアについて

MAX II デバイスは、CPLD、FPGA、およびHardCopy? デバイスをサポートする操作性に優れ、高性能を提供するアルテラのQuartus® II ソフトウェアによってサポートされています。現在、Quartus II ソフトウェアはMAX+PLUS® II “ルック&フィール” (MAX+Plus II に似たグラフィカルユーザ・インタフェース) オプションを備えており、これまでのMAX製品の顧客は新しいユーザ・インタフェースを学ぶことなく、Quartus IIの利点を最大限活用することができます。また、Quartus II ソフトウェアはすべての主要サードパーティの論理合成およびシミュレーション ツールとシームレスに統合しています。当ソフトウェアの無償版であるQuartus II Webエディションは、アルテラのWebサイト (www.altera.com/q2webedition) よりダウンロード可能です。

価格、パッケージ、および出荷時期について

MAX II デバイス・ファミリは、240から2,200のロジック・エレメント数の集積度を持つ4つの製品で構成されています。MAX II デバイス向けに提供される低コスト・パッケージには、1.0mm ボール・ピッチのFineLine BGA® (FBGA) と0.5mm リード・ピッチの薄型クアッド・フラット・パック (TQFP) パッケージが含まれています。最初のMAX II デバイスとなるEPM1270デバイスは、2004年中頃に出荷開始される予定です。全ファミリ製品の量産開始は、2005年第1 四半期を予定しています。

表 2 : 価格表

| デバイス | 50万個 購入時の量産価格 (2005年) |
|---------|--------------------------|
| EPM240 | US\$1.50 ドル |
| EPM570 | US\$2.30 ドル |
| EPM1270 | US\$4.25 ドル |
| EPM2210 | US\$7.00 ドル |