



Stratix III デバイス・ファミリに関するQ&A

Stratix III ファミリの製品概要と新機能

Q1: Stratix® III デバイス・ファミリとは何ですか？

A: Stratix III は、アルテラ最新の最小消費電力・高性能FPGAデバイス・ファミリです。

主な特長:

- ・ 最小消費電力のハイエンドFPGA
- ・ 最高性能FPGA
- ・ 最高集積度FPGA
- ・ 柔軟性に優れた高性能 I/Oピン
- ・ 最高性能のデジタル・シグナル・プロセッシング (DSP) およびメモリ機能
- ・ 低コストHardCopy® ストラクチャードASICへの移行パス
- ・ 揮発性および不揮発性デザイン・セキュリティ
- ・ 最高の性能と生産性をもたらすQuartus® II デザイン・ソフトウェア

Stratix III デバイスは、アルテラの第3世代ハイエンドFPGAです。Stratix FPGAシリーズは、高性能で最先端の製品を、低リスクかつ高い生産性で迅速に市場投入することを可能にします。Stratix FPGAシリーズは、高集積、高性能、低消費電力、および豊富な機能セットを兼ね備えており、設計者はより多くの機能を集積し、システム性能を最大限高めることができます。また、Quartus II デザイン・ソフトウェア・バージョン6.1を広範囲なIPポートフォリオとともに活用することで、大規模で複雑なチーム・ベース・デザインにおいて、最高水準の生産性を得ることができます。さらに、低コスト量産製品へのシームレスな移行パスを提供するHardCopy ストラクチャードASICと合わせて利用すれば、トータル・ソリューションとして活用できます。高い品質を提供する信頼できるサプライヤという実績のもと、アルテラのStratix FPGAシリーズは、自信を持って設計に取り組むために必要なツールを設計者に提供します。

Q2: Stratix III の革新的な新アーキテクチャの主要技術は何ですか？

A: どのようにして高性能を低消費電力で提供するか、という業界で最も切迫した課題に対応するため、アルテラはプログラマブル・パワー・テクノロジーを開発しました。この技術により、Stratix III ファミリは、以下の特長を備える、業界で最も低消費な高性能FPGAとなりました。

- ・ 従来世代デバイスより、25%高い性能
- ・ 競合デバイスより、少なくとも1スピード・グレード高速
- ・ 最大600MHzの内部クロック・スピード

消費電力についての詳細情報は、「最小消費電力・高性能デバイス」の項目(P.5)を参照して下さい。

その他にも、Stratix III FPGAでは、以下の重要な技術革新が含まれています。

- ・ I/O
- ・ メモリ・インタフェース
- ・ シグナル・インテグリティ
- ・ TriMatrixメモリ
- ・ DSP
- ・ デザイン・セキュリティ
- ・ SEU検出／軽減

Q3: Stratix III デバイスの製造には、どのプロセス技術が使用されていますか？

A: Stratix III デバイスは、TSMCの量産認定済み65nmプロセス技術を採用しています。Stratix III デバイスは、低誘電率材料(Low-K)、ひずみシリコンおよびトリプル・オキサイドを使用した全層銅配線プロセスを採用しています。Stratix III デバイスの全製品は、300mmウェハで製造されています。

価格と出荷時期

Q4: なぜこの時期にStratix III ファミリを発表したのですか？

A: Stratix III デバイス・ファミリをこの時期に発表した理由は、Stratix III がQuartus II バージョン6.1で設計できるためです。Stratix III ファミリの特長と機能について事前に知識を得ることで、システム・アーキテクトや設計者は次世代システムの機能性を実装した開発を始めることができます。

Q5: いつからStratix III デバイスを使用した設計を始められますか？

A: 設計者は、本年12月4日(日本時間: 12月5日)より、アルテラのWebサイト(www.altera.com/download, 日本語: www.altera.co.jp/download)からダウンロードできる、Quartus II ソフトウェア・バージョン6.1サブスクリプション版を利用して、Stratix III ファミリの設計を開始することができます。また、ソフトウェア・サブスクリプション契約を結んでいる顧客向けに、本年12月4日から、Quartus II ソフトウェア・バージョン6.1のアップデートDVDが発送されます。

Q6: いつStratix III デバイスは提供開始されますか？

A: Stratix III デバイスは、現在エンジニアリング・デザイン向けに提供されるQuartus II ソフトウェア・バージョン6.1がサポートしています。Stratix III デバイス・ファミリの最初の製品であるEP3SL150デバイスのエンジニアリング・サンプルは2007年第3四半期に、その他のファミリ製品はその後6ヶ月の間で提供される予定です。

Q7: なぜStratix III では3種類のファミリが提供されるのですか？

A: 多様なアプリケーションのニーズに対応するために、アルテラは以下3種類のStratix III ファミリを提供しています。

- Stratix III L FPGA: 汎用アプリケーション向けに、バランスの取れたロジック、メモリ、DSPリソースを提供
- Stratix III E FPGA: メモリとDSPに対する要求が高いアプリケーション向けに、拡張したメモリおよびDSPリソースを拡張
- Stratix III GX FPGA: 広帯域幅インタフェース・アプリケーション向けに、トランシーバを統合

Q8: Stratix III デバイス・ファミリには何種類の製品があり、どのパッケージで出荷されますか？

A: Stratix III デバイス・ファミリは、豊富なロジック、豊富なメモリおよびDSP、高速トランシーバ搭載の3種類のファミリで構成されます。

豊富なロジックを持つLファミリは、5万個相当のロジック・エレメントを持つEP3SL50から、業界最大のFPGAとなる34万個相当のロジック・エレメントを持つEP3SL340までの、6製品からなります。豊富なメモリおよびDSPを搭載するEファミリは、5万個相当のロジック・エレメントを持つEP3SE50から、26万個相当のロジック・エレメントを持つEP3SE260までの、4製品からなります。このファミリには、業界最高性能のプログラマブルDSPを実現する896個の18x18乗算器を内蔵するEP3SE110が含まれます。

Stratix III デバイスでは、LファミリとEファミリ間のバーティカル・マイグレーションが完全にサポートされているため、顧客は単一のボードおよびシステム・デザインで、様々な性能および機能を持つ価格帯に対応できます。これは特に、単一のボードおよびシステム・デザインで、複数の価格帯およびチャンネル密度に対応する場合のあるワイヤレスおよびワイヤーライン・システムで有効です。トランシーバ搭載ファミリの詳細情報は、後日発表される予定です。

表1: Stratix III デバイス・ファミリ

ファミリ名	デバイス名	ALM 数	等価 LE 数	レジスタ数	M9K ブロック数	M144K ブロック数	トータル RAM ビット数	MLAB ビット数	18x18 乗算器数
Stratix III L (Logic)	EP3SL50	19K	48K	38K	108	6	1.8M	0.6M	216
	EP3SL70	27K	68K	54K	144	6	2.1M	0.9M	288
	EP3SL110	43K	107K	86K	275	12	4.2M	1.4M	288
	EP3SL150	57K	142K	114K	340	16	5.2M	1.8M	384
	EP3SL200	80K	199K	160K	456	24	7.4M	2.6M	576
	EP3SL340	135K	338K	270K	1,144	48	17.2M	4.3M	576
Stratix III E (Enhanced)	EP3SE50	19K	48K	38K	336	12	4.6M	0.6M	384
	EP3SE80	32K	80K	64K	495	12	6.2M	1.0M	672
	EP3SE110	43K	107K	86K	544	16	7.0M	1.4M	896
	EP3SE260	102K	254K	204K	828	40	14.7M	3.3M	704

表2: Stratix III パッケージとユーザ I/O 数

ファミリ名	デバイス名	484 ピン Fineline BGA	780 ピン Fineline BGA	1,152 ピン Fineline BGA	1,517 ピン Fineline BGA	1,760 ピン Fineline BGA
Stratix III L (Logic)	EP3SL50	288	480			
	EP3SL70	288	480			
	EP3SL110		480	736		
	EP3SL150		480	736		
	EP3SL200			736	864	
	EP3SL340				960	1,104
Stratix III E (Enhanced)	EP3SE50	288	480			
	EP3SE80		480	736		
	EP3SE110		480	736		
	EP3SE260			736	960	

Q9: Stratix III デバイスの注文コードと集積度はどのように関連していますか？

A: Stratix III デバイスの注文コードは、デバイスの容量を示し、デバイス内の相当するロジック・エレメント数に基づいています。Stratix III デバイスの注文コードはすべて、「EP3S」で始まります。その後の文字は、種類(L=ロジック、E=拡張メモリおよび高性能DSP、G=ギガビット・トランシーバ搭載)を示しています。その後の数字は、相当するロジック・エレメント数を1,000で割ったものです。例えば、最小のStratix III デバイスは、EP3SL50とEP3SE50デバイスですが、このデバイスの相当ロジック・エレメント数は4万8,000個です。

Q10: Stratix III デバイス・ファミリの価格はいくらですか？

A: EP3SL150の2008年の量産価格は、1,000個購入時で米国内販売価格550ドルからです。その他のStratix III デバイスの具体的な価格情報、量産価格および時期については、アルテラの販売代理店にお問い合わせください。

最小消費電力・高性能デバイス

Q11: Stratix III デバイスでは、Stratix II デバイスや競合デバイスに比べて、どのような性能改善が図られていますか？

A: Stratix III ファミリはQuartus II ソフトウェア・バージョン6.1と併用した場合、Stratix II ファミリより25%高速なロジック性能を、競合する65nm FPGAアーキテクチャより、平均で1スピード・グレード、最大で3スピード・グレード優れた性能を提供します。

Q12: アダプティブ・ロジック・モジュール(ALM)ベース・アーキテクチャの利点は何ですか？

A: Stratix II と Stratix III FPGAのALMベースの革新的なロジック構造は、従来より小さい物理

面積で、より多くのロジック容量を確保し、高性能化を実現します。ALMIは、隣接するルックアップ・テーブルのロジックと入力端子を共有できるようにすることで、1つのファンクションに必要なロジック・リソース、および一定のクリティカル・パスに必要なロジック段数を減らします。また、1個のALMIに独立したファンクションを2個実装できるため、必要なロジック・リソースがさらに少なくなります。組合せロジック、演算ロジック、およびレジスタで構成されるALMIは、従来のFPGAアーキテクチャで使用されてきた4-LUT(look up table)ロジック構造に比べ2.5倍、競合FPGAで使用されている6-LUTロジック構造に比べ1.8倍の大容量化を遂げています。Stratix シリーズで採用されているALMIは、Stratix III ファミリの性能面におけるリーダーシップに直接貢献しています。

Q13: Stratix III の消費電力は、Stratix II と比べて、どのように変わりましたか？

A: 性能と集積度が同じ場合、Stratix III FPGAは、Stratix II FPGAより、50%少ない消費電力で動作します。

Q14: Stratix III FPGAでは、どのような消費電力における技術革新を活用できますか？

A: Stratix III FPGAは、以下の重要な消費電力における技術革新を提供します。

1. プログラマブル・パワー・テクノロジー
2. 選択可能なコア電圧
3. 拡張されたシリコン・プロセス・テクノロジー
4. Quartus II PowerPlay消費電力最適化ソフトウェア

プログラマブル・パワー・テクノロジー

プログラマブル・パワー・テクノロジーは、デザイン要件に応じて、すべてのプログラマブル・ロジック・アレイ・ブロック(LAB)、DSPブロック、メモリ・ブロックの消費電力を必要最小限に抑えることができます。Quartus II ソフトウェアは自動的にデザインを解析し、最高性能を必要とするブロックを特定した上で、それらを高速モードに設定します。また、未使用のロジックを含め、その他すべてのロジックは、自動的に低消費電力モードに設定されます。

選択可能なコア電圧

選択可能なコア電圧により、顧客はコア電圧を0.9Vにするか1.1Vにするか選択することができます。性能の最大化が要求されるデザインではコア電圧を1.1Vにし、消費電力の最小化が要求されるデザインでは0.9Vコアを選択できます。

シリコン・プロセス・テクノロジー

半導体業界は常に、設備、デザイン・ツール、回路技術への莫大な投資によって進化するというプロセス技術開発の課題に取り組んでいます。微細プロセス構造におけるリーク電力の増加は、業界全般が直面する課題で、65nmノードおよびそれ以前のノードで幅広く利用されている多くの技術を利用して、リーク電力を抑えながら性能を維持、向上させています。

アルテラは、表3で示すように業界先進の機能を活用する最先端FPGAを、提供し続けています。

表3: アルテラが採用したプロセスおよびデザイン技法

プロセスまたはデザイン技術	アルテラによる導入時期	利点
全銅配線	150 nm	性能向上
低誘電率材料 (Low-K)	130 nm	性能向上 消費電力低減
マルチ・スレッショルド・トランジスタ	90 nm	消費電力低減
可変ゲート長トランジスタ	90 nm	消費電力低減
トリプル・ゲート・オキシド	65 nm	消費電力低減
超薄型ゲート・オキシド	65 nm	性能向上
ひずみシリコン	65 nm	性能向上

Quartus II PowerPlay消費電力最適化機能

Quartus II PowerPlay消費電力最適化ツールは、全体の消費電力を最小限に抑えます。アルテラは、2005年にQuartus II ソフトウェアに先進の消費電力最適化機能を導入し、その有効性はStratix II のダイナミック消費電力を平均25%削減するなど、すでに顧客のデザインで実証されています。その後もPowerPlay技術は改善され、合成、配置、配線におけるインテリジェントな意思決定機能などが追加されています。また、PowerPlay技術は、デザイン・プロセスの早い段階で正確な消費電力の見積りを提供し、後期のデザイン・プロセスでは詳細な消費電力解析レポートおよび自動実行される消費電力アドバイザ機能を提供します。PowerPlay技術は、Stratix III シリコンのプログラマブル・パワー・テクノロジーと併用することで、デザインの消費電力を自動的に最小化します。

I/O性能とシグナル・インテグリティ

Q15: Stratix III デバイスで新しく追加された、I/Oにおける技術革新は何ですか？

A: Stratix III デバイスのI/Oエレメントは、FPGAの全側面に配置されている各DQピンの背後に、31個のハードI/Oレジスタを内蔵しており、メモリとアプリケーション領域間の高速度で安全なデータ伝送を提供しています。シングル・データ・レート(SDR)およびハーフ・データ・レート(HDR、SDRの半分の周波数で2倍のデータ幅)入力/出力オプションは、アプリケーション側のインタフェース・デザインを簡素化し、統合プロセスを迅速化します。その他の機能には、プログラマブル・スルー・レート、ドライブ・ストレングス、ダイナミック・トレース補正(入出力信号におけるボード・トレース不整合を補正するための可変遅延チェーン)、PCBレイアウトを簡素化する直列オンチップ・ターミネーション(OCT)、並列オンチップ・ターミネーションおよび差動オンチップ・ターミネーションが含まれます。また、Stratix III 機能群には、DDR3などの新しい外部メモリ・インタフェース標準向けのデスクュー、リード/ライト・レベリング、および異なるクロック・ドメイン間の乗り換え機能も含まれます。

Q16: ダイナミック・フェーズ・アライメント(DPA)とは何ですか？またなぜDPAは重要なのですか？

A: DPAは、プリント基板設計を劇的に簡素化し、高速なソース・シンクロナス・データ転送アプリケーションにおける問題を最小限に抑えます。また、チャンネル間のスキュー、およびチャンネルとクロック信号間のスキューを除去し、Stratix III のソース・シンクロナスLVDS信号を、1.25Gbpsのデータ転送速度で動作させることができます。

Q17: ソフトDPAと比べた場合、ハードDPAの利点は何ですか？

A: Stratix III デバイスに使用されているハードDPAは、ソース・シンクロナス・チャンネル上のエンベデッド・シリコンに直接DPA機能を組み込みます。このため、検証可能で信頼性の高いスキュー削減と伝送速度向上を実現します。ソフトDPAは、プログラマブル・ロジックとクロック・リソースを使って実現されます。貴重なロジック・リソースを使用し、デバイスのグローバル・クロックとPLLを急激に消費しかねない上、温度や電圧の変化によるエラーも頻繁に発生します。Stratix III FPGAのハードDPAでの実現は、このような問題を防ぎ、エラーのないデータ伝送を確実にします。また、ハードDPAブロックがFPGAに組み込まれているため、設計者は新たにキャラクタライズに時間を割く必要がなくなります。Stratix III FPGAのハードDPAは、プロセス、電圧、および温度において事前にキャラクタライズされ、その動作が保障されています。ソフトDPA実装の場合は、設計者自身がキャラクタライズする必要があります。

Q18: Stratix II デバイスは、どんな高速差動I/Oの電氣的規格をサポートしていますか？

A: Stratix III デバイスは、LVDS、差動SSTLおよびHSTLをサポートしています。

Q19: Stratix II デバイスは、どのようなターミネーション(終端抵抗)をサポートしていますか？

A: Stratix III デバイスは、直列、並列およびダイナミック・シングルエンド・ターミネーション、ならびに差動ターミネーションをサポートするオンチップ・ターミネーションを提供します。オンチップ・ターミネーションは、外部ターミネーション・レジスタで必要とされる追加のボード・スペースなしで、シグナル・インテグリティを向上させます。

Q20: Stratix III デバイスでは、どの高速I/Oインタフェース・プロトコルがサポートされていますか？

A: Stratix III 高速LVDS I/Oは、SPI-4.2、SFI-4、SGMII、Utopia IV、10 GbE XSBI、RapidIO™、SerialLiteなどのインタフェース標準をサポートしています。

業界先進のシリアル・プロトコルをサポートするStratix III GXデバイスについては、後日発表されます。

Q21: Stratix III デバイスは、どのような外部メモリ・インタフェースおよび速度をサポートしていますか?

A: Stratix III I/Oは、最大400MHzの周波数で動作するDDR、DDR2、DDR3、QDR II、QDR II+、RLDRAM II などの既存および今後主流となる外部メモリ規格をサポートするよう設計されています。自動的にキャリブレーションされるデータ・パスは、新しいI/O構造の利点を最大限活用し、プロセス、電圧、および温度範囲において最も信頼性の高い周波数を常に提供するように、自らをダイナミックに調節します。

表4: Stratix III デバイスがサポートする外部メモリ・インタフェース

メモリ規格	標準 I/O 規格	最大クロック・スピード	最大データ転送速度
DDR SDRAM	SSTL-2	200 MHz	400 Mbps
DDR2 SDRAM	SSTL-1.8	400 MHz	800 Mbps
DDR3	SSTL-1.5	400 MHz	800 Mbps
QDR II	1.8V/1.5V HSTL	350 MHz	1,400 Mbps
QDR II+	1.8V/1.5V HSTL	350 MHz	1,400 Mbps
RLDRAM II	1.8V HSTL	400 MHz	800 Mbps

Q22: Stratix III FPGAでは、どのような先進シグナル・インテグリティが提供されますか?

A: Stratix III I/Oバンクは、8:1:1のユーザI/O:電源:グラント比や、最適化されたシグナル・リターン・パス、スタガード出力遅延コントロール、最適化されたオン・チップおよびパッケージ上のデカップリングなどのチップおよびパッケージ・レベルの拡張機能により、最高水準のシグナル・インテグリティ、同時スイッチング・ノイズ(SSN)の低減と、卓越したアイ・ダイアグラムを実現します。

TriMatrixメモリ

Q23: TriMatrixメモリとはどのようなもので、どのような機能をサポートしていますか?

A: 第1世代Stratixデバイスに初めて採用されたTriMatrixメモリは、非常に効率的な高集積メモリ構造で、多くのデザインの幅広いメモリ要件に対応するために、3種類のサイズの異なるメモリ・ブロックで構成されています。顧客の意見を取り入れて開発されたStratix III TriMatrixメモリ構造は、機能拡張され、最大17.2Mビットのストレージ容量、分散デュアル・ポートMLAB構造、エラー訂正コード(ECC)のサポートなどの新しい機能を提供します。Stratix III デバイスは、従来のMRAMよりも最小単位が小さいM144Kブロックと、デバイス全体に見られる柔軟性に優れた複合LABから構成される分散MLAB構造を備えています。

新しいTriMatrixメモリ構造は、大容量のメモリ・ビットを必要とするアプリケーションにも、広いメモリ帯域幅を必要とするアプリケーションにも、優れたソリューションとなります。例えば、MLABブロックは、ファーストイン・ファーストアウト(FIFO)ファンクションやわずかのメモリしか必要としない、クロック・ドメイン・バッファ・ファンクションに使用できます。M9Kブロックは、非同期転送モード(ATM)セル処理など、中サイズのメモリ・アプリケーションに使用できます。M144Kブロックは、Nios[®] エンベデッド・プロセッサ・コードの保存や、IPパケットやビデオ回線バッファなど、大量の記

憶容量を必要とするアプリケーション向けに使用できます。すべてのメモリ・ブロックには、エラー制御のためのパリティ・ビット、混合データ幅モードおよび混合クロック・モードのサポートが含まれます。専用ECC回路はM144Kブロックで実現でき、ECCレファレンス・デザインはM9KおよびMLAB構造で使用されるソフト・バージョンとして存在します。さらにM9K、M144Kブロックは、トウラー・デュアルポート・モードをサポートします。

Q24: MLABブロックの目的は何ですか？

A: MLABブロックにより、10個のALMで構成されるLAB1個をMLAB1に結合することで、非常に最小単位が小さい640ビット・メモリ構造をデバイス全体にわたって構築できます。このようにして構築されたメモリ構造は、32x20または64x10メモリ・ブロックのいずれかとして活用できます。このMLABは、デュアル・ポートの実行、パリティ・ビット・チェック、エラー訂正、FIFOモードなど、その他のメモリ・ブロックで見られる一般的な機能の多くを提供します。

Q25: Stratix III TriMatrixメモリはECCをサポートしますか？

A: Stratix III デバイスのすべてのメモリ構造は、ECCをサポートします。M144Kブロックでは、専用ECC回路がデバイスに追加され、ミッション・クリティカルなアプリケーションに対し、シングルビットを訂正し、マルチビット・エラーを検出する手段を提供します。M9KおよびMLABブロックでは、デバイスのロジック・ファブリックを使用してECC回路を構築できる、ソフト・レファレンス・デザインを活用できます。

DSPブロック

Q26: Stratix III Eファミリとは何ですか？

A: シグナル・プロセッシングは、現実の世界とコンピューティング世界を結び付けています。そして、このデジタル・シグナル・プロセッシング(DSP)性能をより高く引き出すアルゴリズムが開発されるのに伴い、これらのアルゴリズムで求められる性能要件は飛躍的に高まり続けています。携帯電話などコストを極めて重視する幾つかの量産アプリケーションでは通常、専用のASSPを使用していますが、その他のアプリケーションでは汎用DSP、あるいは最近ではFPGAが利用されています。

Stratix III E FPGAは、特に最も高い性能要件に対応するように開発されています。Stratix III Lファミリは、たいいていのアプリケーションのニーズを満たす豊富な乗算器を備えていますが、EファミリのEP3SE110デバイスでは、最大500 GMACSのスループットを実現する最大896個の18x18乗算器を備えています。

Q27: Stratix III E FPGAファミリは、デジタル・シグナル・プロセッシングなどの代替技術と比べて何が異なるのですか？

A: 最大500 GMACSのスループットを実現するEP3SE110デバイスと、8 GMACSで動作する最高性能のDSPプロセッサを比べた場合、性能の違いは顕著に現れます。Stratix III デバイスは、

最高のDSP性能を代替のプロセッシング・ソリューションよりも低いコスト、低い消費電力、および小さなボード占有面積で提供します。

Stratix III Eファミリは、無線基地局、画像診断装置、放送機器用ビデオ／画像処理や、軍用レーダー、ソナー、セキュリティ、および通信システムでの幅広い採用が見込まれています。

Q28: Stratix III DSPブロックの利点は何ですか？

A: DSPブロックは、性能、柔軟性、および低消費電力を実現するために最適化された、ハード・ブロックとして実装されており、最高のDSP性能を代替プロセッシング・ソリューションより低いコスト、低い消費電力、小さなボード占有面積で提供します。Stratix III FPGAの主要な技術革新であるDSPブロックは、より多くの乗算器を、他のどの競合FPGAより低い消費電力でかつ小さなシリコンに集積します。

デザイン・セキュリティ

Q29: デザイン・セキュリティとは何ですか？

A: Stratix III デバイスは、競合他社や不正アクセス者による不正コピーや改ざんなどからデザインを保護します。Stratix III デバイスは、256ビット・キーを備えたAES (Advanced Encryption Standard) アルゴリズムを使用して、コンフィギュレーション・ビットストリームを暗号化するように機能拡張されています。米国連邦標準技術局 (NIST) が選択し、米国政府が機密情報の保護に採用しているAESは、現在、最も進んだ暗号化アルゴリズムです。

Q30: Stratix III デバイスと他のFPGAに搭載されているデザイン・セキュリティ機能は、どのように異なりますか？

A: Stratix III デバイスは、FPGAとして業界で初めて、AESと揮発または不揮発性オンチップ・ストレージを選択できる256ビット・キーを使ったコンフィギュレーション・ビットストリーム暗号化に対応しています。他のFPGAベンダは、バッテリーを使って揮発性のキーに電力を供給したり、バックアップを取ることにのみ対応していません。Stratix III デバイスは唯一、バッテリーを使用してバックアップする揮発性キー、あるいは究極のセキュリティである不揮発性スクランブル・キーのどちらを活用するか選択することができます。さらに、Stratix III デバイスでは、コンフィギュレーション・データのリードバックを許可しないことで、リバーズ・エンジニアリングに対して一層高水準のセキュリティを提供します。

アルテラの不揮発性デザイン・セキュリティは、商用OEMメーカーによる、デザイン・セキュリティのより幅広い使用を可能にし、商用機器の製造フローに最適な解となります。

Q31: どのような市場がStratix II のデザイン・セキュリティ機能の恩恵を受けますか?

A: 今日の政府機関、防衛関連、および競争の激しいビジネス環境で、自らのデザインに対して非常に高い水準の保護を求めるデジタル設計者にとって、デザイン・セキュリティは重要な問題です。Stratix III FPGAのデザイン・セキュリティ機能は、プログラマブル・ロジックの柔軟性と、改ざん、コピー、リバース・エンジニアリングに対する信頼性の高いデザイン保護の両方が求められる、新しいアプリケーションに対応しています。

Q32: 設計者は、Stratix III デバイスのデザイン・セキュリティ機能をどのように実現できますか?

A: Stratix III デバイスが提供するセキュアなコンフィギュレーション・フローは、以下の3段階を経て実行することができます。

1. 256ビットのAESキーが、Stratix III デバイスの不揮発部分、もしくはバッテリーによってバックアップされる揮発性部分にプログラムされます。
2. Quartus II デザイン・ソフトウェアが、同じAESキーを使って暗号化されたコンフィギュレーション・ファイルを生成します。コンフィギュレーション・ファイルは、フラッシュ・メモリまたはコンフィギュレーション・デバイス(1個または複数個)に保存されます。
3. 起動の際、コンフィギュレーション・デバイス(1個または複数個)、またはフラッシュ・メモリを読み込むマイクロプロセッサが、暗号化されたコンフィギュレーション・ファイルを、Stratix III デバイスに送信します。Stratix III デバイスは、保存されているAESキーを使ってファイルを解読し、コンフィギュレーションを行います。

システム・クロック管理

Q33: Stratix III デバイスには、いくつのPLLが組み込まれていますか?

A: 最大集積度のStratix III デバイスでは、各々が正確な周波数合成およびタイミング管理機能を持つ最大12個のオンチップPLLが提供されます。上下のPLLは10個の出力を、側面のPLLは7個の出力を備え、最大容量のデバイスで最大96個のクロック・ソースを提供します。

Q34: Stratix III デバイスには、どのようなPLLが搭載されていますか?

A: Stratix III デバイスは、2種類のPLLをサポートするStratix II デバイスとは異なり、1種類のPLLを搭載しています。Stratix III のPLLは、Stratix II デバイスで搭載されている拡張PLLと高速PLLの両方から選ばれた最良の機能を提供します。

Q35: Stratix III デバイスは、PLLに加えてDLL(delay-locked loops)も提供しますか?

A: Stratix III デバイスは、DDR外部メモリ・インタフェース向けに、DQSフェーズ・シフトを維持するDLLを備えます。

Quartus II ソフトウェア・バージョン6.1

Q36: どのバージョンのQuartus II デザイン・ソフトウェアがStratix III デバイスをサポートしますか?

A: Stratix III デバイスは、高集積FPGAデザイン向けとして業界で最も進んだソフトウェアである、Quartus II ソフトウェア・バージョン6.1でサポートされています。ASICと同様のデザイン機能を数多くかつ新しく備えて開発されたQuartus II デザイン・ソフトウェアは、高機能な合成ツールおよびシミュレーション・ツールとともに、使いやすいインタフェースを提供し、設計者はStratix III のFPGA性能とデザインにおける利点を最大限に生かすことが可能になります。Quartus II ソフトウェアは、すべての主要サードパーティ製合成/シミュレーション・ツールとも、シームレスに統合されています。Quartus II ソフトウェア・バージョン6.1・サブスクリプション版は、アルテラの販売代理店から提供されます。Quartus II ソフトウェア・バージョン6.1・サブスクリプション版およびWebEditionは、本年12月4日(日本時間:12月5日)より、アルテラのWebサイト(www.altera.com/download, 日本語:www.altera.co.jp/download)からダウンロードできるようになります。また、アルテラのソフトウェア・サブスクリプション契約を結んでいる顧客向けに、サブスクリプション・アップデートの一環として12月からQuartus II ソフトウェア・パッケージが出荷されます。

Q37: どのサードパーティ製ツールによってStratix III デバイスはサポートされていますか?

A: Quartus II に統合された合成ツールに加え、主力EDAベンダであるMentor Graphics、Synplcity、Magma、Aldec社の合成/シミュレーション・ツールは、すべてStratix III デバイス・ファミリをサポートしており、アルテラ・デバイスを活用した設計に最高の品質をもたらします。

Q38: Stratix III デバイス向けにどのようなIPコアが提供される予定ですか?

A: アルテラは、広範な標準IPコア・ライブラリと共に、Stratix III デバイス向けに最適化されたIPコアを提供します。各コアは、新しい先進I/O機能など、Stratix III ファミリのアーキテクチャの特長を生かすよう、特に配慮して最適化されています。詳細情報は、アルテラのIP MegaStore Webサイト(<http://www.altera.com/products/ip/ipm-index.html>, 日本語:<http://www.altera.co.jp/products/ip/ipm-index.html>)に掲載されています。

HardCopyデバイス

Q39: アルテラは、Stratix III からHardCopyデバイスへの移行をサポートする予定ですか?

A: はい。アルテラは、Stratix III FPGAからHardCopy ストラクチャードASIC への移行パスを提供します。詳細情報は、後日発表されます。

Nios エンベデッド・プロセッサ

Q40: Nios II エンベデッド・プロセッサは、Stratix III デバイスでサポートされていますか？

A: はい。Nios II エンベデッド・プロセッサは「ソフトコア」と呼ばれていますが、これは、アルテラのすべてのFPGAおよびストラクチャードASICデバイスをサポートする、コンフィギュレーション可能なIPコアとして提供されるためです。Stratix III ファミリではロジック、メモリ、およびDSPブロックを追加可能なため、シングルまたはマルチCPUエンベデッド・システムを実装するNios開発者に、卓越した柔軟性を提供します。Nios II C-to-Hardware (C2H) アクセラレーション・コンパイラを使用して、スピードが要求されるソフトウェア・アルゴリズムをハードウェアに変換することで、そのアルゴリズムを迅速化させることができます。

ファウンドリとプロセス技術

Q41: アルテラはどのようなファウンドリ戦略を持っていますか？

A: アルテラは、引き続きTSMCと緊密に協力していきます。アルテラはプロセスの初期段階からTSMCと協力し、回路およびシステム・アーキテクチャの進歩を調査、および検証するために、各新製品ファミリの一連のテスト・チップを開発しています。また、アルテラとTSMCは、歩留まり向上を達成する業界先進の技法を持っており、業界最大規模のデバイスを含むすべてのFPGAで迅速な量産段階への移行を可能にします。

Q42: この製造プロセスでは、これまでと異なる材料を使用していますか？

A: アルテラは、65nmノードでひずみシリコンと超薄型ゲート・オキサイドを採用しています。これらは、より一層の性能向上と省電力化を図るための比較的小規模なプロセス変更です。

以上