



## Stratix III 製品背景情報

### 概要

ハイエンドFPGAは、FPGA機能の向上と、スタンダード・セルASICなど他の半導体技術のコスト上昇に後押しされ、エレクトロニクス・システムの心臓部として採用が増加しています。この傾向により、FPGAには新しい要件が求められています。すなわち、FPGAは従来以上に高水準な性能と集積度を提供する一方で、非常に厳しい消費電力のスペックに対応することが必要となります。加えて、顧客にとって今日の最優先事項の1つとして、デザイン・チームの生産性向上が挙げられており、デザイン・ツールの能力がFPGAデバイスの機能同様に重要になっています。アルテラの新しい最小消費電力・高性能FPGA Stratix<sup>®</sup> III ファミリは、プロセスおよび回路技術の最適化にとどまらない、新しく革新的なFPGAアーキテクチャを導入しています。プログラマブル・パワー・テクノロジーや選択可能なコア電圧などの独自の機能は、性能、集積度、および消費電力の最良な組み合わせを提供します。Quartus<sup>®</sup> II デザイン・ソフトウェアのPowerPlay機能は、性能要件を満たしつつ、ユーザ固有のデザインに合った最小の消費電力を自動的に提供します。これにより、ユーザは可能な限り最小の設計工数で最適なデザインを得ることができます。

また、Stratix III デバイスは、通信、放送、軍事、およびコンピュータ/ストレージなどの市場に最適な多数のI/Oピン、メモリ、DSP、エンベデッドおよびデザイン・セキュリティ機能も提供します。Stratix III の開発ソフトウェアであるQuartus II デザイン・ソフトウェアには、Synopsys Design Constraint (SDC)ベースのタイミング解析、インクリメンタル・コンパイル機能、および様々なシステム・レベル・デザイン・ツールなどの独自機能が備えられており、業界最高の性能と生産性を提供します。

65nm Stratix III FPGAは、従来世代である90nm Stratix II の市場での成功を継続するための良い位置にいます。Stratix III ファミリのハードウェア/ソフトウェアの能力と、アルテラが注力する卓越した技術力により、ハイエンド・システムの設計者はStratix III FPGAを活用することで、確信のある設計を行うことができます。

### 最小の消費電力・高性能 Stratix III FPGA

Stratix III ファミリは、市場において最も先進的な構造を持つ、最小の消費電力による高性能なFPGAです。アルテラの革新的なプログラマブル・パワー・テクノロジーは、性能が必要な場所では最大性能を提供し、それ以外の場所では消費電力を最小に抑える機能を提供します。また、選択可能なコア電圧と最新のシリコン・プロセスの最適化は、業界で最小の消費電力かつ高性能なFPGAを提供するために用いられています。広範なアプリケーションで最高のソリューションを提供す

るために設計されたStratix III FPGAファミリは、様々なアプリケーション・ニーズを満たすよう、3種類の製品ファミリで提供されます。

- ・ Stratix III L ファミリは、汎用アプリケーション向けに、バランスの取れた比率でロジック、メモリ、乗算器を提供します
- ・ Stratix III E ファミリは、データ処理アプリケーション向けに、メモリおよび乗算器の性能を拡張しています
- ・ Stratix III GX ファミリは、高帯域幅アプリケーション向けに、高速シリアル・トランシーバを内蔵し、豊富な内部メモリを搭載しています

バーティカル・マイグレーションを可能にする共通なバンク構造を備えたモジュール方式のI/Oバンクは、高速I/Oの効率と柔軟性の向上に役立ちます。ダイナミック・オンチップ・ターミネーション、出力遅延、ドライブ能力の制御を含むパッケージおよびダイの改善により、最高水準のシグナル・インテグリティを提供します。TSMCの65nm全層銅配線SRAMプロセスをベースにしたStratix IIIファミリは、高性能ロジック、DSP、およびエンベデッド・プロセッシング向けのカスタムASICおよびASSPの代替となる、優れた効率を誇るプログラマブル・ソリューションです。

## 主な特長

Stratix III デバイスは以下の特長を備えています。

- ・ 48,000から338,000個相当のロジック・エレメント(表1を参照)
- ・ 2 – 17Mビットの拡張TriMatrixメモリ: デュアル・ポート・メモリとFIFOバッファを提供する3つのRAMブロック・サイズから構成
- ・ 高速550MHz DSPブロック: 専用乗算器(9x9、12x12、18x18、および36x36)、乗累算ファンクション、およびFIR (Finite Impulse Response)フィルタを提供
- ・ 8:1:1のI/O:GND:PWR比率と、オン・ダイ/オン・パッケージ・デカップリングによる強力なシグナル・インテグリティ
- ・ プログラマブル・パワー・テクノロジー: 電力を最小限に抑えながら性能を最大化
- ・ 選択可能なコア電圧: 消費電力を一層削減するために、コア電圧オプションを提供
- ・ 1デバイス当たり、最大16個のグローバル・クロック、88個のリージョナル・クロック、および208個のペリフェラル・クロック
- ・ PLLリコンフィギュレーション、クロック・スイッチオーバー、プログラマブル帯域幅、クロック合成、およびダイナミック位相シフトをサポートする、1デバイス当たり、最大12個のフェーズロックド・ループ(PLL)
- ・ すべてのI/Oバンク上で専用DQSロジックによるメモリ・インタフェースのサポート
- ・ DDR、DDR2、DDR3 SDRAM、RLDRAM II、QDR II、およびQDR II+ SRAMなど高速外部メモリ・インタフェースを、最大24個のモジュール方式のI/Oバンク上でサポート
- ・ 広範な業界標準I/O規格をサポートする、24個のモジュール方式のI/Oバンクに配置された、最大1,104個のユーザI/Oピン

- ・ すべてのI/Oバンク上でオートキャリブレーションのサポートを持つ、ダイナミック・オンチップ・ターミネーション(OCT)
- ・ SPI-4.2、SFI-4、SGMII、Utopia IV、10ギガビット・イーサネットXSLI、RapidIO™ およびNPSIなど、高速ネットワーキングおよび標準通信バス規格をサポート
- ・ 1.25Gbps性能向けに、SERDESおよびダイナミック・フェーズ・アライメント(DPA)回路を持つ、高速差動I/O
- ・ PCI Express、XAUI、SRIO (serial rapid I/O)、ギガビット・イーサネットなどの主要プロトコルをサポートするよう最適化された、高速シリアル・トランシーバ(対応デバイス Stratix III GXファミリの詳細は後日発表されます)
- ・ 揮発性／不揮発性の256ビットAES(Advanced Encryption Standard)セキュリティ・キーにより、デザインを保護する唯一のFPGA
- ・ 強力なオンチップ・ホット・ソケットおよび電源シーケンスのサポート
- ・ コンフィギュレーション・メモリ・エラー検出向けに統合されたCRCにより、高可用性システムのクリティカル・エラー検出をサポート
- ・ エラー訂正コード(ECC)回路を内蔵し、SEU(Single Event Upset)によるコンフィギュレーションまたはユーザ・メモリ・エラーの検出および訂正をサポート
- ・ Nios® II エンベデッド・プロセッサのサポート
- ・ アルテラのMegaCore®ファンクションおよびAMPP<sup>SM</sup>(Altera Megafunction Partners Program)より提供される、豊富なIPメガファンクションのサポート
- ・ Stratix III FPGAから量産製品向けHardCopy® ストラクチャードASICへの、独自かつリスクの無いマイグレーション・パス

表1: Stratix III FPGAファミリの特長\*

	デバイス名/ 特長	ALM数	等価 LE数	M9K ブロック 数	M144 K ブ ロック 数	MLAB ブロック 数	トータル・ エンベデッド RAMビット数	MLAB ビット数	18x18ビット 乗算器 (FIRモード)	PLL 数
<b>Stratix III L (Logic)</b>	EP3SL50	19K	48K	108	6	950	1.8M	0.6M	216	4
	EP3SL70	27K	68K	144	6	1,350	2.1M	0.9M	288	4
	EP3SL110	43K	107K	275	12	2,150	4.2M	1.4M	288	8
	EP3SL150	57K	142K	340	16	2,850	5.2M	1.8M	384	8
	EP3SL200	80K	199K	456	24	4,000	7.4M	2.6M	576	12
	EP3SL340	135K	338K	1,144	48	6,750	17.2M	4.3M	576	12
<b>Stratix III E (Enhanced)</b>	EP3SE50	19K	48K	336	12	950	4.6M	0.6M	384	8
	EP3SE80	32K	80K	495	12	1,600	6.2M	1.0M	672	12
	EP3SE110	43K	107K	544	16	2,150	7.0M	1.4M	896	12
	EP3SE260	102K	254K	828	40	5,100	14.7M	3.3M	768	12

\*Stratix III GXファミリの詳細は後日発表されます。

## アーキテクチャの特長

以下に、Stratix III FPGAファミリの様々な特長を紹介します。

### プログラマブル・パワー・テクノロジー

Stratix III デバイスは、今日の消費電力と高性能に対する要求のバランスを取るパワー・オプションを備えた唯一のFPGAです。プログラマブル・パワー・テクノロジーにより、各々のプログラマブル・ロジック・アレイ・ブロック(LAB)、DSPブロック、およびメモリ・ブロックを、高速モードあるいは低速モードで、それぞれ動作させることができます。Quartus II ソフトウェアのPowerPlay機能は、要求性能に応じて各ブロックのモードを自動的に管理します。

### 選択可能なコア電圧

選択可能なコア電圧により、顧客はコア電圧を低消費電力設定の0.9V、もしくは高性能向け設定の1.1Vのいずれかを選ぶことができます。この新しい機能は、Quartus II バージョン6.1において選択されたコア電圧に固有のタイミング・モデルおよび電力モデルを用いて、すべてのタイミング依存およびパワー依存の解析／最適化を実行します。

### Quartus II ソフトウェア・バージョン6.1

Quartus II ソフトウェア・バージョン6.1には、インクリメンタル・コンパイル技術、TimeQuestタイミング・アナライザ、SOPC Builderツールといった先進のソフトウェアサポートが含まれており、新しい65nm Stratix III FPGAファミリの設計においても、業界をリードする性能と優れた生産性の利点を提供します。また、バージョン6.1の新機能として、Stratix III FPGA プログラマブル・パワー・テクノロジーをサポートする、拡張されたPowerPlay最適化／解析技術があります。Quartus II ソフトウェアは、デザイン・ブロックを自動的に解析し、ブロックごとに求められる要求性能を認識します。この解析を行うことで、全体の消費電力を飛躍的に削減することができます。Quartus II ソフトウェアは、競合する65nm FPGAデバイスに比べて、Stratix III FPGAで全てのスピード・グレードにおける優位性と50%高速なコンパイル時間を実現します。

その他の新しい性能および生産性向上機能には、マルチプロセッサのサポート、デタッチャブル・ウィンドウ、Windows 64ビットOSに対応した64ビット・バージョン、ピン・プランナの強化、トップダウンおよびボトムアップ双方からのチーム・ベース・デザインをサポートする業界初のインクリメンタル・コンパイル機能が含まれています。

### ロジック・アレイ・ブロック(LAB)とアダプティブ・ロジック・モジュール(ALM)

ロジックの実装と配線技術に関する構造の選択は重要であり、Stratix III FPGAが業界をリードする性能を実現する上で直接的に貢献しています。ロジック・アレイ・ブロック(LAB)は、アダプティブ・ロジック・モジュール(ALM)として知られる基本ビルディング・ブロックで構成されており、ロジック、演算、およびレジスタ・ファンクションを実行するように設定可能です。各LABは、10個のALM、

キャリア・チェーン、共有演算チェーン、LABコントロール信号、ローカル・インタコネクトおよびレジスタ・チェーンの接続ラインで構成されています。ALMIは、アルテラ独自の革新的なロジック・アーキテクチャの一部で、高速性能を提供し、占有面積を最小化し、消費電力を削減します。ALMIは、従来の4入力ルックアップ・テーブル(LUT)アーキテクチャを、7入力に拡張し、ロジックの段数と関連する配線を削減することで性能を向上させます。また、ALMIは、加算器と他の複雑な演算ファンクションを効率的に実行する専用機能により、DSP性能を最大限に引き上げます。Quartus II ソフトウェアは、LABまたは隣接LAB内に関連するロジックを自動的に配置し、ローカル接続、共有演算チェーンおよびレジスタ・チェーン接続の使用を可能にして、性能と面積効率を最適化します。

Stratix III FPGAのLABは、メモリLAB (MLAB)と呼ばれる、LABにSRAM性能を追加する新しい機能を備えています。MLABは、LABの上位機能であり、LABの持つすべての機能を提供します。MLAB内の各ALMIは、64x1または32x2ブロックのいずれかに設定することができ、その結果、64x10または32x20のいずれかのシングル・デュアル・ポートSRAMブロックとして設定できます。ロジックLABの半分が、MLAB機能を有しています。

### **MultiTrack™インタコネクト**

Stratix III アーキテクチャでは、ALM、TriMatrixメモリ、DSPブロック、およびデバイスI/Oピン間の接続は、DirectDriveテクノロジーによるMultiTrackインタコネクト構造で実現されています。MultiTrackインタコネクトは、固定した距離を結ぶ、連続的かつ性能が最適化された行と列の配線で構成されています。すべてのデバイスに対応する固定長リソースによる配線構造は、集積度の異なるデバイス間で移行する際に、性能の予測と再現を可能にします。MultiTrackインタコネクトは、34個の隣接LABに1つのホップ接続、96個の隣接LABに2つのホップ接続、160個の隣接LABに3つのホップ接続を実現します。このホップ効率性は、Stratix III アーキテクチャの高性能に直接的に貢献しています。

DirectDriveテクノロジーは、ファンクションがデバイス内のどこに配置されていようとも、確実に同一の配線リソースを利用するようにする確定的配線技術です。MultiTrackインタコネクトとDirect Driveテクノロジーは、従来デザインの変更や追加を行った後に必要だったシステムの再最適化を不要にすることで、ブロック・ベース・デザインのシステム統合の段階を簡素化します。

### **DSPブロック**

Stratix III デバイスは、高いデータ処理能力を必要とするDSPアプリケーション向けに最適化された、専用の高性能DSPブロックを内蔵しています。Stratix III デバイスは、様々な高性能DSPファンクションを容易に実行できます。WiMAX、3GPP WCDMA、CDMA2000、VoIP (voice over Internet protocol)、H.264ビデオ圧縮、高精細度テレビ (HDTV)などの複雑なシステムでは、データを処理するのに高性能DSPブロックを必要とします。これらのシステム・デザインは一般に、FIR (Finite Impulse Response)フィルタ、複素数FIRフィルタ、IIR (Infinite Impulse Response)

フィルタ、FFT (Fast Fourier Transform) ファンクション、および DCT (Discrete Cosine Transform) ファンクションを実行するために、DSPブロックを使用します。

Stratix III デバイスは、最大112個のDSPブロックを内蔵しており、これにより最大896個の18x18 FIR乗算が可能となります。

Stratix III DSPブロックのアーキテクチャの特長は、以下の通りです。

- ・ 高性能、550MHzで動作し、消費電力が最適化された、完全にパイプライン化された乗算演算
- ・ 9ビット、12ビット、18ビット、36ビットワード長のネイティブ・サポート
- ・ 18ビットの複素数乗算のネイティブ・サポート
- ・ 浮動小数点演算フォーマットへの効率的なサポート(24ビット単精度、53ビット倍精度)
- ・ 符号付きまたは符号なし入力のサポート
- ・ 乗算結果を効率的に合成する加算、減算、およびアキュムレータ・ユニットを内蔵
- ・ タップディレイ・ラインを形成するカスケード接続された18ビット入力バス
- ・ あるブロックから次のブロックに出力結果を伝播するカスケード接続された44ビット出力バス
- ・ 高機能かつ柔軟性に優れた、演算の丸めおよび飽和ユニット
- ・ 効率的なバレル・シフタのサポート
- ・ アダプティブ・フィルタをサポートするループバック機能

DSPブロック乗算器は、オプションとして、ユーザ・コンフィギュレーションに応じて、ブロック内の加算器、減算器もしくはアキュムレータとして機能させることができます。これにより、すべての接続とブロックがDSPブロック内に収まり、ALMルーティング・リソースを節減し、性能を向上させます。また、DSPブロックの入力レジスタは、FIRフィルタ・アプリケーションならびにStratix III DSPブロックの丸めおよび飽和ユニット向けのシフト・レジスタを効率的にサポートします。Quartus II ソフトウェアには、ユーザのパラメータ設定に基づきDSPブロックの実行モードをコントロールできるメガファンクションが含まれています。

### **TriMatrixエンベデッド・メモリ・ブロック**

TriMatrixエンベデッド・メモリ・ブロックは、3つの異なるサイズのエンベデッドSRAMを提供し、FPGAシステム・デザインの多様なニーズに効率的に対応します。

TriMatrixメモリには以下のブロックが含まれます。

- ・ 640ビット MLABブロック: フィルタのディレイ・ライン、小容量FIFOバッファ、およびシフト・レジスタを実現するよう最適化
- ・ 9Kビット M9Kブロック: 汎用メモリ・アプリケーション向け
- ・ 144Kビット M144Kブロック: プロセッサ用コードのストレージ、パケットまたはビデオ・フレームのバッファに最適

各エンベデッド・メモリ・ブロックは、Quartus II MegaWizard® Plug-Inを通じて、シングルまたはデュアル・ポートRAM、FIFOバッファ、ROM、またはシフト・レジスタとして機能するよう、個別に設定することができます。また、複数の同種類のブロックを組合せることで、より大規模なメモリを最小限のタイミング・ペナルティで生成することができます。TriMatrixメモリは、最大600MHzで動作する最大17MビットのエンベデッドSRAMを提供します。

### I/OバンクとI/O構造

Stratix III デバイスは、24、32、36、40または48個のI/Oピンを備える、最大24個のモジュール方式のI/Oバンクを搭載します。このモジュール方式のバンク構造により、ピン使用効率が向上します。左右のI/Oバンクには、外部メモリ・インタフェースとLVDS入出力による高速差動I/Oをサポートするための回路を内蔵します。上下のI/Oバンクには、外部メモリ・インタフェースと高速差動入力をサポートするための回路を内蔵します。

Stratix III デバイスは、シングルエンド、電圧リファレンス・シングルエンド、および差動I/O規格を含む、広範な業界標準I/O規格をサポートします。Stratix III I/Oは、プログラマブル・バス・ホールド、プログラマブル・プルアップ・レジスタ、プログラマブル・スルー・レートならびに出力遅延コントロール、およびオープン・ドレイン出力をサポートします。

また、Stratix III デバイスは、シングルエンド標準I/O規格向けに、自動キャブレーションを備えた直列オンチップ・ターミネーション(Rs)および並列オンチップ・ターミネーション(Rt)を、差動標準I/O規格向けに、差動オンチップ・ターミネーション(Rd)をサポートします。

### シグナル・インテグリティ

Stratix III デバイスは、デバイスに入出力される高速データ転送の効率化を図るべく、デバイス数、パッケージおよびボード面積の改善などにより、シグナル・インテグリティの課題を克服します。

シグナル・インテグリティのために拡張された機能は、以下の通りです。

- ・ 8:1:1のユーザI/O:GND:V<sub>cc</sub>比率により、パッケージ内のループ・インダクタンスを削減
- ・ 各I/Oバンクに専用電源を備え、I/Oピン数を1バンク当たり48個に制限し、同時スイッチング・ノイズ(SSN)の影響を抑制
- ・ プログラマブル・スルー・レートにより、必要とされる標準I/O規格に適した設定を最大4つまでサポートし、ノイズとオーバーシュートをコントロールする
- ・ プログラマブルな出力ドライブ能力により、必要とされる標準I/O規格に適した設定を最大4つまでサポート
- ・ プログラマブル出力遅延により、立上り/立下り時間の管理、デューティ・サイクルの調整、スキューの補正、同時スイッチング出力(SSO)ノイズの削減をサポート
- ・ プログラマブル・プリエンファシスにより、様々なトレース長および伝送ラインの特性を調整・補正するための設定を、最大4つまでサポート

- ・ プログラマブルV<sub>OD</sub> 長距離向けの高いV<sub>OD</sub>スイングを必要とする高性能アプリケーションに加え、短距離向けの比較的小さなV<sub>OD</sub>スイングを必要とする消費電力を重視するアプリケーションをサポート
- ・ 直列／並列OCTをサポートする自動キャブレションを備えるダイナミックOCT、および左右のバンクにLVDS 標準I/O規格をサポートする差動OCT

### 外部メモリ・インタフェース

Stratix III I/O構造は、DDR、DDR2、DDR3、QDR II、QDR II+、RLDRAM II など最大400MHzで動作する、既存および今後主流となる外部メモリ規格に対して、柔軟で高性能なサポートを提供するよう設計されています。

Stratix III I/Oは、ダイナミック・オンチップ・ターミネーション、トレース・ミスマッチの補正、リード／ライト・レベリング、ハーフレート・レジスタ、4から36ビットのプログラム可能なDQグループ幅などの高機能を備え、迅速かつ堅牢な外部メモリ・インタフェース管理に必要とされる内蔵機能を提供します。Stratix III FPGAは、新しい小型モジュール・ベースのI/Oバンク構造とともに、ボード・レイアウトを簡素化します。

Stratix III I/Oの活用に最適化された、自己キャリプレート式ソフトIPコア(ALTMEMPHY)は、Quartus II ソフトウェアのタイミング解析ツールであるTimeQuestを用いることにより、プロセス電圧および温度の全範囲で高い信頼性の高周波数動作を実現するための、トータル・ソリューションを提供します。

メモリ規格	性能仕様
DDR SDRAM	200 MHz
DDR2 SDRAM	400 MHz
DDR3 SDRAM	400 MHz
RLDRAM II	400 MHz
QDRII SRAM	350 MHz
QDRII+ SRAM	350 MHz

表2 Stratix III FPGAがサポートする外部メモリ・デバイスの最大クロック速度

### DPA内蔵の高速差動I/Oインタフェース

すべてのStratix III デバイスは、Stratix III GX FPGA(本ファミリについての詳細情報は後日発表されます)で利用可能なマルチギガビット・トランシーバに加えて、最大1.25Gbpsで動作する差動

標準規格をサポートする専用回路を内蔵します。高速差動I/O回路は、Utopia IV、SPI-4.2、SFI-4、10ギガビット・イーサネットXSLI、RapidIO、NPSI などの高速I/Oインタコネクタ規格およびアプリケーションをサポートします。Stratix III デバイスは、高速差動I/Oインタフェース向けに2、4、6、7、8、および10 SERDESモードを、専用DPA回路使用時には4、6、7、8、および10 SERDESモードをサポートします。DPAは、ビット・エラーを最小限に抑え、高速データ転送におけるPCBレイアウトおよびタイミング管理を簡素化し、高速データ転送システムでのチャンネル間のスキュー、およびチャンネルとクロック信号間のスキューを除去します。また、ソフトCDRは、低コスト1.25Gbpsクロック内蔵のシリアル接続を実現することができます。

Stratix III デバイスは、高速差動I/Oをサポートするために、以下の専用回線を内蔵しています。

- ・ 差動I/Oバッファ
- ・ トランスミッタ・シリアライザ
- ・ レシーバ・デシリアライザ
- ・ データ・リアライメント
- ・ DPA
- ・ ソフトCDR機能
- ・ シンクロナイザ(FIFOバッファ)
- ・ アナログPLL

### クロック・ネットワークおよびPLL

Stratix III デバイスは、専用グローバル・クロック・ネットワーク(GCLK)、リージョナル・クロック・ネットワーク(RCLK)、および外周クロック・ネットワーク(PLCK)を提供します。これらのクロックは、階層クロック構造によって構成されており、Stratix III デバイス内で最大104個の独立したクロック領域(16GCLK+88RCLK)を提供し、デバイスの1/4領域あたり最大38個の独立したGCLK/RCLKクロック・リソース(16GCLK+22RCLK)を確保します。

Stratix III FPGAは、1デバイス当たり最大12個のPLL、1 PLL当たり最大10個の出力という豊富なPLLリソースを提供します。各出力は個別にプログラムすることが可能で、他のクロックと関連性のないクロック周波数としてカスタマイズできます。逡倍、分割比とダイナミック・フェーズ・シフトのリコンフィギュレーションの、内蔵されているジッタのフィルタ能力と、きめ細かいコントロールは、今日の高速アプリケーションに必要とされる優れた精度を提供します。

Stratix III デバイスのPLLは豊富な機能を備えており、クロック・スイッチオーバー、リコンフィギュレーション可能なフェーズ・シフト、PLLリコンフィギュレーション、リコンフィギュレーション可能な帯域幅などの先進機能をサポートします。PLLは、乗算、フェーズ・シフト、およびプログラマブル・デューティ・サイクルをサポートする、汎用クロック管理として使用することが可能です。また、PLLは、外部フィードバック・モード、スペクトラム拡散クロッキング、カウンタのカスケード接続をサポートします。

## デザイン・セキュリティ

Stratix III デバイスは、デザインをコピー、リバース・エンジニアリング、および改ざんから保護する、揮発性および不揮発性の256ビットAES (Advanced Encryption Standard) セキュリティ・キーをサポートする唯一のFPGAです。Stratix III デバイスは、FIPS-197に準拠した業界標準の暗号アルゴリズムであるAESアルゴリズムを使用して、コンフィギュレーション・ビットストリームを暗号化します。この機能は、操作性に優れた業界先進のIP保護を提供します。

## パッケージング

Stratix III デバイスは、小型FineLine BGAパッケージで提供されます。(表3と表4を参照)

**表3: Stratix III FPGAパッケージおよび I/Oピン数\***

デバイス	484ピン FineLine BGA	780ピン FineLine BGA	1152ピン FineLine BGA	1517ピン FineLine BGA	1760ピン FineLine BGA
EP3SL50	288	480			
EP3SL70	288	480			
EP3SL110		480	736		
EP3SL150		480	736		
EP3SL200			736	864	
EP3SL340				960	1,104
EP3SE50	288	480			
EP3SE80		480	736		
EP3SE110		480	736		
EP3SE260			736	960	

注: (1) 矢印は垂直移行を示しています。

\* Stratix III GXファミリの詳細は、後日発表されます。

すべてのStratix III デバイスは、同一パッケージ間でのバーティカル・マイグレーションをサポートしています(例えば、480ピンFineLine BGAパッケージの、EP3SL70とEP3SL50間でのバーティカル・マイグレーションをサポート)。バーティカル・マイグレーションは、同じパッケージであれば、集積度が異なるデバイス間で、専用ピン、コンフィギュレーション・ピン、および電力ピンが同一となり、デバイスの移行が可能となります。

<b>表4: FineLine BGAパッケージ・サイズ</b>					
<b>外形寸法</b>	<b>484 Pin</b>	<b>780 Pin</b>	<b>1152 Pin</b>	<b>1517 Pin</b>	<b>1760 Pin</b>
ピッチ (mm)	1.00	1.00	1.00	1.00	1.00
面積 (mm <sup>2</sup> )	529	841	1,225	1,600	1,849
長／幅 (mmmm)	23/23	29/29	35/35	40/40	43/43

Stratix III デバイスは、商用および産業用スピード・グレードで提供され、無鉛パッケージも用意されています。

以上