

## Nios II C-to-Hardware アクセラレーション・コンパイラ 背景資料

### はじめに

近年、システム性能を向上させるためにFPGAによる並列処理の構造を活用する組込みシステム開発者の数が増加しています。マルチ・プロセッサを用いた設計は、従来のCPU、特定用途向けコプロセッサ、あるいはそれらの組み合わせに関わらず、今日主流の市販製品に幅広く使用されています。開発者は、システム全体から、システムのボトルネックとなっているCコードを切り出しFPGA内でハードウェア化（アクセラレータ）することで、プロセッサの周波数を上げることなくシステム性能を向上させることを可能にしてきました。ハードウェア・アクセラレータは、クロック・サイクル当たりの演算数が汎用CPUより多くなるため、大幅に性能が向上します。しかしこれまで、ソフトウェアの負荷のハードウェア・アクセラレータへの分散は手作業で行わなければならない、RTLブロックの開発、テスト、システム内への組込みに必要なツールと経験を持つ開発者しか利用することができませんでした。

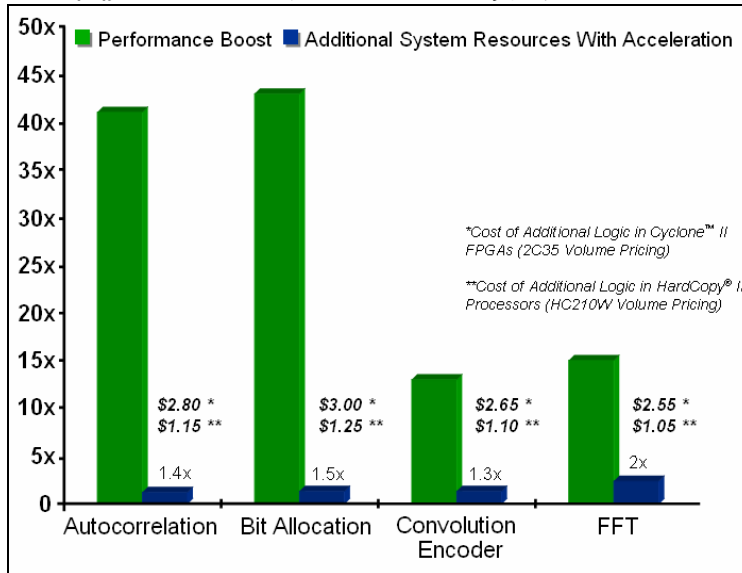
アルテラは、2000年にソフトコアのNios<sup>®</sup> プロセッサを発表して以来、FPGAへのエンベデッド・システム実装に必要なツールの提供において、大きな進歩を遂げてきました。アルテラはこれまで1万5,000個以上のNios開発キットを出荷しています。第2世代製品のNios II プロセッサは、世界の上位20社に入るOEM企業に採用されており、わずか6年の間で、今日提供されている製品の中で最も支持されているコンフィギュラブル・ソフト・プロセッサになりました。増加するNiosユーザーに一層優れたサポートを提供するため、アルテラはハードウェア・アクセラレータの開発と統合を自動化するNios II C-to-Hardware アクセラレーション・コンパイラ（C2Hコンパイラ）を開発しました。Nios II ユーザーはNios II 統合開発環境（IDE）を使用して、ソフトウェア性能の迅速なプロファイリング、性能のボトルネックとなるCコードのサブルーチンの選択と指定、およびハードウェア・アクセラレータの作成、という一連の作業をマウス操作で簡単に交換できるため、かつて数週間を必要とした作業も数分のうちに終えることが可能になりました。

Nios II C2Hコンパイラは、EclipseベースのNios II IDEにプラグインされており、Nios II プロセッサでソフトウェアを開発しているユーザーに対し、使い慣れた設計環境を提供します。

Nios II C2Hコンパイラの利点（抜粋）	
性能向上	<ul style="list-style-type: none"><li>高性能化を妨げるCコードのルーチンをAltera FPGAのハードウェア・アクセラレータに変換することでシステムの性能を向上</li><li>アクセラレータ実装を通じてクロック・サイクル当たりのデータ処理量を増やし、クロック周波数を下げることで消費電力を削減</li></ul>
生産性向上	<ul style="list-style-type: none"><li>ハードウェアを用いて、性能改善の対象となる機能を自動的に高速化：Cコードによるアルゴリズム評価およびプロトタイピングを行い、マウスを右クリックするだけでFPGAファブリックに実装</li><li>標準のANSI Cソースコードをサポート</li><li>EclipseベースのNios II IDEと緊密に統合</li></ul>

一般的なNios II システムのソフトウェア・デザインには、アルゴリズム（例：データ変換）と一般的なシステム設定が混在するコード、メンテナンス、および例外コードが含まれています。Nios II C2Hコンパイラは、ユーザーがアクセラレートする部分として指定したコードのみをハードウェアへ変換します。ハードウェア化されるCコードには、大量の演算やデータ移動を必要とするアルゴリズム含まれます。ターゲットとなるアルゴリズムは一般的にシンプルで、Cコードによる実装やプロトタイピングが容易ですが、プロセッサ実行時間の大部分を費やす場合がたびたびあります。その対策として、Nios II C2Hコンパイラではアプリケーション全体をハードウェアに移すのではなく、スピードを要求される部分のみアクセラレートします。図1は、一般的なベンチマーク・アプリケーションをNios II C2Hコンパイラを用いてアクセラレートした場合と、アクセラレーションが消費する追加ロジック・リソースの対比を示しています。ハードウェア・アクセラレータにはFPGAのロジック、メモリ、マルチプライヤ・リソースの追加が必要ですが、演算の多くは非常に効率良くハードウェアに変換することができ、ごくわずかの追加コストで性能を向上させることが可能です。

図1：性能向上とアクセラレーションに必要な追加リソースの対比

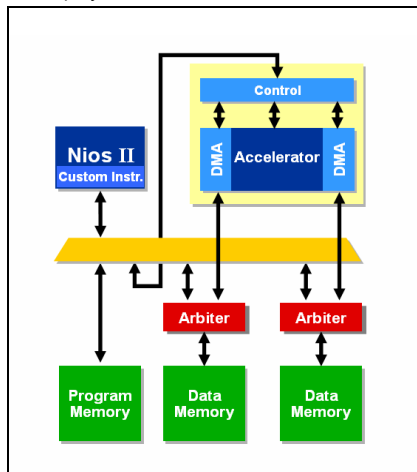


## SOPC BuilderとAvalonインタコネクタ・ファブリックによる動作

アルテラは、FPGAを用いたソフトウェアのアクセラレーションにおいて、インタコネクタ・ファンクションにSOPC Builder独自のAvalon®スイッチ・ファブリックを利用しています。そのためNios II C2H コンパイラは、他のFPGAベースのソリューションよりもはるかに幅広いアプリケーションで、優れたアクセラレーションの効果を実現します。Nios II CPUシステムは、Altera® SOPC Builderシステム開発ツールによってシステム統合されています。Nios II システムにおいて、SOPC BuilderはAvalonインタコネクタ・ファブリックを生成し、Nios II コア、周辺機器、他のFPGAベース・システムを統合します。Avalonインタコネクタ・ファブリックは、複数のマスタ/スレーブ同時トランザクションをサポートするノンブロッキング接続を実現し、従来の共有バス構造と比較してシステム全体の性能を大幅に向上させます。

Nios II C2H コンパイラが生成したハードウェア・アクセラレータは、このインタコネクタ・ファブリック（図2）を経由してNios II プロセッサに接続します。したがって、ハードウェア・アクセラレータは外部メモリを含むプロセッサのメモリ・システムに広い帯域幅でアクセスすることができ、さまざまなアプリケーションで効果的なアクセラレーションを実現します。

図2 : Nios II C2H コンパイラが生成したアクセラレータによるプロセッサ・メモリ・システムへのアクセス



### システム・レベルでのデザイン・パートナーのサポート

アルテラとエレクトロニック・システム・レベル（ESL）デザイン・パートナーは、システム設計者、デザイン・エンジニア、およびソフトウェア開発者が、システムのボトルネックとなっているソフトウェア処理のコードに対しFPGAを使ったアクセラレータ生成を容易にできるよう、ツール間のインタオペラビリティ（相互運用性）向上を目指した協力体制を築いています。その一環としてアルテラはSOPC Builderシステム・レベル開発ツールとNios II IDEのアプリケーション・プログラム・インタフェース（API）を公開しています。また、アルテラはパートナー企業向けに、SOPC Builderを含むOEM版のQuartus II デザイン・ソフトウェアの提供も開始しました。これにより、システム・レベルから半導体設計に至るまでの、完全なターンキー・ソリューションがアルテラのEDAパートナー企業に提供されます。

### 価格と出荷時期

Nios II C2Hコンパイラは現在、ベータ・カスタマに出荷されており、一般向けには2006年5月に発売される予定です。当製品は、Nios II IDEへのプラグインとして提供され、単体でのライセンスは1シート当たり米国内販売価格2,995ドルです。Nios II C2H コンパイラに関する詳細情報は、[www.altera.com/c2h](http://www.altera.com/c2h)（日本語：[www.altera.co.jp/c2h](http://www.altera.co.jp/c2h)）に掲載されています。

以上