

携帯電話アプリケーションにおける MAX IIZ CPLD の活用

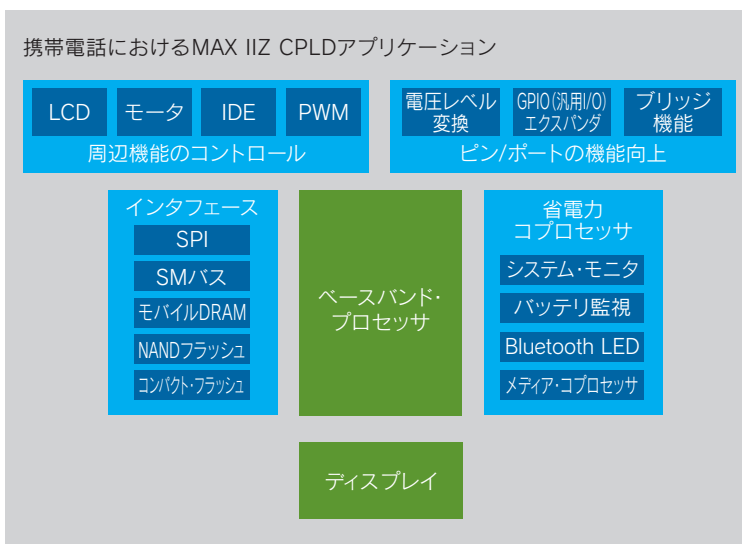
消費者が 18 ヶ月またはそれよりも短いサイクルで携帯電話を買い替えるため、携帯電話に独自の機能ができるだけ迅速にコスト効率良く供給できる最先端技術が必要です。アルテラの最新ゼロ・パワー CPLD MAX[®] IIZ は、これらのニーズを満たすよう設計されました。

MAX IIZ CPLD は、超小型 Micro FineLine BGA (FBGA) パッケージでゼロ・スタンバイ・パワーを提供し、携帯電話の開発者にプログラマブル・ロジックの利点を提供します。MAX IIZ CPLD の使用で得られる優れた柔軟性、迅速な市場投入、およびボード・レベルの統合など利点により、消費電力、スペース、およびコストを最小限に抑えながらも優位性を最大限に高めることができます。

優位性を最大限に

かつて、携帯電話は単なる通信機器でした。最近では、音楽を聴く、メッセージを送る、道案内情報を得る、ビデオを鑑賞するなど、携帯電話はさまざまな機能を実現しています。また、携帯電話のライフサイクルが短くなるにつれ、消費者が求めるユニークな製品を設計するための開発期間は 2～6 ヶ月とさらに短くなります。

ASSP は携帯電話に特化した高度な機能統合を実現しているため、おそらく製品の開発に ASSP チップセットを採用することが多いです。しかし、これらのチップセットは種類が少ない、かつ機能が固定されているため、本当の独自の製品を設計するのは困難です。製品の差異化は、急速な進歩を遂げる民生用電子機器においては、より重要になっています。MAX IIZ CPLD により、携帯電話に新しい強力な機能を追加するための迅速、低コスト、および低リスクの方法が得られます。MAX IIZ CPLD を使用して既存のチップセットをカスタマイズすることで、簡単に製品の差異化を実現できます。



上記のブロック図は、携帯電話機デザインにおいて、MAX IIZ が重要な機能を提供可能な様々なアプリケーションを示しています。

- **MAX IIZ CPLD を使用して、チップセットに新しい機能を追加。**例えば、スマート・フォンに生体認証セキュリティなどの最先端機能を追加することを想定します。ただし、指紋スキャン用の半導体デバイスが扱うデータの電圧レベルとフォーマットが携帯電話用のベースバンド・チップセットと互換性のないことに気づきます。そこで、MAX IIZ を使用し、データ・フォーマットおよび電圧レベルの変換を行います。
- **MAX IIZ CPLD を使用して、チップセットの既存の機能を強化。**ここでは、カメラ・チップがアップの画像を供給できるならば、指紋スキャナー・チップは網膜スキャナーとしても使用可能であることを仮定します。レンズをコントロールするためのパルス幅変調 (PWM) 信号をカメラ・チップに供給することで、カメラ・チップがクローズアップ画像を撮ることができます。MAX IIZ は PWM 信号の実装に最適であり、スマート・フォンはよりスマートになります。

GPIO = 汎用 I/O、IDE = Integrated Drive Electronics、PWM = パルス幅変調、SMBus = System Management Bus、SPI = シリアル・ペリフェラル・インタフェース

使い易い、包括的なツールセットで設計

MAX IIZ CPLD を選択すると、デザイン・リソースの包括的なポートフォリオも利用することができます。アルテラの Quartus® II デザイン・ソフトウェアは、業界をリードする性能および生産性を提供します。使いやすさと迅速な市場投入を実現する Quartus II ソフトウェアは、消費電力解析ツールの利点も備えています。Early Power Estimator は、デザインの消費電力の見積もりを行います。Quartus II PowerPlay 消費電力解析および最適化テクノロジーは、コアおよび I/O ピンの消費電力を測定します。Quartus II ソフトウェアは、www.altera.co.jp/download からダウンロードできます。

デザイン・ソフトウェアに加えて、アルテラおよびアルテラのパートナーは、デザイン・コンセプトの迅速な製品化を支援する IP (Intellectual Property) コア、リファレンス・デザイン、デザイン例、および開発キットを提供しています。

消費電力、スペース、およびコストを最小限に低減

CPLD 業界をリードするアルテラのゼロ・パワー MAX IIZ デバイスは、ハンドヘルド・アプリケーションの重要な要件に対応します。

- **低消費電力:** MAX IIZ CPLD は、業界で最小のダイナミック消費電力 (標準スタンバイ I_{CC} 、29 μA) を提供します。
- **スモール・フォーム・ファクタ:** MAX IIZ CPLD の 4 つの超小型パッケージは従来のマクロセル・ベースの CPLD と比較して、すべての物理面積においてより多くのロジックおよび I/O リソースを提供します。
- **大量生産に対応する低コスト:** 市場で最も低コストな CPLD をベースにした MAX IIZ デバイスは、携帯電話のような百万個単位の量産製品に対応するコストを実現します。

豊富なロジックおよび I/O リソース

デバイス	ロジック・エレメント (LE) 数	68 ピン MBGA ¹ 5x5 mm	100 ピン MBGA ¹ 6x6 mm	144 ピン MBGA ¹ 7x7 mm	256 ピン MBGA ¹ 11x11 mm
EPM240Z	240	54 I/O	80 I/O		
EPM570Z	570		76 I/O	116 I/O	160 I/O

¹Micro FineLine BGA パッケージ (0.5mm ピッチ、高さ 1.2mm)

 パーティカル・マイグレーションを示します。

Q & A

携帯電話のような大量生産でコストの制約が厳しいアプリケーションで、なぜプログラマブル・ロジックが使用されるのですか？

携帯電話の開発者は、ASSP チップセットを広く利用しています。しかし、ASSP チップセットで製品の差異化を図るのは困難です。チップセットは種類が少ないため、皆がこれらのチップセットを使用すると、製品は類似してしまいます。MAX IIZ CPLD は、新しい機能を実現、または既存の機能を改良して標準チップセットをカスタマイズする、迅速で低リスクの手法を提供します。

なぜ ASIC を使用できないのですか？

多くの場合、ASIC を使うと、開発のスケジュールが間に合いません。また、仕様要求が十分定義されていない、あるいは最終段階で仕様変更が発生するケースもあります。そして、開発した製品機能が市場に受け入れられるかが未知数であり、時間をかけて ASIC を開発する価値と開発の投資を回収できる可能性が不明確な場合があります。

詳細情報について

MAX IIZ CPLD を使用して、差異化された低消費電力、低コストの携帯電話を設計する方法について詳しくは、アルテラの FAE または販売代理店にお問い合わせいただくか、www.altera.co.jp/max2 をご参照ください。

日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL. 03-3340-9480 FAX. 03-3340-9487
www.altera.co.jp
E-mail: japan@altera.com

