

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIII51013-1.0

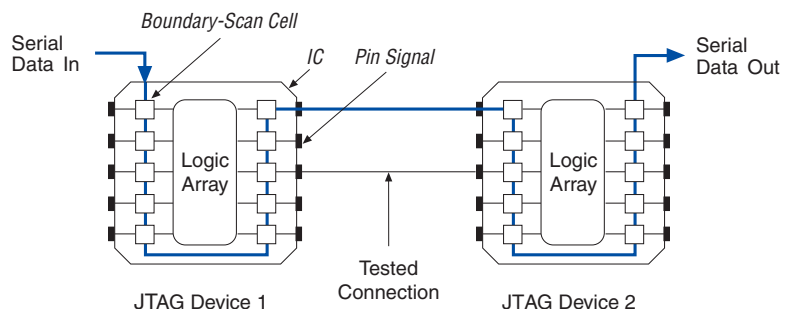
はじめに

プリント基板 (PCB) の複雑化に伴って、徹底したテストがますます重要になっています。表面実装パッケージおよび PCB 製造の進歩によってボードの小型化が進み、外部テスト・プローブや「Bed-of-nails」テスト治具などの従来型の試験方法の実装が困難になっています。その結果、PCB スペースの削減によるコストの削減が、従来型の試験方法のコスト増によって相殺されてしまうことがあります。

1980 年代、Joint Test Action Group (JTAG) は、後に IEEE Std. 1149.1 規格として標準化されたバウンダリ・スキャン・テストの規格を開発しました。このバウンダリ・スキャン・テスト (BST) アーキテクチャは、PCB 上に狭いリード間隔で実装されているコンポーネントを効率的にテストする機能を提供します。

BST アーキテクチャ・テストは、物理的なテスト・プローブを使用しないでピンの接続をテストし、またデバイスの通常動作中にデータをキャプチャすることが可能です。デバイスのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、あるいはピンまたはロジック・アレイ信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。図 13-1 に、バウンダリ・スキャン・テストの概念を示します。

図 13-1. IEEE Std. 1149.1 バウンダリ・スキャン・テスト



この章では、Stratix® III デバイスの以下のような IEEE Std. 1149.1 BST 回路の使用方法について説明します。

- 「IEEE Std. 1149.1 BST アーキテクチャ」
- 「IEEE Std. 1149.1 バウンダリ・スキャン・レジスタ」
- 「IEEE Std. 1149.1 BST 動作コントロール」
- 「JTAG チェインでの I/O 電圧のサポート」
- 「IEEE Std. 1149.1 BST 回路」
- 「コンフィギュレーションされたデバイスに対する IEEE Std. 1149.1 BST」
- 「IEEE Std. 1149.1 BST 回路 (ディセーブル)」
- 「IEEE Std. 1149.1 BST ガイドライン」
- 「BSDL のサポート」

BST に加えて、Stratix III デバイスのイン・サーキット・リコンフィギュレーション (ICR) に IEEE Std. 1149.1 コントローラを使用することができます。ただし、この章では IEEE Std. 1149.1 回路の BST 機能のみ説明しています。



IEEE Std. 1149.1 回路を経由した Stratix III デバイスのコンフィギュレーションについては、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのコンフィギュレーション」、「Stratix III デバイスのホット・ソケットおよびパワー・オン・リセット」、および「Stratix III デバイスのリモート・システム・アップグレード」の章を参照してください。

IEEE Std. 1149.1 BST アーキテクチャ

IEEE Std. 1149.1 BST モードで動作する Stratix III デバイスは、TDI、TDO、TMS、および TCK の 4 本の要求ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。TDI ピン、TMS ピン、および TRST ピンは内部ウィーク・プルアップ抵抗を備えています。TDO 出力ピンおよびすべての JTAG 入力ピンは、2.5 V/3.0 V V_{CCPD} 電源で駆動します。JTAG コンフィギュレーション実行中、すべてのユーザ I/O ピンはトライ・ステートになります。



チェーン内の複数のデバイスに対して複数の電圧の JTAG チェインを接続するための推奨方法については、13-19 ページの「JTAG チェインでの I/O 電圧のサポート」を参照してください。

表 13-1 に、これらの各ピンの機能をまとめます。

| ピン | 説明 | 機能 |
|------|--------------------|--|
| TDI | テスト・データ入力 | 命令、テストおよびプログラミング・データ用のシリアル入力ピン。TDI に印加された信号は、TCK の立ち下がりエッジで状態を変化させます。データは TCK の立ち上がりエッジでシフト・インされます。 |
| TDO | テスト・データ出力 | 命令、テストおよびプログラミング・データ用のシリアル出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンは、データがデバイスからシフト・アウトされない場合はトライ・ステートになります。 |
| TMS | テスト・モードの選択 | TAP (Test Access Point) コントローラ・ステート・マシンの遷移を決定するコントロール信号を提供する入力ピン。ステート・マシン内での遷移は、TCK の立ち上がりエッジで発生します。このため、TCK の立ち上がりエッジの前に TMS を設定する必要があります。TMS は、TCK の立ち上がりエッジで評価されます。JTAG 以外の動作の場合、アルテラでは TMS を High にドライブすることを推奨しています。 |
| TCK | テスト・クロック入力 | BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。 |
| TRST | テスト・リセット入力 (オプション) | バウンダリ・スキャン回路を非同期でリセットするアクティブ Low 入力。バウンダリ・スキャン動作以外のときには、このピンは Low にドライブしなければなりません。JTAG 以外のユーザの場合、このピンは GND に固定する必要があります。 |

IEEE Std. 1149.1 BST 回路には、以下のレジスタが必要です。

- 実行するアクションおよびアクセスするデータ・レジスタを決定するインストラクション・レジスタ。
- TDI と TDO 間に最小長のシリアル・パスを提供する 1 ビット長のデータ・レジスタであるバイパス・レジスタ。
- デバイスのすべてのバウンダリ・スキャン・セルで構成されたシフト・レジスタであるバウンダリ・スキャン・レジスタ。

図 13-2 に IEEE Std. 1149.1 回路の機能モデルを示します。

図 13-2. IEEE Std. 1149.1 ピン回路

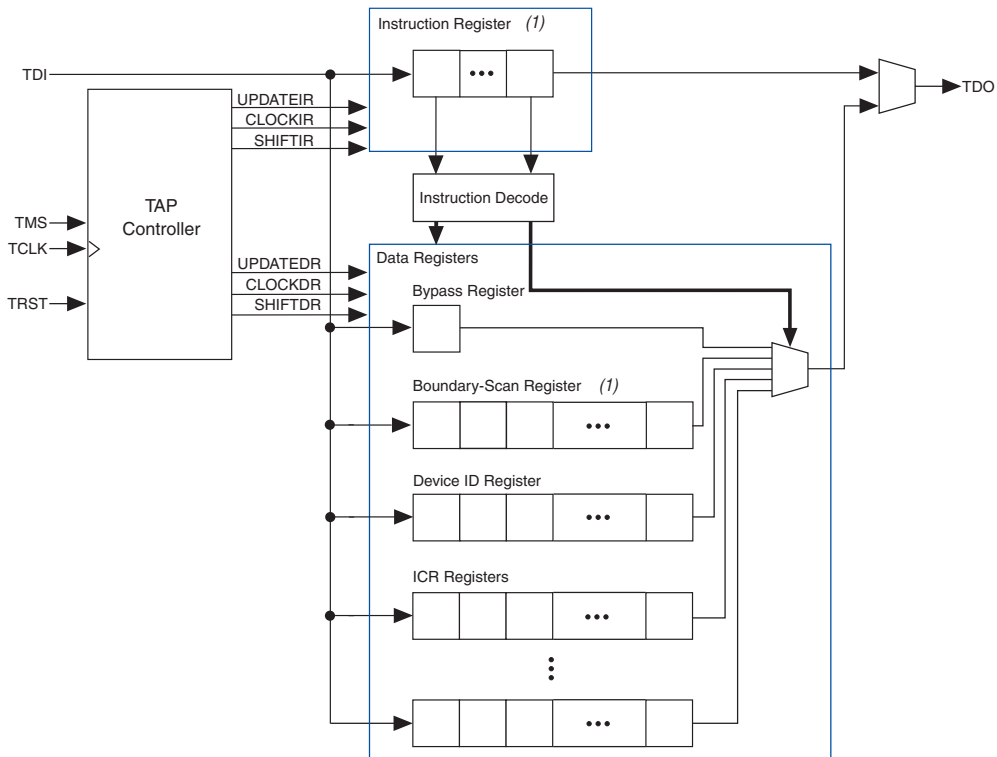


図 13-2 の注：

- (1) レジスタ長については、「Stratix III デバイス・ハンドブック」の「Stratix III デバイスのコンフィギュレーション」の章にあるデバイス・データシートを参照してください。

IEEE Std. 1149.1 バウンダリ・スキャン・テストは、テスト・アクセス・ポート (TAP) コントローラによって制御されます。TAP コントローラについて詳しくは、13-8 ページの「IEEE Std. 1149.1 BST 動作コントロール」を参照してください。TMS および TCK ピンは、TAP コントローラを操作します。TDI および TDO ピンは、データ・レジスタにシリアル・パスを供給します。TDI ピンはインストラクション・レジスタにデータを供給し、それによってデータ・レジスタに対するコントロール・ロジックが生成されます。

IEEE Std. 1149.1 バウンダリ・ スキャン・ レジスタ

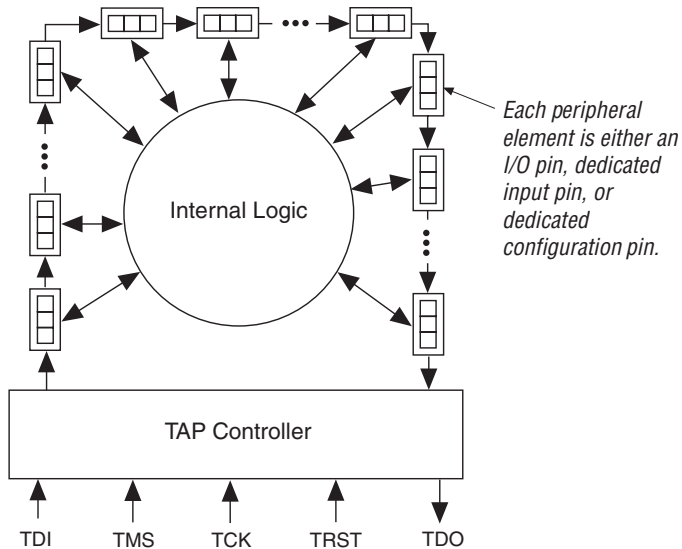


バウンダリ・スキャン・レジスタは、TDI ピンを入力、TDO ピンを出力として使用する大きなシリアル・シフト・レジスタです。バウンダリ・スキャン・レジスタは、Stratix III の I/O ピンに関連付けられている 3 ビットのペリフェラル・エレメントで構成されています。バウンダリ・スキャン・レジスタを使用して、外部ピンの接続をテストしたり、内部データをキャプチャすることができます。

Stratix III ファミリー・デバイスのバウンダリ・スキャン・レジスタ長については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのコンフィギュレーション」の章にあるデバイス・データシートを参照してください。

図 13-3 に、IEEE Std. 1149.1 デバイスの周辺にテスト・データをシリアルにシフトする方法を示します。

図 13-3. バウンダリ・スキャン・レジスタ



Stratix III デバイスの I/O ピンのバウンダリ・スキャン・セル

Stratix III デバイスの 3 ビット・バウンダリ・スキャン・セル (BSC) は、キャプチャ・レジスタおよびアップデート・レジスタのセットで構成されています。キャプチャ・レジスタは OUTJ 信号、OEJ 信号および PIN_IN 信号によって内部デバイス・データに接続することができます。アップデート・レジスタは PIN_OUT 信号および PIN_OE 信号で外部データに接続できます。

IEEE Std. 1149.1 BST レジスタのグローバル・コントロール信号（シフト、クロック、アップデートなど）は、TAP コントローラによって内部で生成されます。MODE 信号は、インストラクション・レジスタのデコーダによって生成されます。HIGHZ 信号は、HIGHZ 命令の実行時は High です。バウンダリ・スキャン・レジスタ用のデータ信号パスは、シリアル・データ入力（SDI）信号からシリアル・データ出力（SDO）信号までとなります。スキャン・レジスタは、デバイスの TDI ピンから始まり、TDO ピンで終わります。

図 13-4 に、Stratix III デバイスのユーザ I/O バウンダリ・スキャン・セルを示します。

図 13-4. Stratix III デバイスの IEEE Std. 1149.1 BST 回路付きユーザ I/O BSC

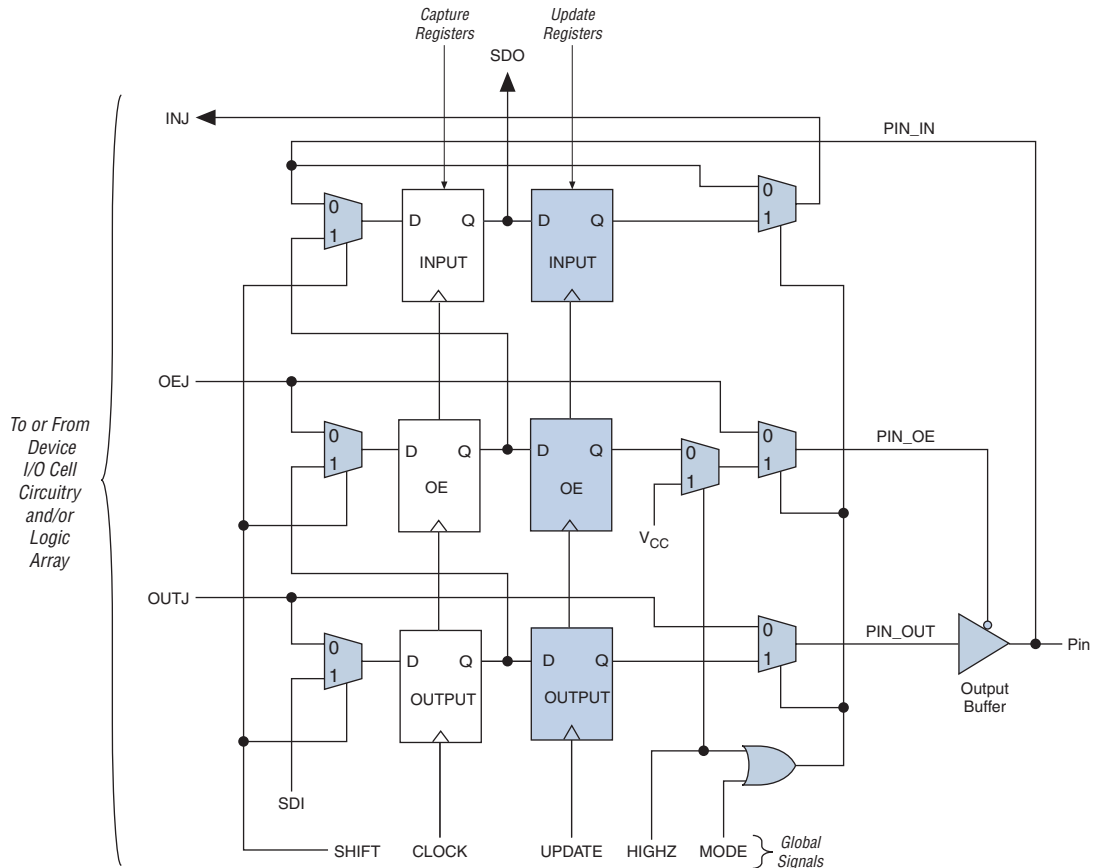


表 13-2 では、Stratix III デバイス内のすべてのバウンダリ・スキャン・セルのキャプチャおよびアップデート・レジスタの機能を説明します。

表 13-2. Stratix III デバイスのバウンダリ・スキャン・セルの説明 注 (1)

| ピン・タイプ | キャプチャ | | | ドライブ | | | 注記 |
|-----------------------|---------------------|-----------------|--------------------|--------------------|----------------|-------------------|---|
| | Output Capture レジスタ | OE Capture レジスタ | Input Capture レジスタ | Output Update レジスタ | OE Update レジスタ | Input Update レジスタ | |
| ユーザ I/O ピン | OUTJ | OEJ | PIN_IN | PIN_OUT | PIN_OE | INJ | NA |
| 専用クロック入力 | 0 | 1 | PIN_IN | N.C. (2) | N.C. (2) | N.C. (2) | PIN_IN はクロック・ネットワークまたはロジック・アレイをドライブ |
| 専用入力 (3) | 0 | 1 | PIN_IN | N.C. (2) | N.C. (2) | N.C. (2) | PIN_IN はコントロール・ロジックをドライブ |
| 専用双方向 (オープン・ドレイン) (4) | 0 | OEJ | PIN_IN | N.C. (2) | N.C. (2) | N.C. (2) | PIN_IN はコンフィギュレーション・コントロールをドライブ |
| 専用双方向 (5) | OUTJ | OEJ | PIN_IN | N.C. (2) | N.C. (2) | N.C. (2) | PIN_IN はコンフィギュレーション・コントロールにドライブ、OUTJ は出力バッファをドライブ |
| 専用出力 (6) | OUTJ | 0 | 0 | N.C. (2) | N.C. (2) | N.C. (2) | OUTJ は出力バッファをドライブ |

表 13-2 の注：

- (1) TDI、TDO、TMS、TCK、TRST、すべての V_{CC} および GND ピン・タイプ、VREF、および TEMP_DIODE ピンには BSC はありません。
- (2) 接続なし (N.C.)
- (3) PLL_ENA、nCONFIG、MSEL0、MSEL1、MSEL2、nCE、VCCSEL、PORSEL、nIO_PULLUP、および PORCLCRM ピンが含まれます。
- (4) CONF_DONE および nSTATUS ピンが含まれます。
- (5) DCLK ピンが含まれます。
- (6) nCEO ピンが含まれます。

IEEE Std. 1149.1 BST 動作 コントロール

Stratix III デバイスは、以下の IEEE Std. 1149.1 BST インストラクションを実装しています。

- SAMPLE/PRELOAD インストラクション・モードにより、通常のデバイス動作を中断することなく、デバイス・データのスナップショットをとることができます。
- EXTEST インストラクション・モードは、デバイス間の外部ピン接続をチェックするために使用されます。
- BYPASS インストラクション・モードでは、ボード・レベルでデバイスのテスト動作が必要ないときに、選択したデバイスを隣接するデバイスに同期してパスすることができます。
- IDCODE インストラクション・モードは、IEEE Std. 1149.1 チェインのデバイスを識別するために使用されます。
- USERCODE インストラクション・モードは、IEEE Std. 1149.1 チェインにあるデバイス内のユーザ電子署名 (UES) を検査するために使用されます。
- CLAMP インストラクション・モードは、バイパス・レジスタが TDI ポートと TDO ポートの間でシリアル・パスとして選択されている間に、各ピンからドライブされる信号の状態をバウンダリ・スキャン・レジスタから決定するために使用されます。
- HIGHZ インストラクション・モードは、すべてのユーザ I/O ピンを非アクティブなドライブ状態に設定するのに使用されます。

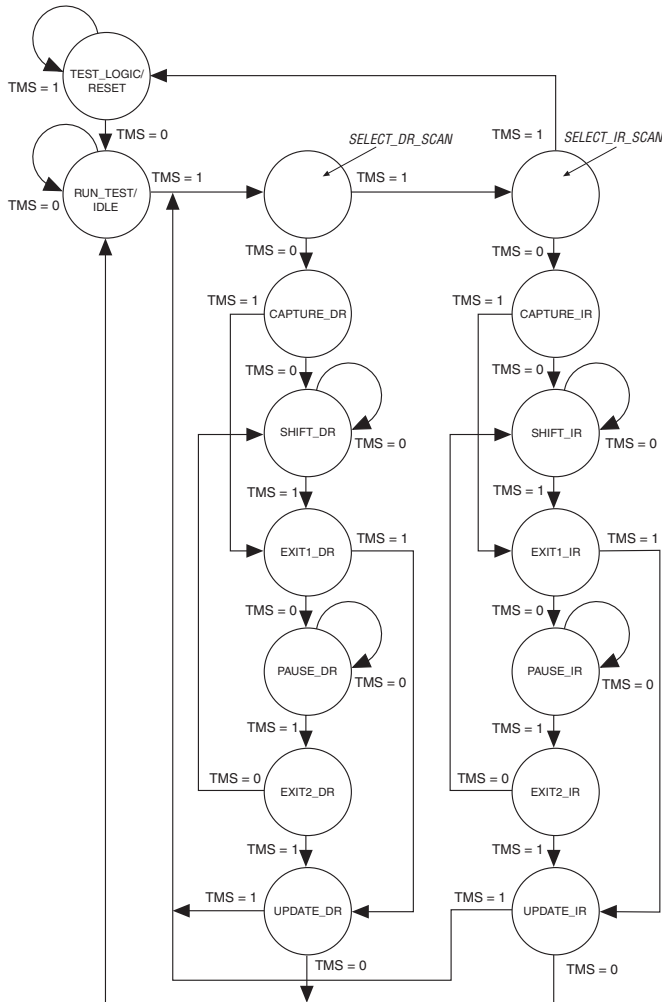
BST 命令の長さは 10 ビットです。これらのインストラクションを [13–22 ページの「コンフィギュレーションされたデバイスに対する IEEE Std. 1149.1 BST」](#) に示します。



BST インストラクションとそれらのインストラクション・コードの概要については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのコンフィギュレーション」の章を参照してください。

IEEE Std. 1149.1 TAP コントローラは、TCK の立ち上がりエッジでクロックされる 16 ステート・マシンで、TMS ピンを使用してデバイスの IEEE Std. 1149.1 動作を制御します。[図 13–5](#) に TAP コントローラ・ステート・マシンを示します。

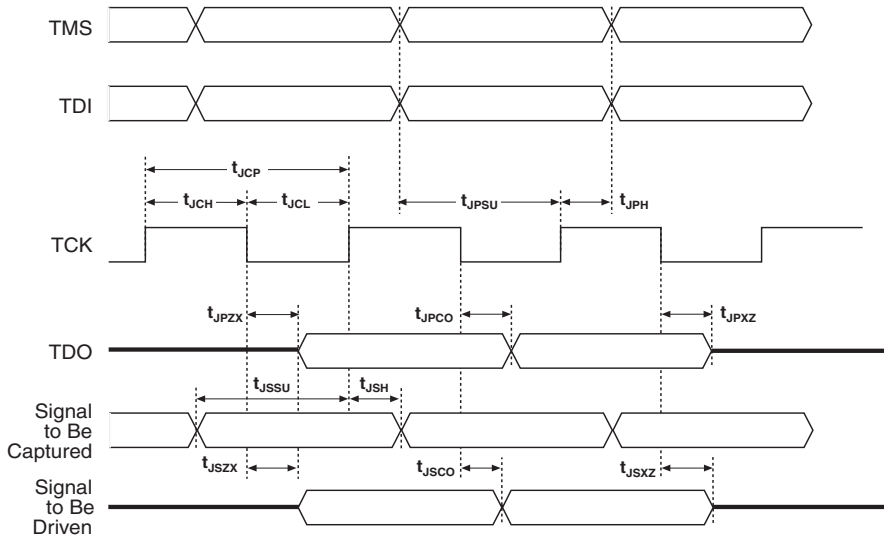
図 13-5. IEEE Std. 1149.1 TAP コントローラ・ステート・マシン



TAP コントローラが TEST_LOGIC/RESET ステートのときには、BST 回路がディセーブルされ、デバイスは通常の動作を行う状態となり、インストラクション・レジスタは初期命令として IDCODE で初期化されます。デバイスのパワー・アップ時には、TAP コントローラはこの TEST_LOGIC/RESET ステートで起動します。さらに、TMS を 5 TCK クロック・サイクルの間 High に保持、または TRST ピンを Low に保持すると、TAP コントローラは TEST_LOGIC/RESET ステートに強制的に入ります。TEST_LOGIC/RESET ステートになると、TAP コントローラは TMS

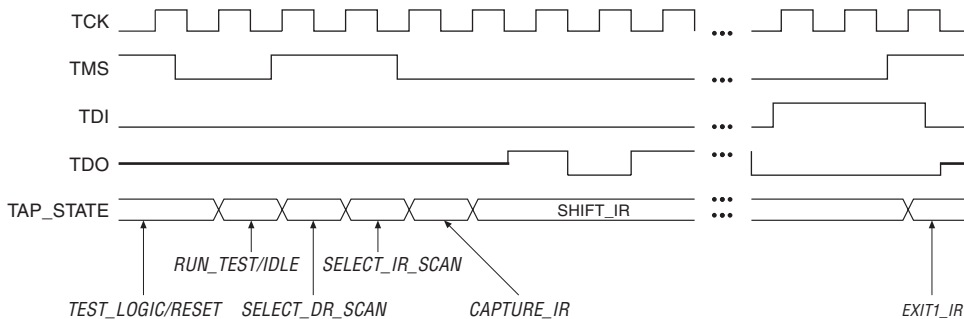
が High に保持されているか (TCK がクロックされている間) または TRST が Low に保持されている限りこの状態に留まります。図 13-6 は、IEEE Std. 1149.1 信号に対するタイミングの規格を示したものです。

図 13-6. IEEE Std. 1149.1 タイミング波形



IEEE Std. 1149.1 の動作を開始するには、TAP コントローラをシフト・インストラクション・レジスタ (SHIFT_IR) ステートに進め、TDI ピンに適切なコードをシフト・インすることによってインストラクション・モードを選択します。図 13-7 の波形図は、インストラクション・レジスタへのインストラクション・コードの入力を表しています。また、TCK、TMS、TDI、TDO の値と TAP コントローラの状態を示します。RESET ステートから、SHIFT_IR へ TAP コントローラを進めるために、TMS には 01100 のパターンを入力します。

図 13-7. インストラクション・モードの選択



TDOピンは、SHIFT_IRおよびSHIFT_DRステートを除くすべてのステートでトライ・ステートになります。TDOピンは、いずれかのシフト・ステートに入った後の TCK の最初の立ち下がりエッジでアクティブになり、いずれかのシフト・ステートを終了した後の TCK の最初の立ち下がりエッジでトライ・ステートになります。

SHIFT_IR ステートがアクティブになると、TDO はトライ・ステートを抜け、インストラクション・レジスタの初期ステートが TCK の立ち下がりエッジでシフト・アウトされます。TDO は、SHIFT_IR ステートがアクティブになっている限り、継続してインストラクション・レジスタの内容をシフト・アウトします。TAP コントローラは、TMS が Low のときは SHIFT_IR ステートになったままです。

SHIFT_IRステートの間、TCKの立ち上がりエッジでTDIピン上のデータをシフトすることによって、命令コードが入力されます。命令コードの最終ビットは、次のステート EXIT1_IR がアクティブになると同時にクロック駆動されなければなりません。EXIT1_IR ステートをアクティブにするために、TMS を High に設定します。一度 EXIT1_IR ステートになると、TDO は再びトライ・ステートになります。TDO は、SHIFT_IR および SHIFT_DR ステートを除いて、常にトライ・ステートになります。命令コードが正しく入力されると、TAP コントローラは後述する 3 つのモードの 1 つでテスト・データをシリアルにシフト・インします。以下の項では、次の 3 つのシリアル・シフト・テスト・データ・インストラクション・モードについて説明します。

- 13-12 ページの「SAMPLE/PRELOAD インストラクション・モード」
- 13-15 ページの「EXTEST インストラクション・モード」
- 13-17 ページの「BYPASS インストラクション・モード」

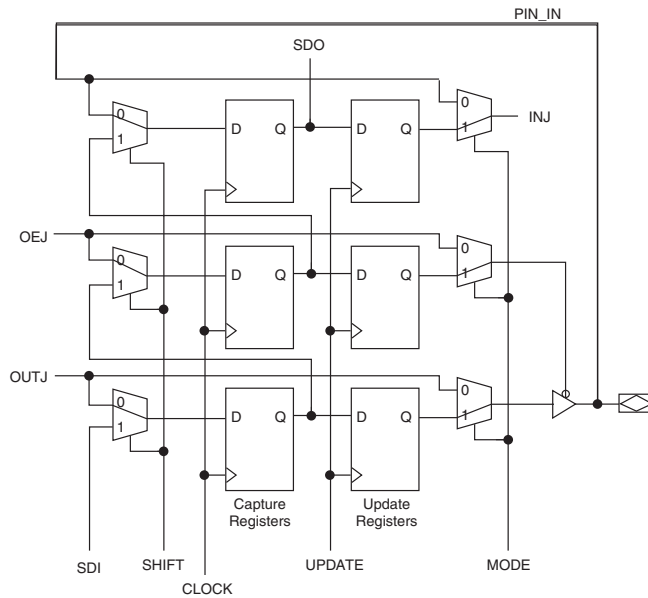
SAMPLE/PRELOAD インストラクション・モード

SAMPLE/PRELOAD インストラクション・モードにより、通常のデバイス動作を中断することなく、デバイス・データのスナップショットをとることができます。この命令を使用して、EXTEST 命令をロードする前にアップデート・レジスタにテスト・データをプリロードすることもできます。図 13-8 に、SAMPLE/PRELOAD モードのキャプチャ、シフト、およびアップデート・フェーズを示します。

図 13-8. IEEE Std. 1149.1 BST SAMPLE/PRELOAD モード

Capture Phase

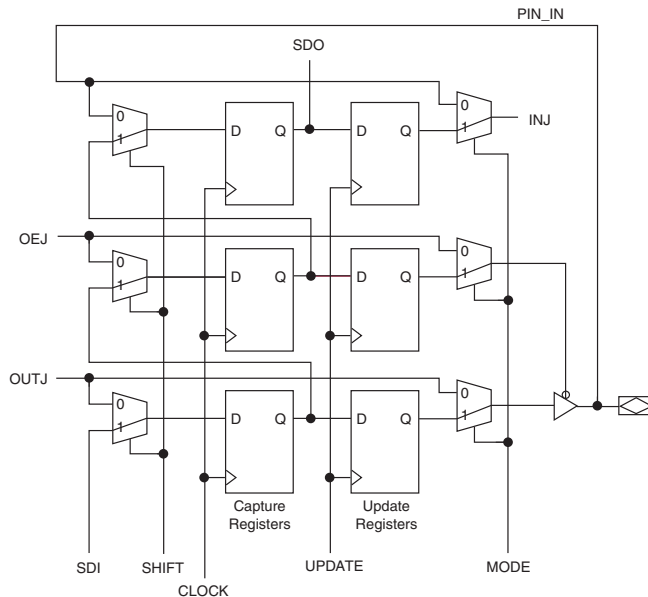
In the capture phase, the signals at the pin, OEJ and OUTJ, are loaded into the capture registers. The CLOCK signals are supplied by the TAP controller's CLOCKDR output. The data retained in these registers consists of signals from normal device operation.



Shift & Update Phases

In the shift phase, the previously captured signals at the pin, OEJ and OUTJ, are shifted out of the boundary-scan register via the TDO pin using CLOCK. As data is shifted out, the patterns for the next test can be shifted in via the TDI pin.

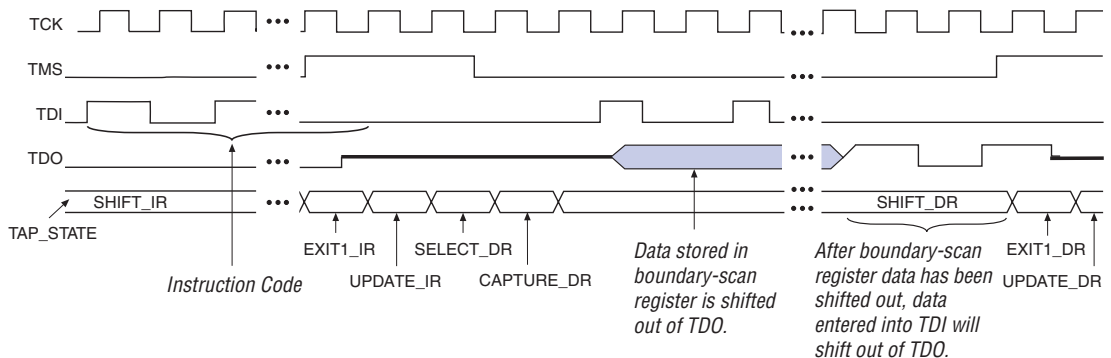
In the update phase, data is transferred from the capture registers to the update registers using the UPDATE clock. The data stored in the update registers can be used for the EXTEST instruction.



キャプチャ・フェーズでは、キャプチャ・レジスタの前段にあるマルチプレクサがアクティブなデバイスのデータ信号を選択します。このデータはクロックに同期してキャプチャ・レジスタに入力されます。アップデート・レジスタの出力にあるマルチプレクサは、デバイスの動作に影響を及ぼさないよう、アクティブな信号を選択します。シフト・フェーズ中には、デバイス周辺のキャプチャ・レジスタを通してデータをクロック駆動することによってバウンダリ・スキャン・シフト・レジスタが形成され、TDO ピンから出力されます。デバイスは同時に新しいテスト・データを TDI にシフト・インし、キャプチャ・レジスタの内容を置き換えることができます。アップデート・フェーズでは、キャプチャ・レジスタ内のデータはアップデート・レジスタに転送されます。このデータは次に、EXTEST インストラクション・モードで使用できます。詳しくは、13-15 ページの「EXTEST インストラクション・モード」を参照してください。

図 13-9 に、SAMPLE/PRELOAD 波形を示します。SAMPLE/PRELOAD 命令コードは、TDI ピンを通してシフト・インされます。TAP コントローラは、CAPTURE_DR ステートから SHIFT_DR ステートに進み、TMS が Low に保持されていれば SHIFT_DR ステートに留まります。キャプチャ・フェーズ後にキャプチャ・レジスタ内に存在していたデータは、TDO ピンからシフト・アウトされます。TDI ピンにシフト・インされた新しいテスト・データが、バウンダリ・スキャン・レジスタ全体をクロックで同期化された後、TDO ピンに出力されます。TMS が 2 連続 TCK クロック・サイクルの間 High に保持されると、TAP コントローラはアップデート・フェーズのために UPDATE_DR ステートに進みます。

図 13-9. SAMPLE/PRELOAD シフト・データ・レジスタの波形



EXTEST インストラクション・モード

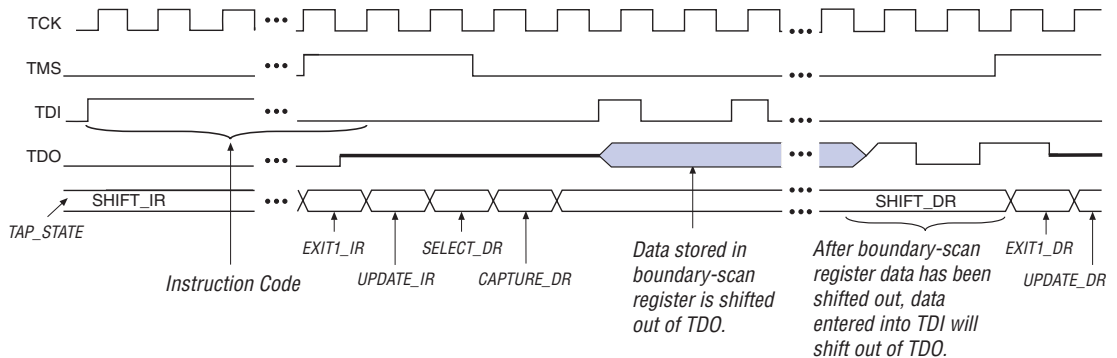
EXTEST インストラクション・モードは、主にデバイス間の外部ピン接続をチェックするために使用されます。SAMPLE/PRELOAD モードとは異なり、EXTEST によってテスト・データを強制的にピン信号に出力することができます。出力ピンに既知の High および Low のロジック・レベルを与えることによって、スキャン・チェーン内の任意のデバイスのピンでオープンおよび短絡を検出することができます。

図 13-10 に、EXTEST モードのキャプチャ、シフト、およびアップデート・フェーズを示します。

EXTEST は、SAMPLE/PRELOAD モードとは異なる方法でデータを選択します。EXTEST は、出力および出力イネーブル信号のソースとして、アップデート・レジスタからデータを選択します。EXTEST 命令コードが入力されると、マルチプレクサはアップデート・レジスタのデータを選択します。これによって、以前の EXTEST または SAMPLE/PRELOAD テスト・サイクルからこれらのレジスタに格納されていたデータは、強制的にピン信号として出力することができます。キャプチャ・フェーズでは、このテスト・データの結果はキャプチャ・レジスタに格納され、シフト・フェーズ中に TDO ヘシフト・アウトされます。次に新しいテスト・データをアップデート・フェーズ中にアップデート・レジスタに格納できます。

図 13-11 の EXTEST 波形図は、インストラクション・コード以外、SAMPLE/PRELOAD 波形図に類似しています。TDO ピンからシフト・アウトされたデータは、キャプチャ・フェーズ後にキャプチャ・レジスタ内に格納されていたデータで構成されます。TDI ピンにシフト・インされた新しいテスト・データが、バウンダリ・スキャン・レジスタ全体をクロックで同期化された後、TDO ピンに出力されます。

図 13-11. EXTEST シフト・データ・レジスタ波形

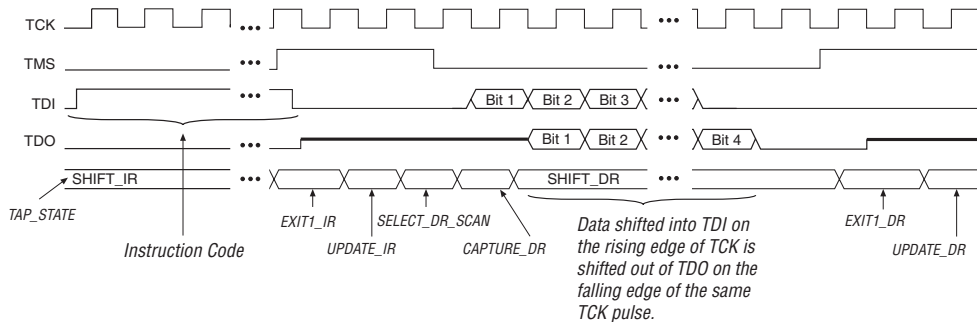


BYPASS インストラクション・モード

BYPASS モードは、すべて 1 のインストラクション・コードがインストラクション・レジスタにロードされとアクティブになります。このモードでは、ボード・レベルでデバイスのテスト動作が必要ないときに、バウンダリ・スキャン・データを隣接するデバイスに同期して、選択されたデバイスに渡すことができます。図 13-12 の波形は、TAP コントローラが SHIFT_DR ステートのときに、スキャン・データがどのようにデバイスを通過するかを示します。このステートでは、データ信号は TCK の立

ち上がりエッジの TDI からバイパス・レジスタにクロック・インされ、同じクロック・パルスの立ち下がりエッジの TDO でバイパス・レジスタからクロック・アウトされます。

図 13-12. BYPASS シフト・データ・レジスタ波形



IDCODE インストラクション・モード

IDCODE インストラクション・モードは、IEEE Std. 1149.1 チェインのデバイスを識別するために使用されます。IDCODE が選択されると、デバイス識別レジスタに 32 ビットのベンダ定義識別コードがロードされます。デバイス ID レジスタは、TDI ポートと TDO ポートの間に接続され、デバイスの IDCODE がシフト・アウトされます。



Stratix III デバイスの IDCODE については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのコンフィギュレーション」の章を参照してください。

USERCODE インストラクション・モード

USERCODE インストラクション・モードは、IEEE Std. 1149.1 チェインにあるデバイス内のユーザ電子署名 (UES) を検査するために使用されます。この命令が選択されると、TDI ポートと TDO ポートの間にデバイス識別レジスタが接続されます。ユーザ定義の UES は、32 ビット USERCODE レジスタから平行にデバイス ID レジスタにシフト・インされます。UES はデバイス ID レジスタを通してシフト・アウトされます。



UES 値は、デバイスがコンフィギュレーションされるまでユーザ定義値にはなりません。その理由は、値がプログラマ・オブジェクト・ファイル (.pof) に格納され、コンフィギュレーション中のみデバイスにロードされるからです。コンフィギュレーション前は、UES 値はデフォルトに設定されます。

CLAMP インストラクション・モード

CLAMP インストラクション・モードは、バイパス・レジスタが TDI ポートと TDO ポートの間で、シリアル・パスとして選択されている間に、ピンからドライブされる信号の状態をバウンダリ・スキャン・レジスタから決定するために使用されます。ピンからドライブされるすべての信号のステートは、バウンダリ・スキャン・レジスタに保持されているデータで完全に定義されます。

HIGHZ インストラクション・モード

HIGHZ インストラクション・モードは、すべてのユーザ I/O ピンを非アクティブなドライブ状態に設定するのに使用されます。これらのピンは新しい JTAG 命令が実行されるまでトライ・ステートになります。この命令がインストラクション・レジスタにロードされると、TDI ポートと TDO ポート間にバイパス・レジスタが接続されます。

JTAG チェーンでの I/O 電圧の サポート

JTAG チェインはいくつかのデバイスをサポートしています。ただし、チェーンに異なる V_{CCIO} レベルを持つデバイスが含まれる場合は注意が必要です。TDO ピンの出力電圧レベルは、ドライブする TDI ピンの規格を満たす必要があります。チェーン内である Stratix III デバイスの TDO ピンに接続された TDI は、 V_{CCPD} (2.5 V / 3.0 V) で駆動されます。同じバンクで使用される I/O 規格に従って V_{CCPD} を接続する必要があります。3.3 V および 3.0 V I/O 規格の場合は、 V_{CCPD} を 3.0 V に、2.5 V およびそれ以下の電圧の I/O 規格の場合は、 V_{CCPD} を 2.5 V に接続しなければなりません。表 13-3 に、適切な JTAG チェイン動作を保証するボード・デザインの推奨事項を示します。

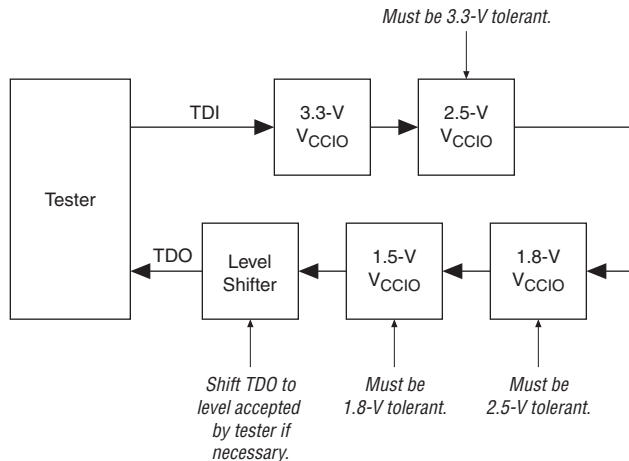
| 表 13-3. サポートされている TDO/TDI 電圧の組み合わせ | | | |
|------------------------------------|---------------------------|----------------------------|---------------------------|
| デバイス | TDI 入力バッファ電源 | Stratix III TDO V_{CCPD} | |
| | | $V_{CCPD} = 3.0\text{ V}$ | $V_{CCPD} = 2.5\text{ V}$ |
| Stratix III | $V_{CCPD} = 3.0\text{ V}$ | √(1) | √(2) |
| | $V_{CCPD} = 2.5\text{ V}$ | √(1) | √(2) |
| Stratix III 以外 | $V_{CC} = 3.3\text{ V}$ | √(1) | √(2) |
| | $V_{CC} = 2.5\text{ V}$ | √(1)、(3) | √(2) |
| | $V_{CC} = 1.8\text{ V}$ | √(1)、(3) | √(2)、(4) |
| | $V_{CC} = 1.5\text{ V}$ | √(1)、(3) | √(2)、(4) |

表 13-3 の注：

- (1) TDO 出力バッファは、 $V_{OH}(\text{MIN}) = 2.4\text{ V}$ に適合します。
- (2) TDO 出力バッファは、 $V_{OH}(\text{MIN}) = 2.0\text{ V}$ に適合します。
- (3) 入力バッファは 3.0 V を許容する必要があります。
- (4) 入力バッファは 2.5 V を許容する必要があります。

デバイス間にレベル・シフタを挿入して、 V_{CCIO} レベルが異なるデバイスの TDI および TDO ラインをインタフェースできます。可能な限り、 V_{CCIO} レベルがより高いデバイスから V_{CCIO} レベルが同等以下のデバイスをドライブするよう JTAG チェインを構築してください。この方法を使うと、最終段の TDO レベルを JTAG テスタに適合させるためにのみレベル・シフタを使用すれば良いことになります。図 13-13 に、電圧レベルが混在した JTAG チェインとレベル・シフタをチェーンに挿入する方法を示します。

図 13-13. 電圧レベルが混在した JTAG チェイン



IEEE Std. 1149.1 BST 回路

Stratix III デバイスは、専用の JTAG ピンを備えており、IEEE Std. 1149.1 BST 回路はデバイスのパワーアップ時にイネーブルされます。Stratix III FPGA では、コンフィギュレーションの実行前と実行後だけでなく、コンフィギュレーションの実行中にも BST を実行できます。Stratix III FPGA は、コンフィギュレーション中にコンフィギュレーションを中断することなく、BYPASS、IDCODE、および SAMPLE 命令をサポートします。それ以外の JTAG 命令を送出するには、CONFIG_IO 命令を使用してコンフィギュレーションを中断しなければなりません。

CONFIG_IO 命令を使用すると、JTAG ポートを通して I/O バッファをコンフィギュレーションでき、命令が発行されるとコンフィギュレーションを中断します。この命令により、Stratix III FPGA デバイスのコンフィギュレーションの実行前にボード・レベルのテストを実行できます。あるいは、コンフィギュレーション・デバイスがコンフィギュレーションを完了するまで待つことができます。一度コンフィギュレーションが中断され、JTAG BST が完了した場合は、JTAG (PULSE_CONFIG 命令) を使用するか、nCONFIG に Low パルスを入力することによってデバイスをリコンフィギュレーションする必要があります。



コンフィギュレーション前に JTAG バウンダリ・スキャン・テストを実行するときは、nCONFIG ピンを Low に保持する必要があります。

Stratix III デバイスのチップ・ワイドのリセット (DEV_CLRn) ピンとチップ・ワイドの出力イネーブル (DEV_OE) ピンは、JTAG バウンダリ・スキャンまたはコンフィギュレーション動作に影響を与えません。これらのピンをトグルしても BST 動作 (予測される BST 動作を除く) を妨害することはありません。

JTAG コンフィギュレーションを行う Stratix III デバイスのボードをデザインする場合、専用コンフィギュレーション・ピンの接続を検討する必要があります。



デバイス・コンフィギュレーションへの IEEE Std.1149.1 回路の使用について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのコンフィギュレーション」の章を参照してください。

コンフィギュレーションされたデバイスに対する IEEE Std. 1149.1 BST

コンフィギュレーションされたデバイスでは、デザイン・ファイル内で出力専用設定されている I/O ピンに対して、入力バッファはデフォルトでオフになっています。それでも、SAMPLE 命令を実行すると、サンプル動作のために出力ピンに対して入力バッファをオンにします。コンフィギュレーションされたデバイスの入力バッファを常にイネーブルするように Quartus® II ソフトウェアを設定すると、デバイスはバウンダリ・スキャン・テストを行うコンフィギュレーションされていないデバイスと同様に動作し、デザインの出力ピン上のサンプリング機能が使用できます。これにより、未使用入力バッファは常にオンになるため、待機時電流がわずかに増加する場合があります。

Quartus II ソフトウェアでは、以下の手順を実行します。

1. Assignments メニューから **Settings** を選択します。
2. **Assembler** をクリックします。
3. **Always Enable Input Buffers** をオンにします。



入力をディセーブルした状態のデフォルト設定を使用する場合は、BSDL Customizer スクリプトを使用してデフォルトの BSDL ファイルをデザイン固有の BSDL ファイルに変換する必要があります。BSDL ファイルについて詳しくは、13-24 ページの「BSDL のサポート」を参照してください。

IEEE Std. 1149.1 BST 回路 (ディセーブル)

Stratix III デバイスの IEEE Std. 1149.1 BST 回路は、デバイスのパワーアップ時にイネーブルされます。IEEE Std. 1149.1 BST 回路は、BST またはイン・サーキット・リコンフィギュレーションに使用されるため、13-21 ページの「IEEE Std. 1149.1 BST 回路」に記載されるとおり、回路は特定のタイミングでのみイネーブルする必要があります。


 Stratix III の IEEE Std. 1149.1 回路を使用しない場合は、回路を恒久的にディセーブルして、必要ないときに誤ってイネーブルしないようにする必要があります。

表 13-4 に、Stratix III デバイスの IEEE Std. 1149.1 回路をディセーブルするのに必要なピン接続を示します。

| JTAG ピン (1) | ディセーブルにするための接続 |
|-------------|-----------------|
| TMS | V _{CC} |
| TCK | GND |
| TDI | V _{CC} |
| TDO | オープンのままにします |
| TRST | GND |

表 13-4 の注：


- (1) Stratix III デバイスの JTAG をディセーブルするソフトウェア・オプションはありません。JTAG ピンは専用ピンです。

IEEE Std. 1149.1 BST ガイドライン

IEEE Std. 1149.1 デバイスでバウンダリ・スキャン・テストを実行するときは、下記のガイドラインを使用します。

- SHIFT_IR ステートの最初のクロック・サイクル中に、インストラクション・レジスタから TDO ピンを介して "10..." パターンがシフト・アウトしない場合、TAP コントローラは正しいステートに達していません。この問題を解決するには、以下の手順のいずれかを実行します。
 - TAP コントローラが正常に SHIFT_IR ステートに達したことを確認します。TAP コントローラを SHIFT_IR ステートに進めるには、RESET ステートに戻り、コード 01100 を TMS ピンに送信します。
 - デバイスの V_{CC}、GND、JTAG、および専用コンフィギュレーション・ピンへの接続を確認します。

- 最初の EXTEST テスト・サイクルの前に、SAMPLE/PRELOAD テスト・サイクルを実行して、EXTEST モードに入るときに、デバイス・ピンに既知のデータが存在することを確認します。OEJ アップデート・レジスタに 0 がある場合、OUTJ アップデート・レジスタのデータがドライブ・アウトされます。システム内の他のデバイスとの競合を回避するために、ステートは既知で正しくなければなりません。
- ICR の間に EXTEST テストを実行してはなりません。この命令は、ICR の間ではなく、ICR の前または後でサポートされます。CONFIG_IO 命令を使用して、コンフィギュレーションに割り込んでテストを実行するか、またはコンフィギュレーションが完了するまで待機します。
- コンフィギュレーション前にテストを実行する場合は、nCONFIG ピンを Low に保持します。

 バウンダリ・スキャン・テストについて詳しくは、お問い合わせください。

BSDL のサポート

VHDL のサブセットである BSDL (Boundary-Scan Description Language) は、テスト可能な IEEE Std. 1149.1 BST 対応デバイスの機能を記述できる構文を提供します。テスト・ソフトウェア開発システムは、BSDL ファイルをテスト生成、解析、および障害診断に使用します。



IEEE Std. 1149.1 準拠の Stratix III デバイス用 BSDL ファイルおよび BSDLCustomizer スクリプトについて詳しくは、アルテラのウェブサイト (www.altera.co.jp) を参照してください。

まとめ

Stratix III デバイスで利用可能な IEEE Std. 1149.1 BST 回路は、リード・スペースが狭いデバイスを含むシステムをテストするための、コスト効果が高く効率的な方法を提供します。アルテラおよび他の IEEE Std. 1149.1 準拠 デバイスを搭載した回路ボードは、EXTEST、SAMPLE/PRELOAD、および BYPASS モードを使用して、デバイス間のピン接続を内部でテストし、デバイス動作をチェックするシリアル・パターンを作成することができます。

参考文献

Bleeker, H., P. van den Eijnden, and F. de Jong. *Boundary-Scan Test: A Practical Approach*. Eindhoven, The Netherlands: Kluwer Academic Publishers, 1993.

Institute of Electrical and Electronics Engineers, Inc. *IEEE Standard Test Access Port and Boundary-Scan Architecture* (IEEE Std 1149.1-2001). New York: Institute of Electrical and Electronics Engineers, Inc., 2001.

Maunder, C. M., and R. E. Tulloss. *The Test Access Port and Boundary-Scan Architecture*. Los Alamitos: IEEE Computer Society Press, 1990.

改訂履歴

表 13-5 に、本資料の改訂履歴を示します。

| 表 13-5. 改訂履歴 | | |
|-------------------|------|----|
| 日付 & ドキュメント・バージョン | 変更内容 | 概要 |
| 2006 年 11 月 v1.0 | 初版 | |

