

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

Stratix[®] III デバイス・ファミリは、Utopia、Rapid I/O[®]、XSBI、SGMII、SFI、および SPI などのソース・シンクロナス通信プロトコルをサポートする最大 1.25 Gbps の差動 I/O 機能を提供します。

Stratix III デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- 受信デシリアライザ
- データ・リアラインメント
- ダイナミック・フェーズ・アライナ (DPA)
- シンクロナイザ (FIFO バッファ)
- アナログ PLL (デバイスの左側および右側に配置)

高速差動インタフェース向けに、Stratix III デバイスは以下の差動 I/O 規格をサポートしています。

- LVDS (Low Voltage Differential Signaling)
- Mini-LVDS
- RSDS (Reduced Swing Differential Signaling)
- HSTL
- SSTL

HSTL および SSTL I/O 規格は、差動モードでは PLL クロック入力および出力にのみ使用できます。

I/O バンク

Stratix III の I/O は、16 ～ 24 の I/O バンクに分割されます。高速差動 I/O をサポートする専用回路は、デバイスの左側および右側のバンクに配置されています。図 9-1 に、差動バンクおよびそれらのバンクでサポートされる I/O 規格を示します。

図 9-1. Stratix III の I/O バンク 注 (1)、(2)、(3)、(4)、(5)

Stratix III I/O Banks

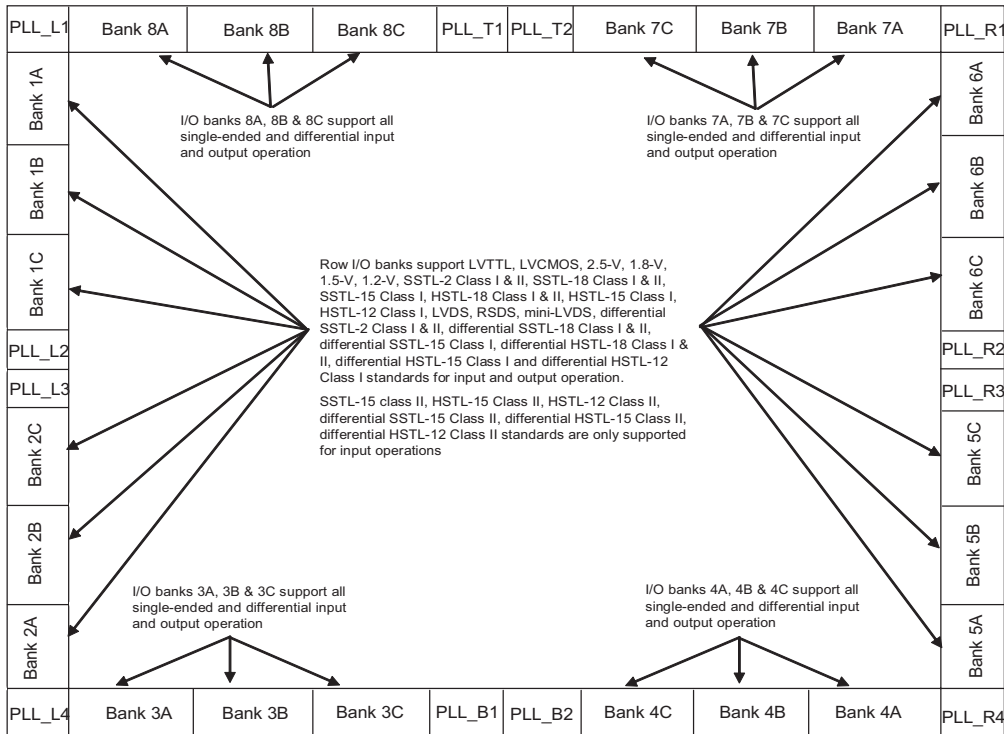


図 9-1 の注：

- (1) 差動 HSTL および SSTL 出力は、2 番目の出力を反転としてプログラムした 2 つのシングル・エンド出力を使用して、差動 I/O 動作をサポートします。
- (2) カラム I/O 差動 HSTL および SSTL 入力、オンチップ差動 OCT サポートなしの LVDS 差動入力バッファを使用します。
- (3) カラム I/O は、SE バッファおよび外部抵抗ネットワークを使用して LVDS 出力をサポートします。
- (4) Row (サイド) I/O は、オンチップ・クランプ・ダイオードなしに PCI/PCI-X をサポートします。
- (5) PLL ブロックは位置を示す目的でのみ示しており、追加バンクとは見なされません。PLL 入力および出力は、隣接したバンクの I/O を使用します。

LVDS チャネル

Stratix III デバイスは、左右のサイド I/O バンクおよびカラム I/O バンクで LVDS をサポートしています。サイド I/O バンクには、真の LVDS 入力および出力バッファがあります。カラム I/O バンクでは、真の LVDS 入力バッファはありますが、真の LVDS 出力バッファはありません。しかしながら、真の LVDS 入力バッファを備えたすべてのカラム・ユーザ I/O は、エミュレートされた LVDS 出力バッファとしてコンフィギュレーションすることができます。表 9-1 に、Stratix III デバイスのサイド I/O バンクでサポートされている LVDS チャネルを示します。

デバイス	484 ピン FineLine BGA	780 ピン FineLine BGA	1,152 ピン FineLine BGA	1,517 ピン FineLine BGA	1,780 ピン FineLine BGA
EP3SL50	48Rx + 48Tx	56Rx + 56Tx	—	—	—
EP3SL70	48Rx + 48Tx	56Rx + 56Tx	—	—	—
EP3SL110	—	56Rx + 56Tx	88Rx + 88Tx	—	—
EP3SL150	—	56Rx + 56Tx	88Rx + 88Tx	—	—
EP3SL200	—	—	88Rx + 88Tx	88Rx + 88Tx	—
EP3SL340	—	—	—	112Rx + 112Tx	132Rx + 132Tx
EP3SE50	48Rx + 48Tx	56Rx + 56Tx	—	—	—
EP3SE80	—	56Rx + 56Tx	88Rx + 88Tx	—	—
EP3SE110	—	56Rx + 56Tx	88Rx + 88Tx	—	—
EP3SE260	—	—	88Rx + 88Tx	112Rx + 112Tx	—

表 9-1 の注:

- (1) 各デバイス / パッケージの組み合わせにおいて、レシーバおよびトランスミッタ・チャネルが同数含まれていません。

表 9-2 に、Stratix III デバイスのカラム I/O バンクでサポートされている LVDS チャネル（エミュレートされたもの）を示します。

デバイス	484 ピン FineLine BGA	780 ピン FineLine BGA	1,152 ピン FineLine BGA	1,517 ピン FineLine BGA	1,780 ピン FineLine BGA
EP3SL50	24Rx/Tx + 24Tx	64Rx/Tx + 64Tx	—	—	—
EP3SL70	24Rx/Tx + 24Tx	64Rx/Tx + 64Tx	—	—	—
EP3SL110	—	64Rx/Tx + 64Tx	96Rx/Tx + 96Tx	—	—
EP3SL150	—	64Rx/Tx + 64Tx	96Rx/Tx + 96Tx	—	—

表 9-2. Stratix III デバイスのカラム I/O バンクでサポートされている LVDS チャネル
(エミュレートされたもの) (2 / 2) 注 (1)

デバイス	484 ピン FineLine BGA	780 ピン FineLine BGA	1,152 ピン FineLine BGA	1,517 ピン FineLine BGA	1,780 ピン FineLine BGA
EP3SL200	—	—	96Rx/Tx + 96Tx	128Rx/Tx + 128Tx	—
EP3SL340	—	—	—	128Rx/Tx + 128Tx	144Rx/Tx + 144Tx
EP3SE50	24Rx/Tx + 24Tx	64Rx/Tx + 64Tx	—	—	—
EP3SE80	—	64Rx/Tx + 64Tx	96Rx/Tx + 96Tx	—	—
EP3SE110	—	64Rx/Tx + 64Tx	96Rx/Tx + 96Tx	—	—
EP3SE260	—	—	96Rx/Tx + 96Tx	128Rx/Tx + 128Tx	—

表 9-2 の注:

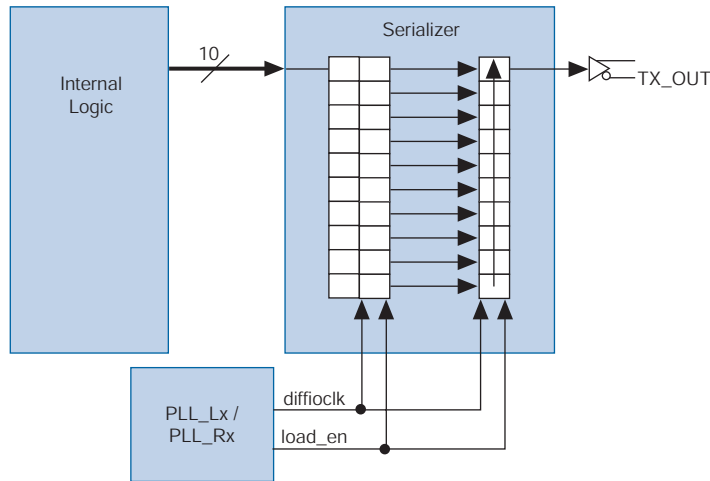
- (1) カラム I/O バンクの LVDS 入力バッファは、真の LVDS 入力バッファです。真の LVDS 入力バッファを備えた I/O を含むすべてのユーザ I/O は、エミュレートされた LVDS 出力バッファとしてコンフィギュレーションすることができます。

差動 トランスミッタ

Stratix III トランスミッタは、LVDS 信号方式をサポートする専用回路を内蔵しています。専用回路は差動バッファ、シリアライザ、および共有アナログ PLL (レフト / ライト PLL) で構成されています。差動バッファは、LVDS、mini-LVDS、および RSDS 信号レベルをドライブできます。シリアライザは、最大 10 ビット幅の平行・データを FPGA コアから取得し、それをロード・レジスタにクロックし、データを差動バッファに送信する前にレフト / ライト PLL にクロックされたシフト・レジスタを使用してシリアル化します。平行・データの最上位ビット (MSB) が最初に送信されます。

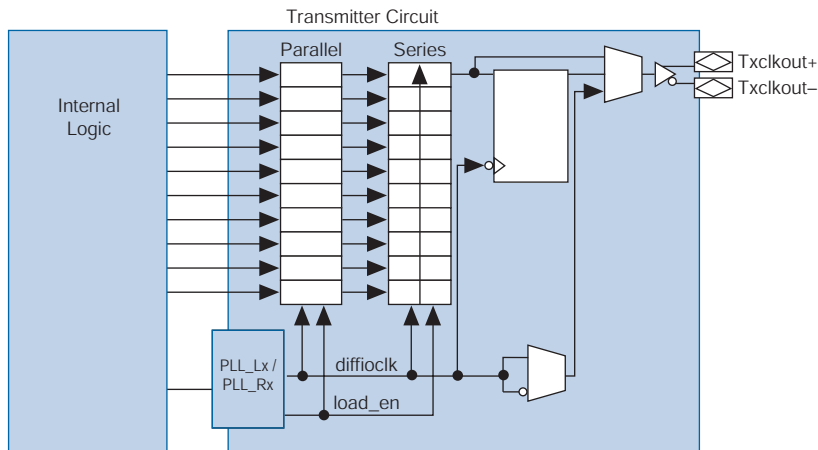
ロードおよびシフト・レジスタは、PLL_Lx (左側の PLL) または PLL_Rx (右側の PLL) で生成されるロード・イネーブル (load_en) 信号および diffioclk (シリアル・データ・レートで動作するクロック) 信号でクロックされます。シリアライゼーション・ファクタは、Quartus® II ソフトウェアを使用して、スタティックに x4、x6、x7、x8、または x10 に設定できます。ロード・イネーブル信号は、シリアライゼーション・ファクタの設定から派生します。図 9-2 に、Stratix III トランスミッタのブロック図を示します。

図 9-2. Stratix III トランスミッタのブロック図



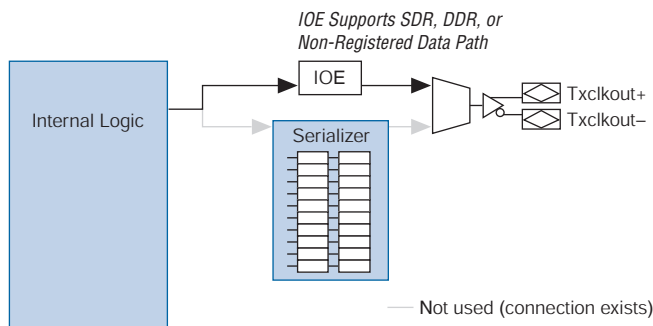
Stratix III トランスミッタ・データ・チャンネルは、ソース同期トランスミッタ・クロック出力を生成するようにコンフィギュレーションできます。この柔軟性により、出力クロックをデータ出力の近くに配置して、ボード・レイアウトの簡略化し、クロック - データ間スキューを低減することができます。アプリケーションごとに、特定のクロック - データ・アラインメントまたはデータ・レート - クロック・レート・ファクタが必要になる場合があります。トランスミッタは、717 MHz の最大周波数と同じレートでクロック信号を出力できます。出力クロックは、シリアライゼーション・ファクタによって、2、4、8、または 10 で分周することも可能です。データに対するクロックの位相は、0° または 180° (エッジまたは中央揃え) に設定できます。左側および右側の PLL (PLL_Lx/PLL_Rx) は、さらに 45° の増分でその他の位相シフトの追加サポートを提供します。これらの設定は、Quartus II MegaWizard® ソフトウェアでスタティックに行われます。図 9-3 に、クロック出力モードの Stratix III トランスミッタを示します。

図 9-3. クロック出力モードの Stratix III トランスミッタ



Stratix III シリアライザは、DDR (x2) および SDR (x1) の動作をサポートするにはバイパスして、それぞれ 2 および 1 のシリアライザ・セッション・ファクタを実現できます。I/O エlement (IOE) には、それぞれが DDR または SDR モードで動作可能な 2 個のデータ出力レジスタがあります。IOE のレジスタのクロック・ソースは、任意の配線リソース、左側 / 右側の PLL (PLL_Lx/PLL_Rx)、またはトップ / ボトム PLL (PLL_Tx/PLL_Bx) を使用することができます。図 9-4 に、シリアライザ・バイパス・パスを示します。

図 9-4. Stratix III シリアライザ・バイパス



差動レシーバ

Stratix III デバイスは、高速差動信号を受信するための専用回路を備えています。図 9-5 に、Stratix III レシーバのブロック図を示します。レシーバは、差動バッファ、共有 PLL_Lx/PLL_Rx、ダイナミック・フェーズ・アライメント (DPA) ブロック、同期化 FIFO バッファ、データ・リアライメント・ブロック、およびデシリアライザを備えています。差動バッファは、Quartus II ソフトウェアのアサインメント・エディタでスタティックに設定することで、LVDS、mini-LVDS、および RSDS 信号レベルを受信します。PLL はデータとともに送信される外部ソース・クロック入力を受信し、同じクロックの異なる位相を生成します。DPA ブロックは、左側 / 右側の PLL からのクロックのいずれかを選択し、各チャネルの受信データを揃えます。

シンクロナイザ回路は、DPA クロックとデータ・リアライメント・ブロック間の位相差を補正する 1 ビット幅×6 ビット深度の FIFO バッファです。必要に応じて、データ・リアライメント回路はシリアル・ビット・ストリームに 1 ビットのレイテンシを挿入し、ワード境界をアライメントします。デシリアライザはシフト・レジスタとパラレル・ロード・レジスタを内蔵し、最大 10 ビットを内部ロジックに送信します。Stratix III レシーバのデータ・パスは、dffioclk 信号または DPA 復元クロックによってクロックされます。デシリアライゼーション・ファクタは、Quartus II ソフトウェアを使用して、スタティックに 4、6、7、8、または 10 に設定できます。左側 / 右側の PLL (PLL_Lx/PLL_Rx) は自動的にロード・イネーブル信号を生成しますが、この信号はデシリアライゼーション・ファクタ設定から派生します。

Stratix III デシリアライザは、DDR (×2) または SDR (×1) の動作をサポートするために、Quartus II MegaWizard でバイパスすることができます。DPA およびデータ・リアライメント回路は、デシリアライザがバイパスされている場合は使用できません。IOE は、DDR または SDR モードで動作可能な 2 個のデータ入力レジスタを内蔵しています。IOE のレジスタのクロック・ソースは、任意の配線リソース、レフト / ライト PLL、またはトップ / ボトム PLL を使用することができます。

図 9-5. レシーバのブロック図

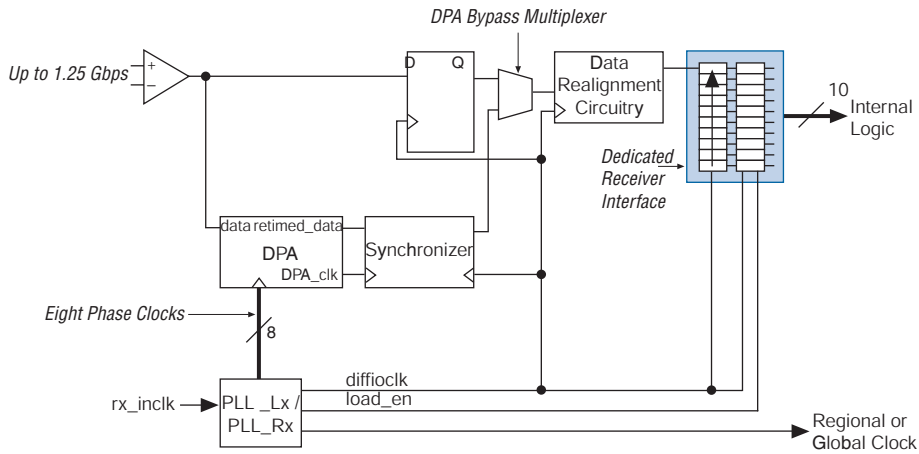
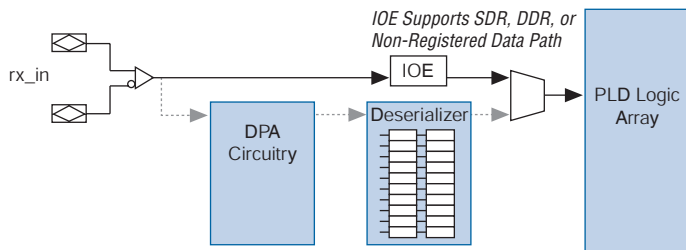


図 9-6 に、デシリアライザ・バイパス・データ・パスを示します。

図 9-6. Stratix III デシリアライザ・バイパス



レシーバ・データ・リアライメント回路 (ビット・スリップ)

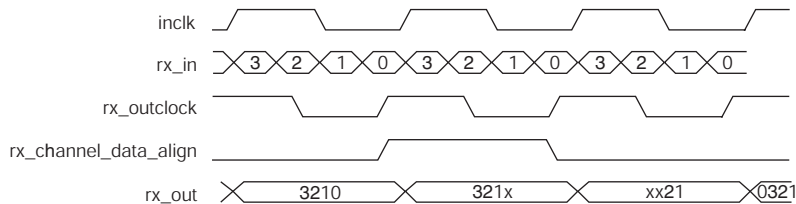
送信データのスキューとリンクで追加されるスキューによって、受信シリアル・データ・ストリームにチャンネル間スキューが発生します。DPA がイネーブルされた場合、受信データが各チャンネル上の異なるクロック位相でキャプチャされます。これにより、チャンネル間で受信データのミスマライメントが生じます。このチャンネル間スキューを補正し、各チャンネル上で正しい受信ワード境界を確立するために、各レシーバ・チャンネルはビット・レイテンシをシリアル・ストリームに挿入してデータを再アライメントする、専用のデータ・リアライメント回路を備えています。

オプションの `RX_CHANNEL_DATA_ALIGN` ポートは、内部ロジックから個別に制御される各レシーバのビット挿入を制御します。データは `RX_CHANNEL_DATA_ALIGN` のパルスごとに 1 ビット・スリップします。`RX_CHANNEL_DATA_ALIGN` 信号の要件を以下に示します。

- 最小パルス幅は、ロジック・アレイの平行・クロックの 1 周期です。
- パルス間の最小 Low 時間は、平行・クロックの 1 周期です。
- 最大 High または Low 時間はありません。
- 有効なデータは、`RX_CHANNEL_DATA_ALIGN` の立ち上がりエッジから 2 平行・クロック・サイクル後に利用可能になります。

図 9-7 に、デシリアライゼーション・ファクタを 4 に設定した状態での、1 ビット・スリップ・パルス後のレシーバ出力 (`RX_OUT`) を示します。

図 9-7. データ・リアライメント・タイミング

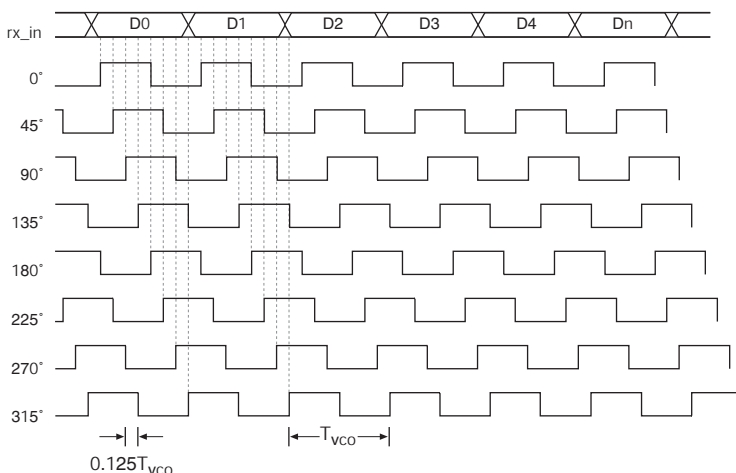


データ・リアライメント回路は、ロールオーバーが発生する前に最大 11 ビット時間を挿入することができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタに関係なく、1 ~ 11 ビット時間にすることができます。プリセット・ロールオーバー・ポイントに達したことを示すために、各チャンネルから FPGA にオプションのステータス・ポート `RX_CDA_MAX` が提供されます。

ダイナミック・フェーズ・アライナ (DPA)

DPA ブロックは差動入力バッファから高速シリアル・データを取り込み、レフト / ライト PLL から 8 つの位相クロックの 1 つを選択して、データをサンプリングします。DPA はシリアル・データの位相に最も近い位相を選択します。受信データと選択された位相の間の最大位相オフセットは $1/8\text{UI}$ であり、これは DPA の最大量子化誤差です。クロックの 8 つの位相は均等に分割され、分解能は 45 度となります。図 9-8 に、DPA クロックと受信シリアル・データ間の可能な位相関係を示します。

図 9-8. DPA クロック位相とシリアル・データ・タイミングの関係



DPA ブロックは受信シリアル・データの位相を継続的にモニタし、必要に応じて新しいクロック位相を選択します。ユーザはオプションの `RX_DPLL_HOLD` ポートをアサートすることによって、DPA が新しいクロック位相を選択するのを防止することができます。この機能は各チャネルで利用できます。

DPA ブロックは、トレーニング・パターンおよび 256 回以上のトレーニング・シーケンスを必要とします。トレーニング・パターンは固定されていないため、ユーザは少なくとも 1 回の遷移がある任意のトレーニング・パターンを使用することができます。オプションの出力ポート `RX_DPA_LOCKED` が内部ロジックに提供されており、DPA ブロックが受信データ位相に最も近い位相に安定したことを示します。新しい位相が選択されたとき、または DPA が同じ方向に 2 位相移動したとき、Quartus II MegaWizard Plug-In で選択されたオプションに応じて、DPA ブロックは `RX_DPA_LOCKED` をデアサートします。`RX_DPA_LOCKED` 信

号は DPA クロック・ドメインに同期されており、ロック状態の初期インジケータと見なす必要があります。データ・チェックを使用してデータ・インテグリティの正当性を確認します。

DPA 回路をリセットするために、独立したリセット・ポート RX_RESET を使用できます。DPA 回路はリセット後に再トレーニングする必要があります。

シンクロナイザ

シンクロナイザは、DPA 回路の復元クロックとレシーバ内のその他の部分をクロックする diffioclck 間の位相差を補正する、1 ビット×6 ビットの深度の FIFO バッファです。シンクロナイザは位相差を補正するのみで、データとレシーバの INCLK 間の周波数差は補正できません。

オプションのポート RX_FIFO_RESET は内部ロジックで使用でき、シンクロナイザをリセットします。シンクロナイザは、DPA が受信データを最初にロックすると自動的にリセットします。アルテラは、DPA が初期ロック状態から外れてロック状態を喪失したときに RX_FIFO_RESET を使用してシンクロナイザをリセットすることを推奨しています。

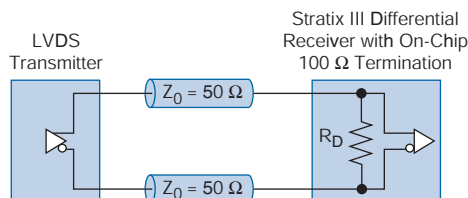
差動 I/O 終端

Stratix III デバイスは、LVDS 規格用の各差動レシーバ・チャネルの 100 Ω の差動 On-Chip Termination (チップ内終端) オプションを提供します。On-Chip Termination により、外部終端抵抗を追加する必要がないため、ボード・スペースを削減します。Quartus II ソフトウェアのアサインメント・エディタで、On-Chip Termination をイネーブルできます。

差動 On-Chip Termination は、すべてのロウ I/O ピンおよび SERDES ブロック・クロック・ピン CLK (0, 2, 9, 11) でサポートされています。カラム I/O ピン、高速クロック・ピン CLK [1, 3, 8, 10]、またはコーナー PLL クロック入力では、サポートされていません。

図 9-9 に、デバイスの On-Chip Termination を示します。

図 9-9. オンチップ差動 I/O 終端



レフト/ライト PLL (PLL_Lx/PLL_Rx)

Stratix III デバイスは、デバイスの左側および右側にそれぞれ最大 4 個の PLL を配置した最大 8 個のレフト/ライト PLL を備えています。レフト PLL は左側で高速差動 I/O バンクをサポートし、ライト PLL はデバイスの右側のバンクをサポートします。高速差動 I/O レシーバおよびトランスミッタ・チャンネルは、これらのレフト/ライト PLL を使用して、パラレル・グローバル・クロック (rx または tx クロック) および高速クロック (diffioclk) を生成します。図 9-1 に、レフト/ライト PLL の位置を示します。PLL VCO はデータ・レート・クロック周波数で動作します。各レフト/ライト PLL は、シングル・シリアル・データ・レートをサポートしますが、使用できるのは (C0 および C1 レフト/ライト PLL クロック出力からの) 2 つの独立したシリアライゼーション・ファクタとデシリアライゼーション・ファクタです。高速差動 I/O サポート・モードでは、クロック・スイッチオーバとダイナミック・レフト/ライト PLL リコンフィギュレーションが使用できます。



詳細は、「Stratix III デバイス・ハンドブック」の「Stratix III デバイスのクロック・ネットワークおよび PLL」の章を参照してください。

図 9-10 に、Stratix III PLL の主要コンポーネントの簡単なブロック図を示します。

図 9-10. PLL のブロック図 注 (1)、(2)

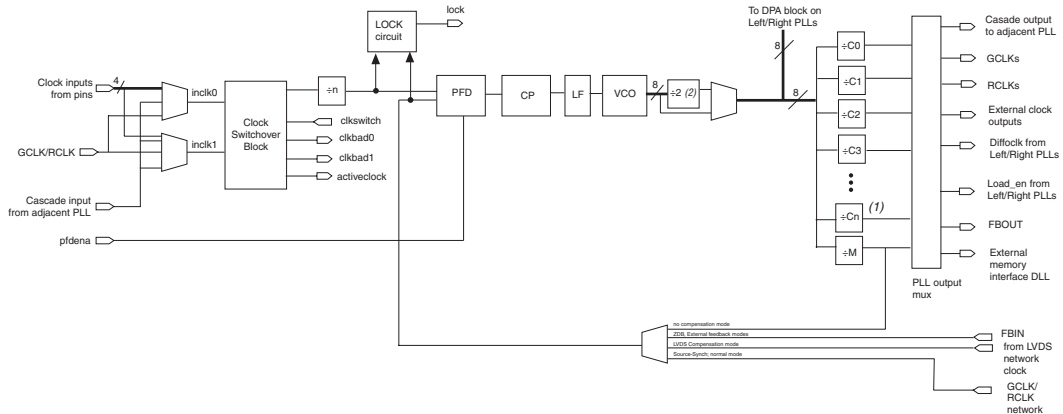


図 9-10 の注:

- (1) レフト/ライト PLL は $n=6$ 、トップ/ボトム PLL は $n=9$ です。
- (2) これは VCO ポスト・スケール・カウンタ K です。

クロック

レフト / ライト PLL は、LVDS および DPA クロック・ネットワークを通して、差動トランスミッタおよび受信チャネルに供給します。センターのレフト / ライト PLL は、それらの上のバンクまたは下のバンクにトランスミッタおよび受信チャネルをクロックすることができます。コーナーのレフト / ライト PLL は、隣接するバンクで I/O をドライブできます。以降の 2 つの図に、Stratix III デバイスのセンターおよびコーナーの PLL クロックを示します。PLL クロック制約については、9-19 ページの「差動ピン配置ガイドライン」を参照してください。

図 9-11. Stratix III デバイスのセンター PLL の LVDS/DPA クロック

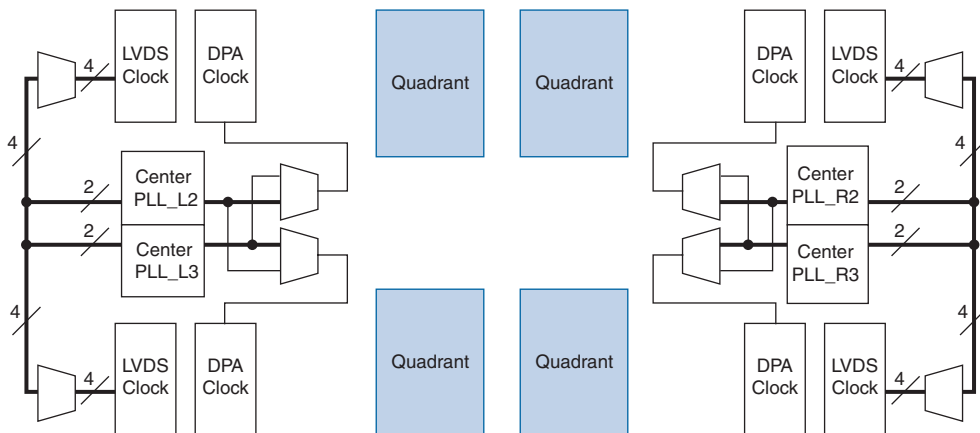
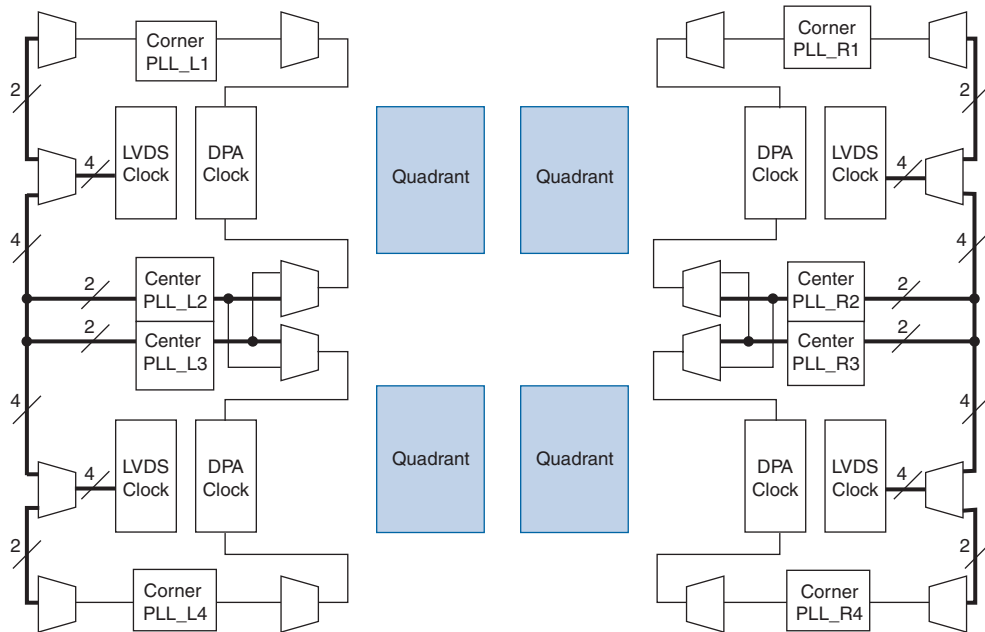


図 9-12. Stratix III デバイスのセンターおよびコーナー PLL の LVDS/DPA クロック



ソース同期タイミング制約

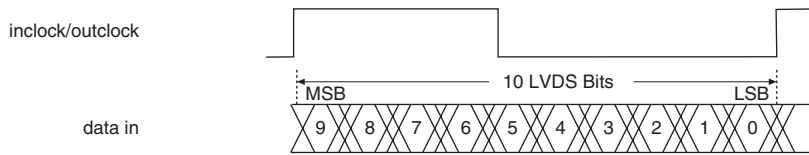
この項では、Stratix III デバイスでのソース同期信号方式のタイミング見直し、波形、および仕様について説明します。LVDS I/O 規格は高速データ送信を可能にします。この高速のデータ送信レートは、システム全体の性能向上をもたらします。高速システム性能を活用するには、これらの高速信号のタイミング解析方法を理解することが重要です。差動クロックのタイミング解析は、従来の同期タイミング解析とは異なります。

ソース同期タイミング解析は、クロック出力時間およびセットアップ時間間的に絞るのではなく、データとクロック信号間のスキューに基づいています。高速差動データ伝送には IC ベンダが提供するタイミング・パラメータを使用する必要があります。またボード・スキュー、ケーブル・スキュー、およびクロック・ジッタに強い影響を受けます。この項では、ソース同期差動データ方向タイミング・パラメータ、Stratix III デバイスのタイミング制約の定義、およびこれらのタイミング・パラメータによるデザインの最大性能の決定方法を定義します。

差動データ方向

外部クロックと受信データの間には一定の関係があります。1 Gbps および SERDES 係数 10 の動作では、外部クロックを 10 通倍し、またフェーズ・アラインメントを PLL で各データ・ビットのサンプリング・ウィンドウと一致するよう設定できます。データは通倍されたクロックの立ち下がりエッジでサンプリングされます。図 9-13 に、x10 モードのデータ・ビット方向を示します。

図 9-13. QuartusII ソフトウェアにおけるビット方向



差動 I/O のビット位置

高周波でのデータ伝送を成功させるにはデータの同期化が必要です。図 9-14 に、チャンネル動作のデータ・ビット方向を示します。これらの図は以下をベースとしています。

- SERDES 係数はクロック通倍係数と同等
- エッジ・アラインメントはフェーズ・アラインメントに選択
- ハード SERDES に実装

その他のシリアル変換係数は、Quartus II ソフトウェア・ツールを使用してワード内のビット位置を検索します。デシリアライゼーション後のビット位置は、表 9-3 に表記されています。

図 9-14. 1 本の差動チャンネルのビット・オーダおよびワード境界 注 (1)

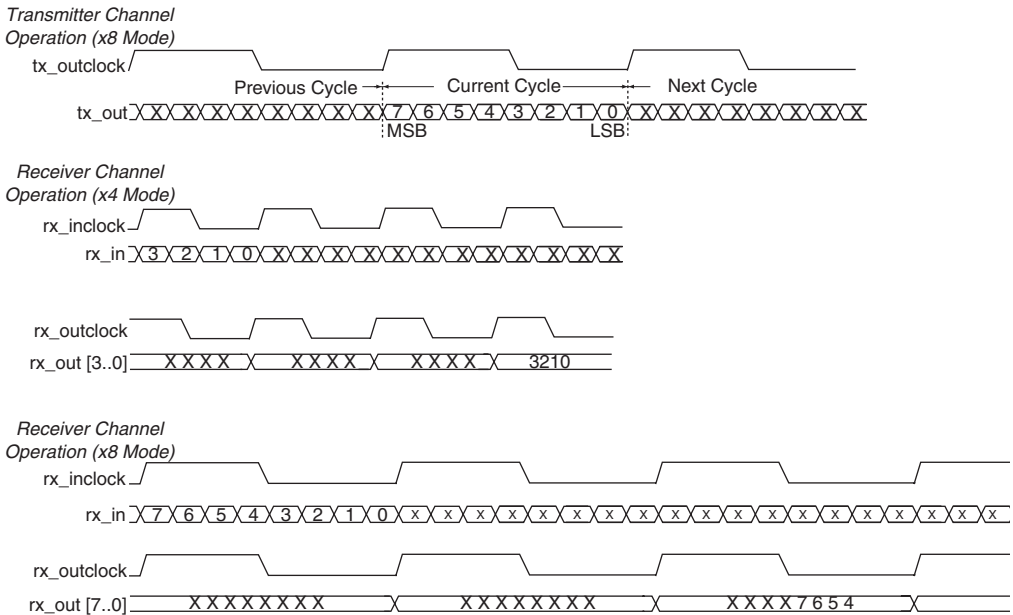


図 9-14 の注:

(1) これらは波形の機能のみを示しており、タイミング情報を示すことを意図したものではありません。

表 9-3 に、18 個の差動チャンネルの差動ビットの命名規則を示します。最上位ビット (MSB) および最下位ビット (LSB) の位置は、システムで使用されるチャンネル数が増えると増加します。

レシーバ・チャンネル・データ番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40

表 9-3. 差動ビットの命名 (2 / 2)

レシーバ・ チャンネル・ データ番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
7	55	48
8	63	56
9	71	64
10	79	72
11	87	80
12	95	88
13	103	96
14	111	104
15	119	112
16	127	120
17	135	128
18	143	136

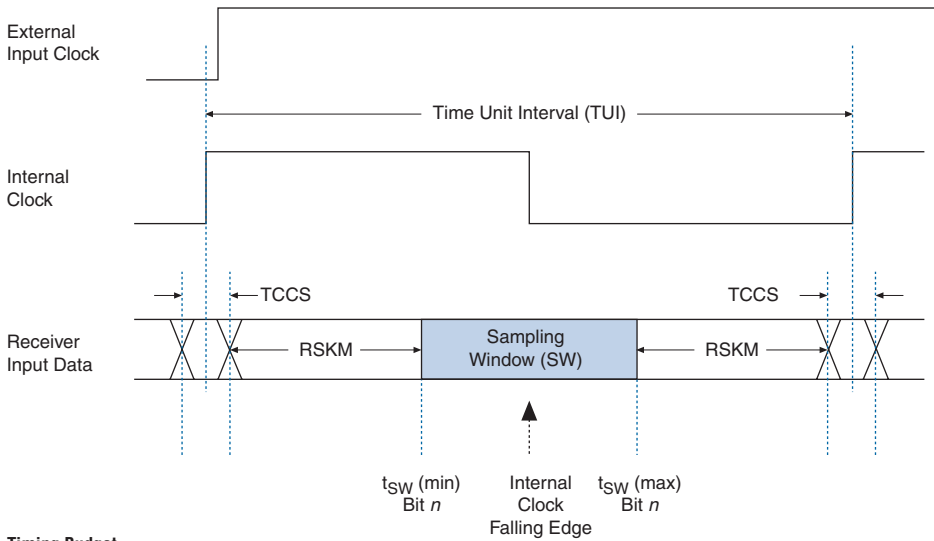
DPA 以外の回路のレシーバ・スキュー・マージン

温度、媒体（ケーブル、コネクタ、または PCB）、装荷、レシーバのセットアップおよびホールド時間、内部スキューなどのシステム環境における変化により、レシーバのサンプリング・ウィンドウが減少します。レシーバのクロック入力およびデータ入力サンプリング・ウィンドウ間のタイミング・マージンは、レシーバ・スキュー・マージン（RSKM）と呼ばれます。図 9-15 に、RSKM とレシーバのサンプリング・ウィンドウの関係を示します。

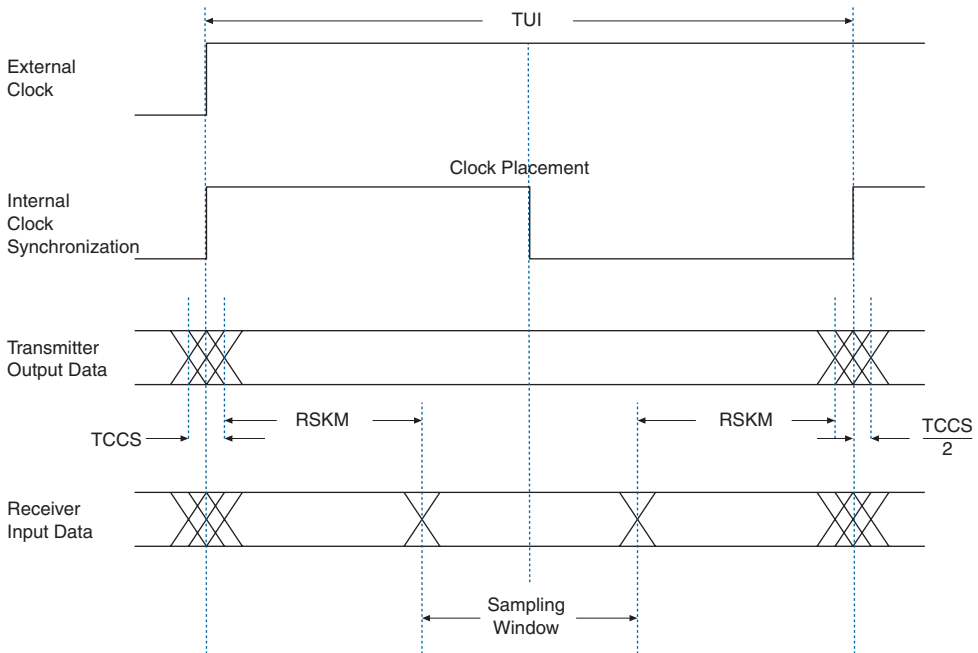
トランスミット・チャンネル間スキュー（TCCS）、RSKM、およびサンプリング・ウィンドウ仕様は、DPA のない高速ソース同期差動信号に使用されます。DPA を使用する場合、これらの仕様はより簡単なシングル DPA ジッタ許容仕様と交換されます。例えば、DPA 付き各入力で異なる位相のクロックを選択する理由がレシーバ・スキューの場合、このマージンの要件は排除されます。タイミング図では、TSW はサンプリング・ウィンドウの時間を表します。

図 9-15. DPA がない場合の差動高速タイミング図およびタイミングの制約

Timing Diagram



Timing Budget



差動ピン配置 ガイドライン

適切な高速動作を確実に実行させるために、差動ピン配置ガイドラインが提供されています。Quartus II コンパイラは、これらのガイドラインに準拠しているかどうか自動的にチェックし、準拠していない場合はエラー・メッセージを表示します。

DPA の使用は高速差動チャンネルの配置に何らかの制約を加えるため、この項は DPA の使用時および非使用時におけるピン配置のガイドラインに分割されています。

DPA がイネーブルされた差動チャンネルのガイドライン

Stratix III デバイスは、デバイスの左側および右側の I/O バンクに差動レシーバおよびトランスミッタを搭載しています。各レシーバは、クロックの位相を関連するチャンネルのデータ位相にアラインメントするための専用 DPA 回路を備えています。差動バンクで DPA がイネーブルされたチャンネルが使用された場合、以下の項のガイドラインに準拠する必要があります。

DPA がイネーブルされたチャンネルおよびシングル・エンド I/O

あるバンクで DPA チャンネルがイネーブルされているとき、そのバンクではシングル・エンド I/O は許可されません。そのバンクでは、差動 I/O 規格のみ許可されます。

DPA がイネーブルされたチャンネルのドライブ距離

- 各レフト/ライト PLL (DPA モード) は、最大 25 の隣接する LAB ロウをドライブできます。25 のロウ制限には、ピン配置中にスキップされたチャンネルおよびピンに引き出されていないチャンネルが含まれません。詳細については、[図 9-16](#) を参照してください。
- センターのレフト/ライト PLL (DPA モード) は、最大 50 LAB ロウをドライブできます ([図 9-16](#) に示すように、隣接する上下のバンクにそれぞれ 25 ずつ)。
- 25 連続ロウが必ずしもドライブしている PLL に隣接している必要はありません。

図 9-16. DPA がイネーブルされたチャンネルのレフト / ライト PLL のドライブ距離

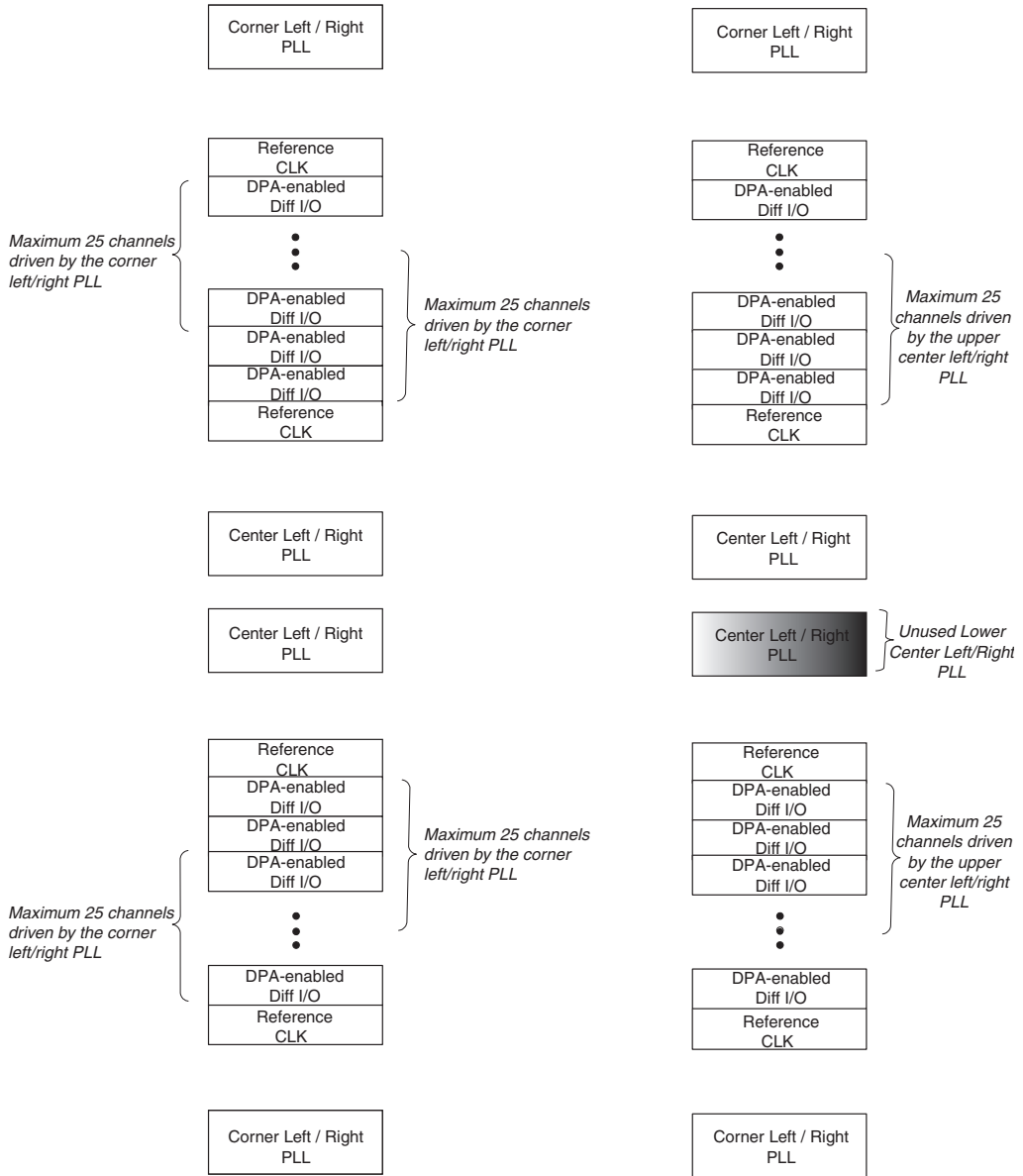


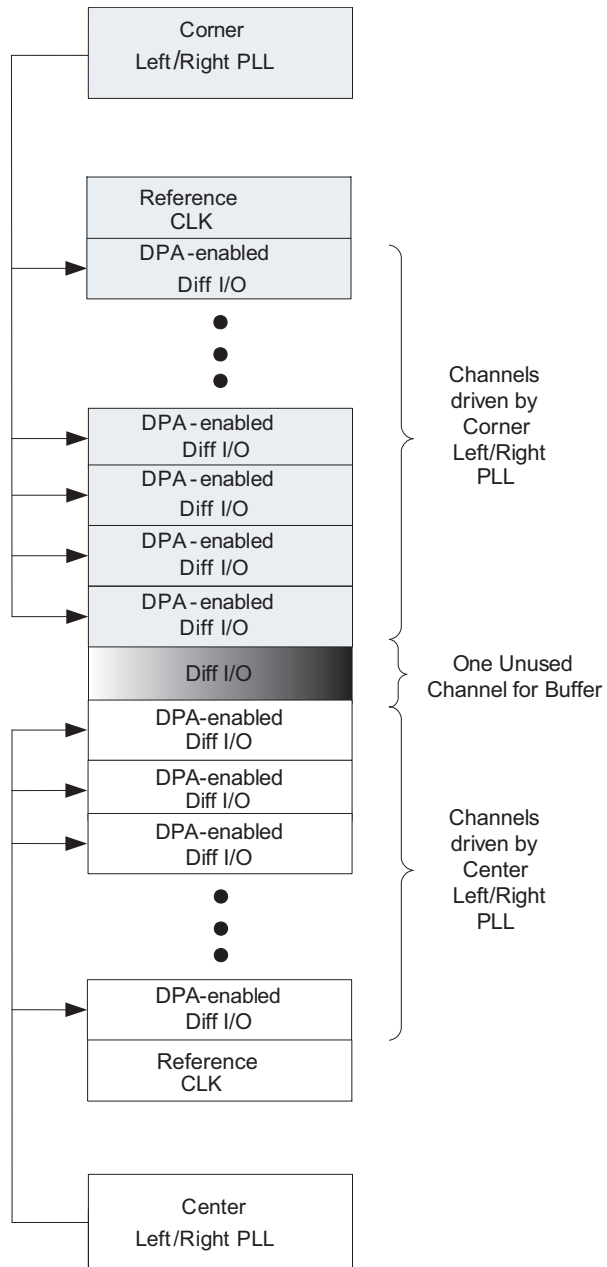
Figure 16.1

Figure 16.2

コーナーおよびセンターのレフト/ライト PLL の使用

- コーナー・レフト/ライト PLL が1つのグループを、センター・レフト/ライト PLL が別のグループをドライブするというように、差動バンクが2個のレフト/ライト PLL でドライブされている場合、少なくとも1つのロウで2つの DPA チャネル・グループを分割する必要がありますが、2つの DPA イネーブル・チャネル・グループは別々の周波数で動作できます (図 9-17 参照)。この2つのグループは別々の周波数で動作できます。
- 1個のレフト/ライト PLL が DPA がイネーブルされたチャネル、および DPA がディセーブルされたチャネルをドライブしている場合、分離させる必要はありません。

図 9-17. 同じバンクにある DPA がイネーブルされた差動 I/O をドライブしているコーナーおよびセンター・レフト/ライト PLL



両方のセンター・レフト/ライト PLL の使用

- 図 9-18 の (18.1) に示すように、両方のセンター・レフト/ライト PLL が隣接するバンクのみで DPA がイネーブルされたチャンネルをドライブする場合、それらを DPA に使用することができます。
- 図 9-18 の (18.2) に示すように、センター・レフト/ライト PLL の 1 つがトップ・バンクとボトム・バンクをドライブする場合、その他のセンター・レフト/ライト PLL は差動チャンネルをドライブするのに使用できません。
- トップ PLL_L2/PLL_R2 がローワー差動バンク内の DPA がイネーブルされたチャンネルをドライブする場合、PLL_L3/PLL_R3 はアッパー差動バンク内の DPA がイネーブルされたチャンネルを（あるいはその逆を）ドライブすることはできません。つまり、図 9-19 に示すように、センター・レフト/ライト PLL はバンクをクロスして同時にドライブすることはできません。

図 9-18. DPA がイネーブルされた差動 I/O をドライブしているセンター・レフト / ライト PLL

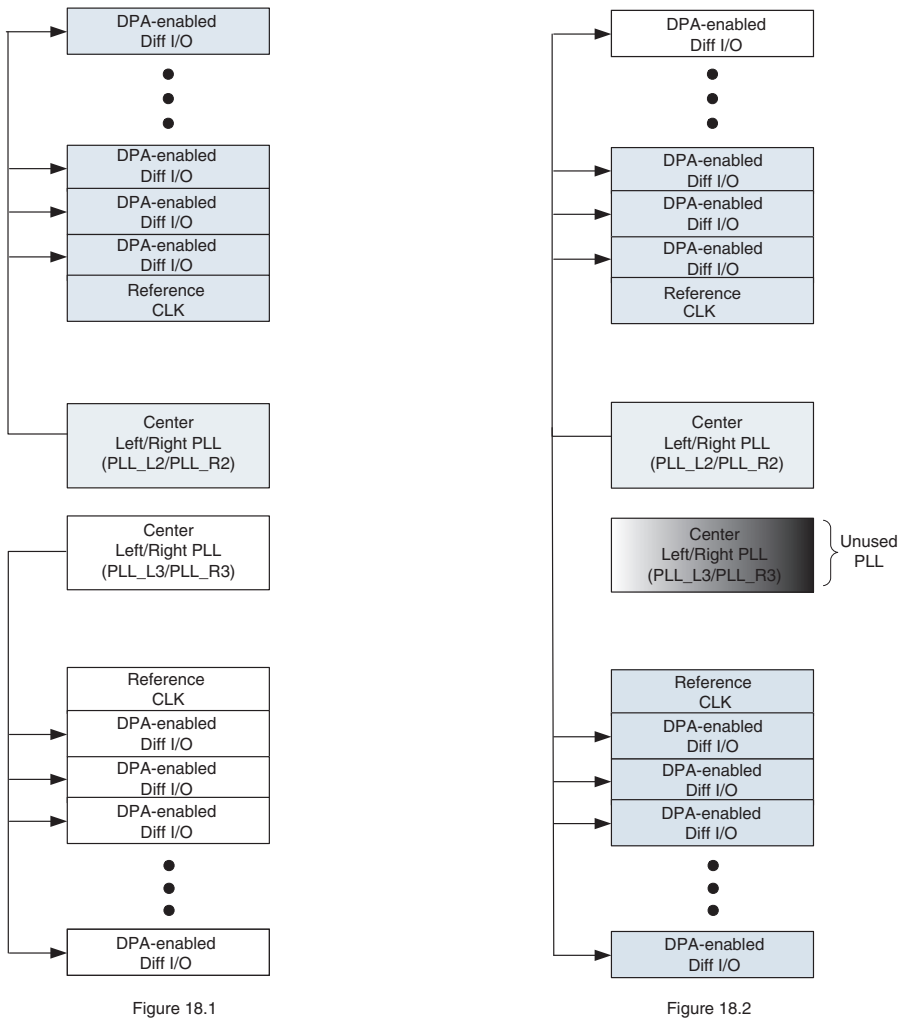
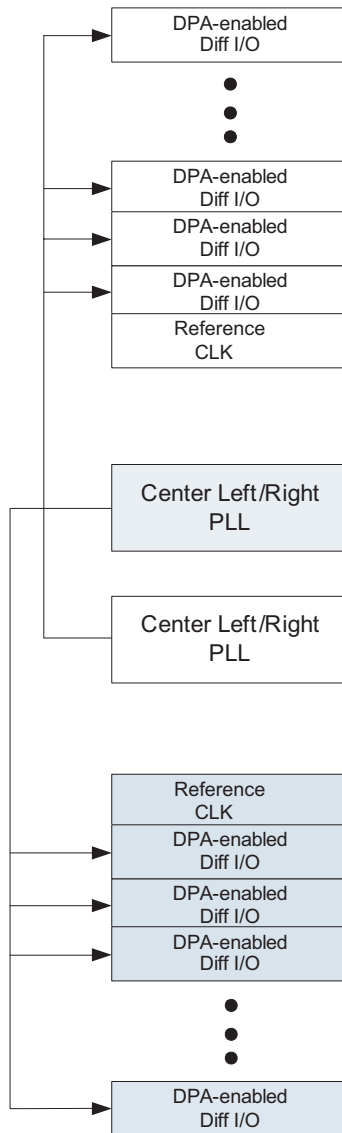


Figure 18.1

Figure 18.2

図 9-19. 両方のセンター・レフト/ライト PLL でドライブされる DPA がイネーブルされた差動 I/O の無効な配置



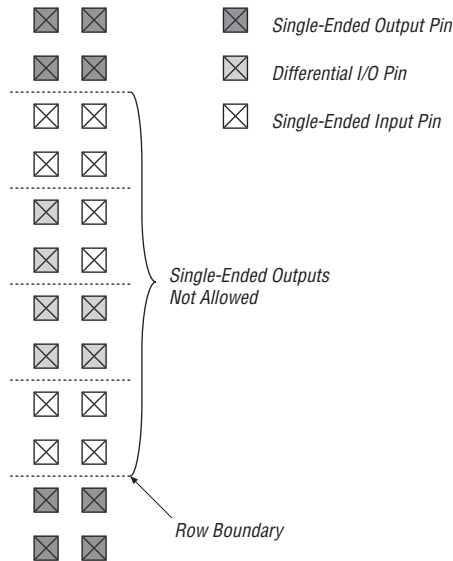
DPA がディセーブルされた差動チャンネルのガイドライン

Stratix III デバイスの左側および右側のバンクで、DPA がディセーブルされたチャンネルが使用された場合、以下の項のガイドラインに準拠する必要があります。

DPA がディセーブルされたチャンネルおよびシングル・エンド I/O

- シングル・エンド I/O 規格が DPA がディセーブルされた差動 I/O バンクと同じ VCCIO を使用している限り、同じ I/O バンクにシングル・エンド I/O を配置できます。
- シングル・エンド入力は、SERDES 回路を使用する差動チャンネルと同じロウに配置できますが、IOE 入力レジスタは差動 I/O と同じ LAB に配置されたシングル・エンド I/O に使用することはできません。SERDES 差動チャンネルと同じ LAB ロウ内に配置された SERDES 以外の差動入力にも、入力レジスタに対するルールと同じルールが適用されます。入力レジスタはコア・ロジック内に実装する必要があります。
- 図 9-20 に示すように、シングル・エンド出力ピンは差動 I/O ピンから少なくとも 1 つの LAB ロウだけ離れている必要があります。

図 9-20. 差動 I/O ピンに対するシングル・エンド出力ピンの配置



DPA がディセーブルされたチャンネルのドライブ距離

- 各レフト/ライト PLL は、バンク全体のすべての DPA がディセーブルされたチャンネルをドライブすることができます。

コーナーおよびセンターのレフト/ライト PLL の使用

- コーナー・レフト/ライト PLL を使用してすべてのトランスミッタ・チャンネルをドライブでき、またセンター・レフト/ライト PLL を使用して同じ差動バンク内の DPA がディセーブルされたすべてのレシーバ・チャンネルをドライブできます。つまり、[図 9-21](#) の (21.1) に示すとおり、同じ LAB ロウのトランスミッタ・チャンネルおよびレシーバ・チャンネルを異なる 2 つの PLL でドライブできます。
- 各 PLL でドライブされるチャンネルがインタリーブされない限り、コーナー・レフト/ライト PLL およびセンター・レフト/ライト PLL で、同じ差動バンク内のデュープレックス・チャンネルをドライブできます。コーナーおよびセンター・レフト/ライト PLL でドライブされるチャンネル・グループ間に分離は必要ありません。[図 9-21](#) の (21.2) と [図 9-22](#) を参照してください。

図 9-21. 同じバンクにある DPA がディセーブルされた差動 I/O をドライブしているコーナーおよびセンター・レフト/ライト PLL

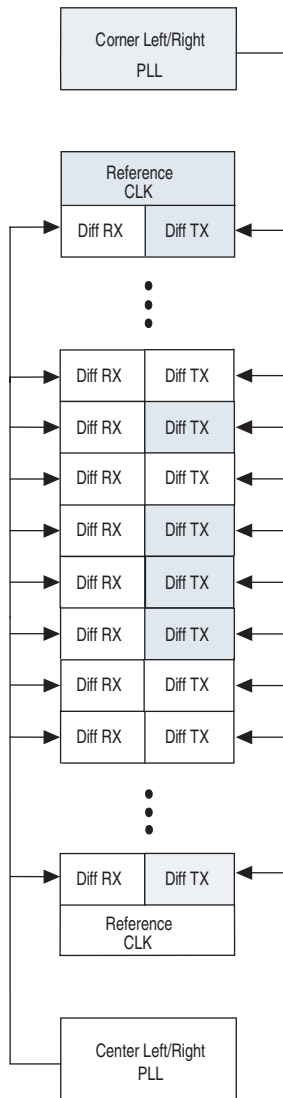


Figure 21.1

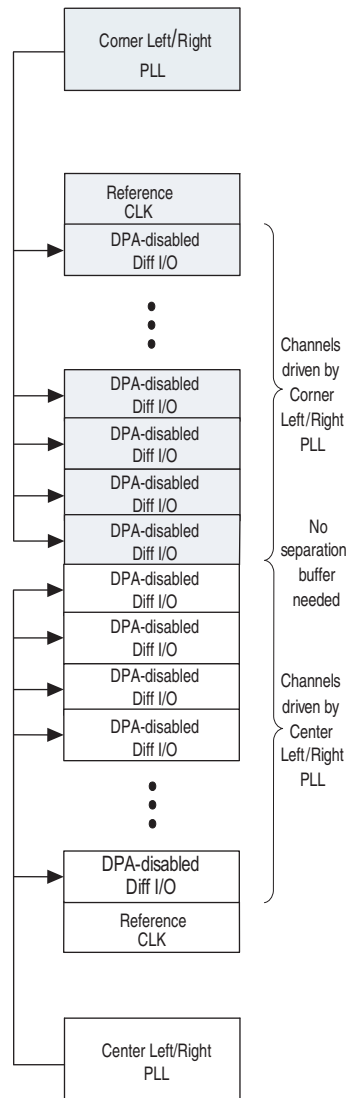
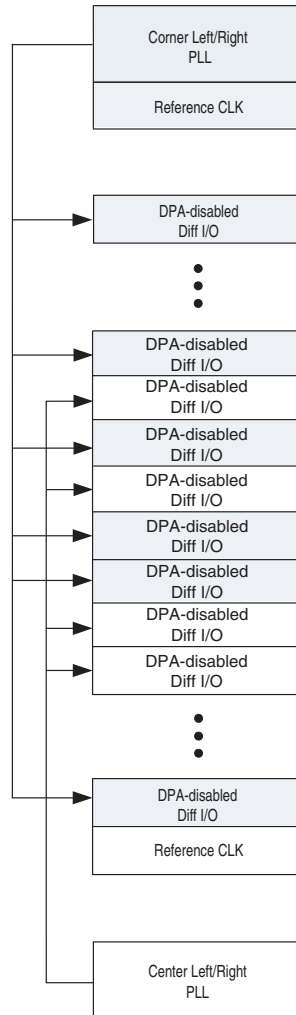


Figure 21.2

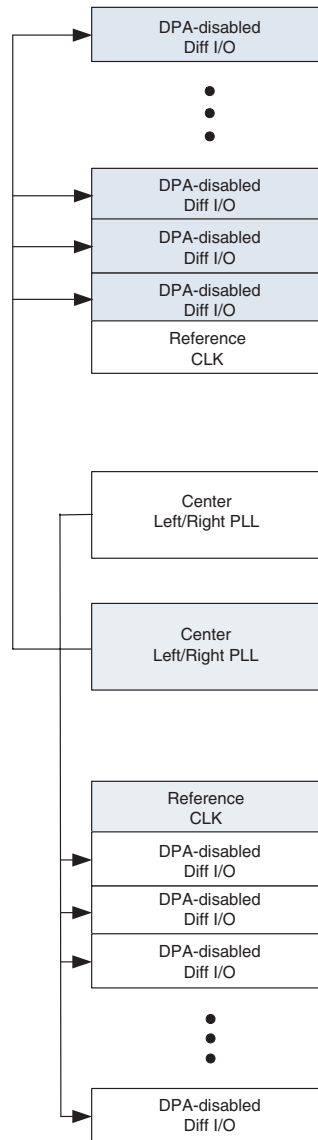
図 9-22. コーナーおよびセンター・レフト/ライト PLL でドライブされるチャンネルのインタリーブによる DPA がディセーブルされた差動 I/O の無効な配置



両方のセンター・レフト/ライト PLL の使用

- 両方のセンター・レフト/ライト PLL は、アッパーおよびローワー差動バンクで DPA がディセーブルされたチャンネルをドライブするために同時に使用できます。DPA がイネーブルされたチャンネルとは異なり、センター・レフト/ライト PLL はバンクをクロスしてドライブすることができます。例えば、[図 9-23](#) に示すように、アッパー・センター・レフト/ライト PLL は、ローワー・センター・レフト/ライト PLL がアッパー差動バンクをドライブすると同時にローワー差動バンクを（あるいはその逆を）ドライブできます。

図 9-23. バンクをクロスして DPA がディセーブルされたチャンネルをドライブしている両方のセンター・レフト/ライト PLL



改訂履歴

表 9-4 に、本資料の改訂履歴を示します。

表 9-4. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月 v1.1	「差動 I/O 終端」の項の第 2 パラグラフのマイナー・チェンジ。 表 9-1 および表 9-2 を追加。	—
2006 年 11 月 v1.0	初版	—